



## Eksamen Vår 2006

INF3400

2007



### Oppgave 1

1a  
Gitt funksjonen

$$Y = (A \cdot (B + C) \cdot (D + E + F))'$$

Tegn et transistorskjema (skjematikk) i komplementær CMOS for funksjonen.

Løsning:

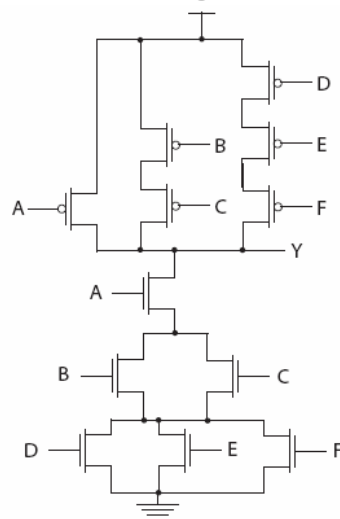


Fig. 1.  $Y = (A \cdot B + C) \cdot (D + E + F)$ .

2007



1b

Anta at alle pMOS transistorer er like (størrelse) og alle nMOS transistorer er like. Hvordan vil du dimensjonere transistorene i porten slik at "worstcase" (maks.) stige- og falltid blir like? Du kan anta at mobiliteten for nMOS transistorer er dobbelt så stor som mobiliteten for pMOS transistorer. For hvilke inngangsverdier vil porten ha minst stigetid/falltid? Vil minimum stigetid og falltid være like? Finn effektiv motstand i opptrekk og nedtrekke som gir minimum stige- og falltider.

Løsning:

Det er 3 pMOS transistorer i serie i den lengste strømveien fra utgangen til VDD og 3 nMOS transistorer i serie i den lengste strømveien fra utgangen til gnd. Vi antar at mobiliteten er halvparten for pMOS transistorer i forhold til nMOS transistorer og velger derfor bredde lik 2 på alle pMOS transistorer og 1 på alle nMOS transistorer.

2007



**Løsning 1b forts.**

Porten vil ha minst stigetid for  $A = B = C = D = E = F = 0$ .

Porten vil ha minst falltid når  $A = B = C = D = E = F = 1$ .

Lastkapasitansen ved positiv transisjon når

$A = B = C = D = E = F = 0$  blir ca.  $15C_{diff}$

og effektiv motstand blir  $R_{stige} = R || 2R || 3R = (6/11)R$

som vil bety en stigetid på ca.  $\tau_{stige} = (6/11)R \cdot 15C_{diff} = (90/11)RC_{diff}$ .

Lastkapasitansen ved negativ transisjon når  $A = B = C = D = E = F = 1$

blir ca.  $13C_{diff}$

og effektiv motstand blir  $R_{fall} = R + R || R + R || R || R = R + (1/2)R + (1/3)R = (11/6)R$ .

Dette gir falltid på ca.  $\tau_{fall} = (11/6)R \cdot 13C_{diff} = (143/6)RC_{diff}$ .

Forholdet mellom fall- og stigetid blir

$((143/6)/(90/11)) = 2.91$ .

2007



Anta at minimumsbredde på transistorer er  $0.2\mu$ . Anta videre at minimums kontaktstørrelse er  $0.1\mu\text{m}$  og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er  $0.125\mu\text{m}$ . Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn lastkapasitansen på portens utgang ved "worst case". Bruk enkle modeller og anta at  $C_{jbs} = 1.5\text{fF}/\mu\text{m}^2$  og  $C_{jbssw} = 0.1\text{fF}/\mu\text{m}$ . Anta videre at diffusjonsområdet strekker seg  $0.2\mu\text{m}$  ut fra gaten (polysilisium).

Løsning:

Vi antar at et diffusjonsområde for source/drain for en minimumstransistor er  $0.4\mu\text{m} \cdot 0.2\mu\text{m}$ . Vi uttrykker diffusjonskapasitanser som funksjon av transistor-bredde

$$\begin{aligned}C_{\text{diff}} &= (W \cdot 0.2\mu\text{m})C_{jbs} + (2W + 0.4\mu\text{m})C_{jbssw} \\ &= W \cdot (0.2\mu\text{m} \cdot C_{jbs} + 2 \cdot C_{jbssw}) + 0.4\mu\text{m} \cdot C_{jbssw} \\ &= W \cdot (0.3\text{fF}/\mu\text{m} + 0.2\text{fF}/\mu\text{m}) + 0.04\text{fF} \\ &= W \cdot 0.5\text{fF}/\mu\text{m} + 0.04\text{fF} \\ &= 0.2\mu\text{m} \cdot 0.5\text{fF}/\mu\text{m} + 0.04\text{fF} \\ &= \underline{0.14\text{fF}}\end{aligned}$$

2007



Løsning 1c forts.

Utgangslasten blir like ved positiv og negativ transisjon:

$$\begin{aligned}C_{\text{diff-utgang}} &= 7 \cdot 2 \cdot C_{\text{diff-minimum}} + 7 \cdot 1 \cdot C_{\text{diff-minimum}} \\ &= 21 \cdot C_{\text{diff-minimum}} \\ &= \underline{2.94\text{fF}}\end{aligned}$$

2007



1d

Anta at utgangen skal drive en minimumsinverter (enhetsinverter). Bruk Elmore  
forsinkelsesmodell og finn tidsforsinkelse når inngangene er

$$A = C = F = 1, B = D = E = 0.$$

Anta at  $t_{ox} = 50\text{\AA}$  og at minimum lengde er  $0.2\mu\text{m}$

**Løsning:**

Vi starter med å finne gate-kapasitans for en minimumstransistor.

$$C_{ox} = \frac{3.9 \cdot 8.85 \cdot 10^{-14}}{50 \cdot 10^{-18}}$$
$$C_{g_{min}} = C_{ox} \cdot 0.2\mu\text{m} \cdot 0.2\mu\text{m}$$
$$= 0.35\text{fF}$$

2007



Løsning 1d forts.

Lastinverteren vil bidra med i alt  $C_g = 3C_{g_{min}} = 1.05\text{fF}$ .

Vi bruker Elmore forsinkelsesmodell:

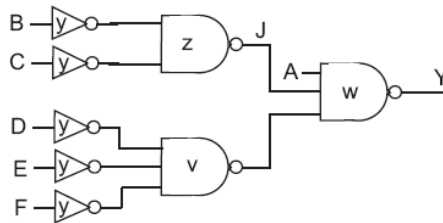
$$t_{pd} = 5C_{diff-min}R + 3C_{diff-min}2R + (7C_{diff-min} + 3C_{g_{min}})3R$$
$$= 32RC_{diff-min} + 9RC_{g_{min}}$$
$$= 32 \cdot 3k\Omega \cdot 0.14\text{fF} + 9 \cdot 3k\Omega \cdot 0.35\text{fF}$$
$$= 13.4\text{ps} + 9.45\text{ps}$$
$$= 22.85\text{ps}$$

Det er riktig å dimensjonere slik at effektiv motstand i worst case nedtrekk og opptrekk blir lik R, dette betyr at vi må velge transistorbredder som er 3 ganger så brede.

2007



## Oppgave 2



2a

Finn logisk effort for portene og kritisk signalvei (den som vil gi størst tidsforsinkelse) i kjeden.

Anta at utgangen Y skal drive 4 enhetsinvertere.

Finn elektrisk effort for portene og kjeden. Hva blir kjedens effort  $F$ ?

2007



Løsning 2a:

2inngangs NAND (NAND2) porten har logisk effort lik  $4/3$ , NAND3 port har logisk effort lik  $5/3$  og invertere har logisk effort lik 1. Logisk effort for kjeden fra inngang D, E og F blir

$$G = 1 \cdot \frac{5}{3} \cdot \frac{5}{3} = \frac{25}{9}$$

Vi konsentrerer oss om kritisk signalvei. Inverterne i starten har **elektrisk effort lik  $v/y$** , NAND3-porten etter inverterne har **elektrisk effort lik  $w/v$**  og NAND3-porten som driver utgangen har **elektrisk effort lik  $12/w$** .  
Kjedens elektriske effort blir lik  **$H = 4 \cdot 3/y = 12/y$** .

Kjedens effort  **$F = GH = (25/9) \cdot (12/y)$** .

2007



2b

Hva blir optimal port-effort for portene i kritisk signalvei i kjeden?

Finn kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse.

Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finn en verdi for  $y$  slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

Løsning:

Kjedens optimale port effort blir

$$f' = F^{1/N}$$

$$= \left( \frac{25}{9} \cdot \frac{12}{y} \right)^{\frac{1}{3}} = \left( \frac{25 \cdot 12}{9y} \right)^{\frac{1}{3}}$$

$$= \left( \frac{100}{3y} \right)^{\frac{1}{3}}$$



Løsning 2b forts.

Parasittisk tidsforsinkelse for kjeden blir  $P = 1 + 3 + 3 = 7$ .

Minimum kjedeforsinkelse blir:

$$D = NF^{\frac{1}{N}} + P$$

$$= 3 \left( \frac{100}{3y} \right)^{\frac{1}{3}} + 7$$

Vi antar at parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse, som gir:

$$3 \left( \frac{100}{3} \right)^{\frac{1}{3}} y^{-\frac{1}{3}} = P \Leftrightarrow y^{\frac{1}{3}} = \left( \frac{100}{3} \right)^{\frac{1}{3}} \cdot \left( \frac{3}{P} \right)$$

$$y = \left( \frac{100 \cdot 3^3}{3} \right) \cdot P^{-3} = \left( \frac{900}{7^3} \right)$$

$$\approx 2.6$$



2c

Finn transistorstørrelser som gir minimum kjedeforsinkelse når parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse.

Løsning:

Vi starter med å finne optimal port-effort

$$f' = \left( \frac{100}{3 \cdot 2.6} \right)^{\frac{1}{3}} = 2.34$$

Vi starter bakerst i kjeden:

$$w = \frac{12 \cdot \frac{5}{3}}{f'} \approx 8.5$$

Som gir transistorstørrelse 5 for nMOS transistorene og  $5 \cdot (2/3)$  for pMOS transistorene som tilsvarer  $w = 5 + 10/3 = 8.333$ .

Løsningen finnes ved  $(2/3)x + x = 8.5$ .

2007



Løsning 2c forts.

Videre har vi:

$$v = \frac{w}{f'} \approx 3.5$$

som gir nMOS transistorstørrelse 2 for nMOS transistorene og  $2 \cdot (2/3) = 4/3$  for pMOS transistorene som tilsvarer  $v = 2 + 4/3 = 3.333$ .

Som kontroll kan vi sjekke y:

$$y = \frac{v \cdot \frac{5}{3}}{f'} \approx 2.4$$

som gir nMOS transistorstørrelse 0.8 og pMOS transistorstørrelse 1.6 som tilsvarer  $y = 2.4$ .

2007



## Oppgave 3

### 3a

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av  $V_{ds}$  for ulike  $V_{gs}$ -spenninger. Marker lineært område og metning på skissen. Hva er hastighetsmetning? Hvordan påvirker hastighetsmetning tidsforsinkelse i en port?

Løsning:

Hastighetsmetning inntreffer for korte transistorer ( $< 1\mu$ ). Når det elektriske feltet over kanalen blir stort, som følge av  $V_{ds} > V_{sat}$ , vil ladningsbærere i kanalen få så stor energi at de vil kollidere og dermed vil vi ikke få en like sterk stigning i strømmen når  $V_{ds}$  økes ytterligere. På grunn av at hastighetsmetning bidrar til å begrense transistorstrømmene vil dette øke tidsforsinkelse i en port.

2007

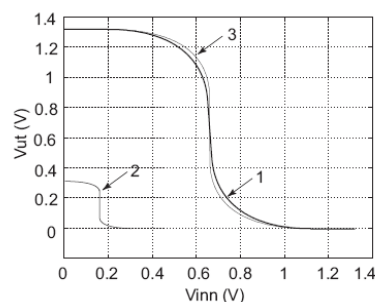


### 3b

Hvordan vil DC karakteristikken ( $V_{ut}$  som funksjon av  $V_{in}$ ) for en inverter med  $V_{DD} = 1.3V$  og  $V_{tn} = -V_{tp} = 0.4V$  se ut når:

1. vi antar at lengden på transistorene er  $0.2\mu m$ ,
2. vi reduserer  $V_{DD}$  til  $0.3V$ .
3. vi antar at lengden på transistorene er  $1\mu m$  og  $V_{DD} = 1.3V$ .

Løsning:



2007





3c

Anta at en metalleder med egenmotstand  $R_w = 0.1/\mu\text{m}$  og egenkapasitans  $C_w = 0.2\text{fF}/\mu\text{m}$  skal drives av en inverter med  $R_p = 1\text{k}\cdot\mu\text{m}$  og parasittisk kapasitans  $C_p = 6\text{fF}/\mu\text{m}$ . Sett inn et riktig antall repeatere når lengden på lederen er  $x\mu\text{m}$ . Hva blir størrelsen på nMOS- og pMOS transistorene i repaeterne?

Løsning:

Vi har:

$$\frac{x}{N} = \sqrt{\frac{2R_w C_p}{R_w C_w}} = \sqrt{\frac{2 \cdot 1\text{k}\Omega \cdot \mu\text{m} \cdot 0.2 \frac{\text{fF}}{\mu\text{m}}}{0.1 \frac{\Omega}{\mu\text{m}} \cdot 0.2 \frac{\text{fF}}{\mu\text{m}}}} \approx 775\mu\text{m}$$

Dette gir  $N=775\mu\text{m}/x\mu\text{m}$  invertere.

2007



Løsning 3c forts.

Størrelsen på nMOS transistoren blir:

$$W = \sqrt{\frac{RC_w}{R_w C_p}} = \sqrt{\frac{1\text{k}\Omega \cdot \mu\text{m} \cdot 0.2 \frac{\text{fF}}{\mu\text{m}}}{0.1 \frac{\Omega}{\mu\text{m}} \cdot 6 \frac{\text{fF}}{\mu\text{m}}}} \approx 18\mu\text{m}$$

2007



3d

Hvordan kan latchup påvirke en CMOS krets? Hvordan vil gate-lekkasjestrøm (tunneling) påvirke en dynamisk krets?

Løsning:

Kretsene kan kortslutte og forårsake alvorlige temporære feil der logikken ikke virker, eller fullstendig ødeleggelse av kretsen. PN-overgangene er ikke så kraftig reversforspent i moderne prosesser slik at en uheldig spenningspuls lettere kan trigge en latchup situasjon.

En dynamisk krets vil få en raskere utladning (fra ønsket verdi) når gate-lekkasje-strøm øker.

2007