

INF5460

Elektrisk støy – Mottiltak og beregning

10 studiepoeng

**Torsdager
Seminarrom 3A**

**Forelesning
kl 08:15-10:00,**

**Øvelser ved behov
Kl 12:15-13:00**

Joar Martin Østby

Elektrisk støy...

⇒ Sensorsystemer:

-Bestemmer minste målbare verdi

-Bestemmer nøyaktighet

(F.eks RF: rekkevidde og datarate)

→ Kan gi gal funksjon i større systemer

(også rent digitale)

→ EMC

→ ALLE har problemer med støy nå

→ Utvikling fremover:

- Mindre linjebredde: tettere strukturer

- Lavere forsyning og terskelspenninger:

Lavere støyetterskel

- Høyere frekvenser/steilere flanker:

Alle tre betyr økt støysmitte og støyfølsomhet

⇒ Konklusjon: STORT behov for støykompetanse nå og økende behov fremover

... Mottiltak og beregning

Lag utkast til system

Beregn støy

WHILE støyen ikke er lav nok DO

Gjør ytterligere mottiltak for å redusere støyen

Beregn støyen

END DO

Elektrisk støy:

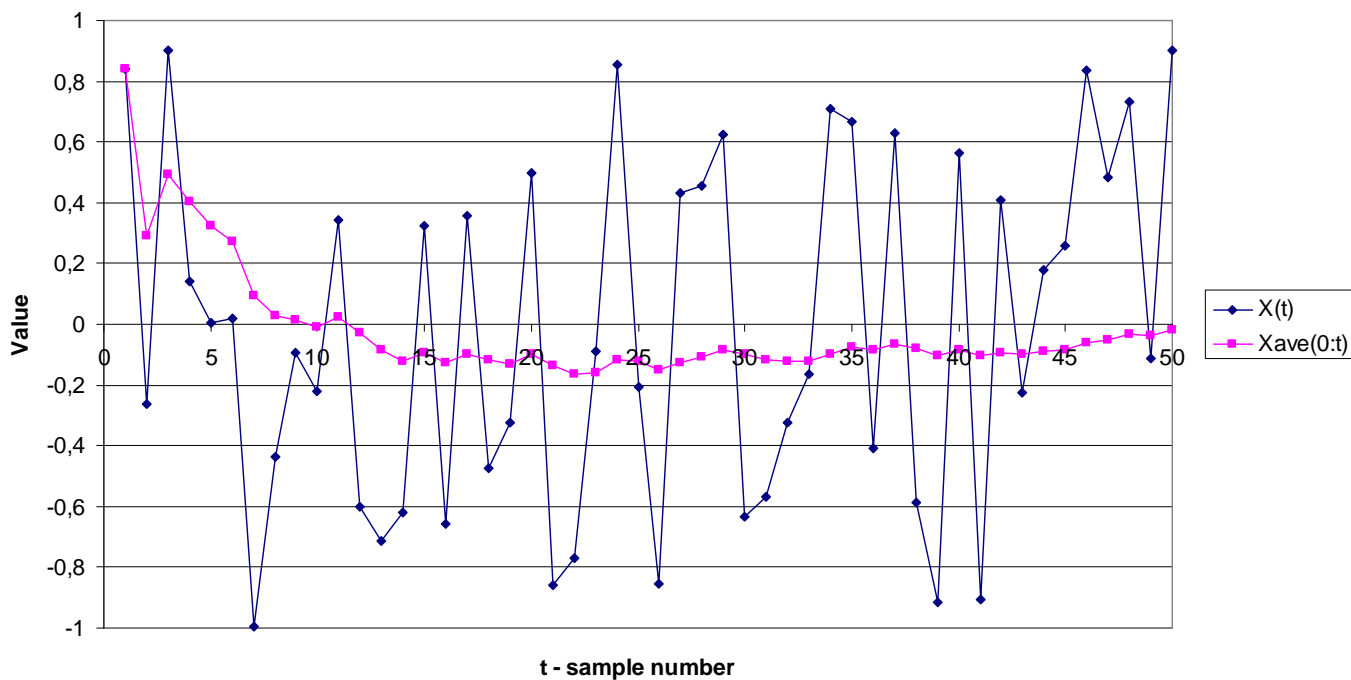
Tilfeldige og i stor grad uforutsigbare elektriske ladninger som kommer i tillegg til det stabile signalet. Ved gjentatte målinger med samme oppsett/påtrykk vil differansen være støyen. Støyen medfører at det ønskede signalet ikke blir som forventet ut fra simulering/beregning. (Ulinearitet i komponenter m.m. anses ikke som støy.)

Når vi simulerer spenningen på utgangen av en krets så vil simulatoren kunne finne denne med mange siffers nøyaktighet. Det vil da kunne se ut som om kretsen kan håndtere svært små signaler og signalforandringer. Men når vi lager kretsen og ser på utgangen med et oscilloskop så vil vi se at signalet ikke er en skarp linje. Signalet er beheftet med støy. Hvis vi ønsker å måle signalet med større nøyaktighet en det støyen tillater så vil det være to alternativer avhengig av signalets form og natur.

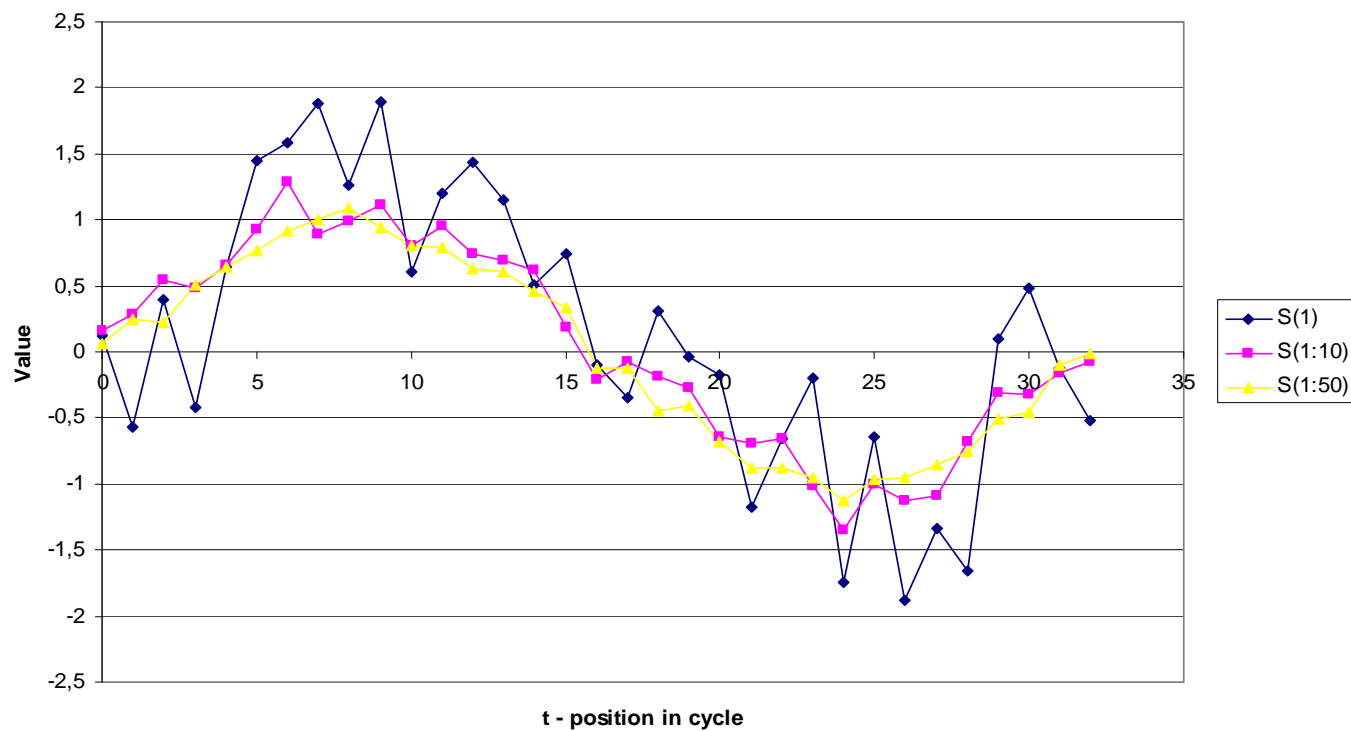
1: Hvis signalet er i stadig forandring og ikke er repeterende er vi nødt til å redusere støyen for å kunne måle signalet mer nøyaktig.

2: Hvis signalet er stabilt over tid d.v.s. hvis det f.eks. er en DC-verdi, eller er repeterende og har en kjent form eller kjent periode så kan det målte signalet legges oppå hverandre. Summen av tilfeldige støybidrag vil over tid gå mot null slik at det ønskede signalet vil fremstå alene. Men størrelsen på støyen vil bestemme hvor lenge en må integrere for å nå en viss nøyaktighet på signalet. NB! Hvis støyen er et periodisk signal med frekvens lik eller et heltallig multiplum av signalfrekvensen så vil støyen ikke forsvinne.

Individual samples and accumulated average



Average of repeated noisy cycles



Er kunnskap om elektrisk støy viktig?

- Simulatoren kan oppgi strøm og spenninger med mange siffrers nøyaktighet. Virkelig unøyaktighet p.g.a. støy må kunne estimeres.
- Nødvendige modifikasjoner av ”ferdige” systemer er vanlig og skyldes svært ofte støyproblemer. Dette gir forsinkelser og koster industrien mye penger. Det er behov for kompetanse om støy.
- Når en ønsker å lage systemer som skal måle små verdier fra alle typer sensorer så er kunnskap om elektrisk støy et ”must”.
- Når en skal lage forbrukerelektronikk så krever internasjonale regler såkalt ”elektromagnetisk kompatibilitet” (EMC). D.v.s. at systemet ikke skal forstyrre annen elektronikk og kunne tolerere en viss mengde bakgrunnsstøy selv.

To hovedtyper av støy:

Komponentstøy og koblingsstøy.

Felles: Begge er uønsket og kan forringe måleresultatene slik at vi ikke kan måle så nøyaktig som vi ønsker. Begge må være redusert til et akseptabelt nivå.

”Komponentstøy” og ”koblingsstøy” omtales gjerne i forskjellige bøker og i forskjellige artikler.

Selv om oppdelingen i de to typene støy er rimelig klar så er det ingen klar navnsetting av de.

”Komponentstøy”: ”Ekte støy”, ”sann støy”, ”virkelig støy”, ”skjemabestemt støy”, ”nettlisteavhengig støy” eller ”indre støy”.

”Koblingsstøy”: ”Kunstig støy”, ”utlegg (layout)bestemt” støy eller ”ytre støy”.

Komponentstøy:

Eksempler:

- Termisk støy
- "Shot noise"
- $1/f$ -støy eller flicker støy,
- pop-corn støy,
- R-G støy.

Beregnes fra:

- Kretsskjema: elementer og skjematisk sammenkobling (nettliste).
- Frekvensinformasjon

Nedre grense: Sensor støy

Når komponentstøyen skal simuleres/beregnes vil en ofte modellere den som en spenningskilde eller strømkilde. I LTspice bruker vi .noise analyse.

Støyen vil oftest ha et bredt og "jevnt" frekvensspekter.

Eksempel på komponentstøy:

⇒ Termisk støy

Støy i alt som har resistiv motstand:

Motstander, parasittisk motstand i transistorer, spoler, kondensatorer etc.

For impedanser så vil det være termisk støy i realdelen av impedansen.

$$E = \sqrt{4kTR\Delta f}$$

Funksjon av

- temperatur,
- motstandens størrelse og
- frekvensbåndbredden

⇒ Shot-Noise

$$I_{sh} = \sqrt{2qI_{DC}\Delta f}$$

⇒ Flickerstøy

$$I_f^2(f_l, f_h) = \frac{K_F I_{DS}^{AF}}{Cox \cdot L_{eff}^2} \int_{f_l}^{f_h} \frac{1}{f} = \frac{K_F I_{DS}^{AF}}{Cox \cdot L_{eff}^2} \ln \frac{f_h}{f_l}$$

Koblingsstøy:

Sprer seg via felt (E/M nærfelt eller RF fjernfelt) eller felles ledere.

Eksempler:

- Felles impedans
- parasittisk kapasitans,
- parasittisk induktans,
- parasittisk motstand,
- kapasitiv kobling,
- induktiv kobling (trafo),
- elektromagnetisk stråling.

Emner som berører denne typen støy:

- Skjerming,
- kabling,
- avkobling,
- spenning- og strømforsyning,
- jordkobling,
- jordsløyfer og
- substratstøy.

Beregnes fra:

- Utlegg (layout) av krets/kretskort
- Simuleringsresultater

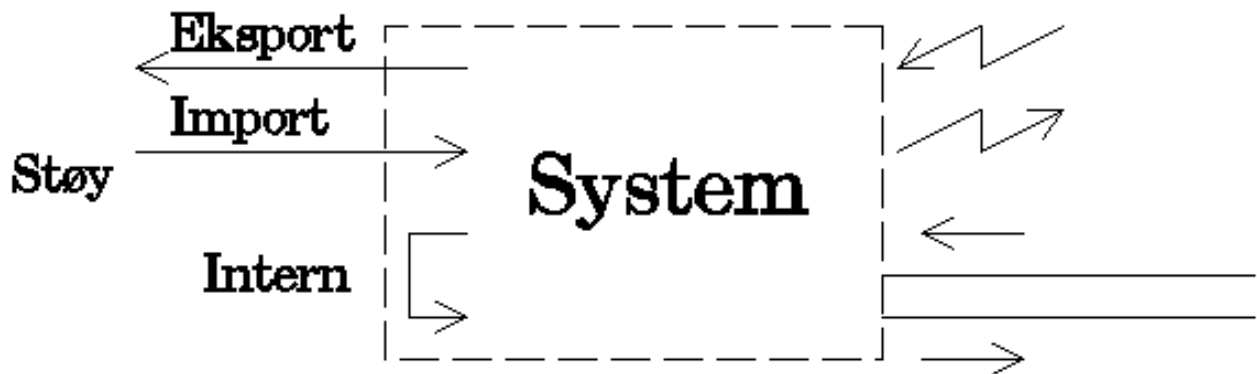
Koblingsstøyen kan nærmest reduseres til det nivå en ønsker...(men det koster...)

Dette kan oppnås ved ekstra skjermer, kabler, avkoblingskondensatorer, jordplan etc.

Når koblingsstøyen skal simuleres/beregnes vil en ofte modellere den som komponenter f.eks. motstander, kondensatorer og spoler men av og til også som en signalgenerator. I LTspice bruker vi spenning/strømskilder og kondensatorer, motstander, induktanser og transformatorer.

Støyen kan ha et bredt spekter men ofte kan noen enkeltfrekvenser være mer dominerende enn andre.

Støy og omgivelser: EMC Electromagnetic Compability



Støy kan spre seg via kabler eller via stråling.

- Støy eksport: Påvirker ikke produktet selv men plager andre. EMC-regler begrenser utstråling.
- Støy import: Kan plage produktet selv. EMC-regler sier hva produktet skal kunne tåle.
- Intern støy: Systemet må designes slik at det kan leve med sin egen støy.

Formål med kurset:

Formål: Gi en oversikt over både komponentstøy og koblingsstøy slik at deltagerene har et bedre grunnlag for å:

- velge en arkitektur som har et tilstrekkelig lavt støybidrag,
- beregne støyen i systemet og
- lage utlegg (ASIC og PCB) som sprer/mottar minst mulig støy.

Hvorfor følge kurset ?

Støy er viktig ! ALLE som skal jobbe med elektronikk (både analog og digital) kommer borti støypoblemer. Når kretsen ikke fungerer og ingen forstår hvorfor er det bra å ha en viss oversikt over mulige støysammenhenger slik at en har en viss indikasjon om hvor en skal lete. Skal en jobbe med sensorer er støyforståelse et ”must”. Teknologitvillingen medfører at behovet for kompetanse er økende.

Hva med å lese bøkene og droppe kurset?

- *Kurset gir en rask oversikt. Kurset tar mindre tid enn det tar å lese bøkene.*
- *Kurset har eksempler som ikke bøkene har.*
- *En lærer raskere hvis en blir forklart på flere måter.*
- *Bøkene har enkelte feil, mangler og unøyaktigheter.*

Foreløpig forelesningsplan:

1	22/1	Introduksjon	
2	29/1	Ott 2: Cabling	
3	5/2	Ott 2: Cabling	
4	12/2	Ott 3: Grounding	
	29/2	Vinterferie	I1
5	26/2	Mot 1: Fundamental noise mechanisms	
6	5/3	Mot 2: Amplifier noise model	
7	12/3	Mot 3: Noise in feedback amplifiers	
8	19/3	Mot 5: Noise in bipolar transistors	I2
9	26/3	Mot 6: Noise in field effect transistors	
10	2/4	Mot 7: System noise modelling	
	9/4	Skjærtorsdag	
11	16/4	Mot 8: Sensors	
12	23/4	Mot 9: Low noise design methodology	
13	30/4	Mot 10: Amplifier design	I3
14	7/5	Reserve	
	(21/5	Frist godkjenningstister)	
	11/6	Eksamen?	

Litteratur

Pensum

[1] C.D. Motchenbacher, *Low-Noise Electronic System Design*, John Wiley & Sons, 1993, ISBN 0-471-57742-1 (Komponentstøy) (Kapittel 1,2,3,5,6,7,8,9,10)

[2] Forelesninger og forelesningsnotater

Støttelitteratur:

[3] H.W.Ott, *Noise reduction Techniques in electronic systems*, John Wiley & Sons, 1988, ISBN 0-471-85068-3. (Koblingsstøy)

For spesielt interesserte

[A] Agnar Grødal, *Elektromagnetisk kompatibilitet for konstruktører*, Tapir forlag, 1997, ISBN 82-519-1271-7

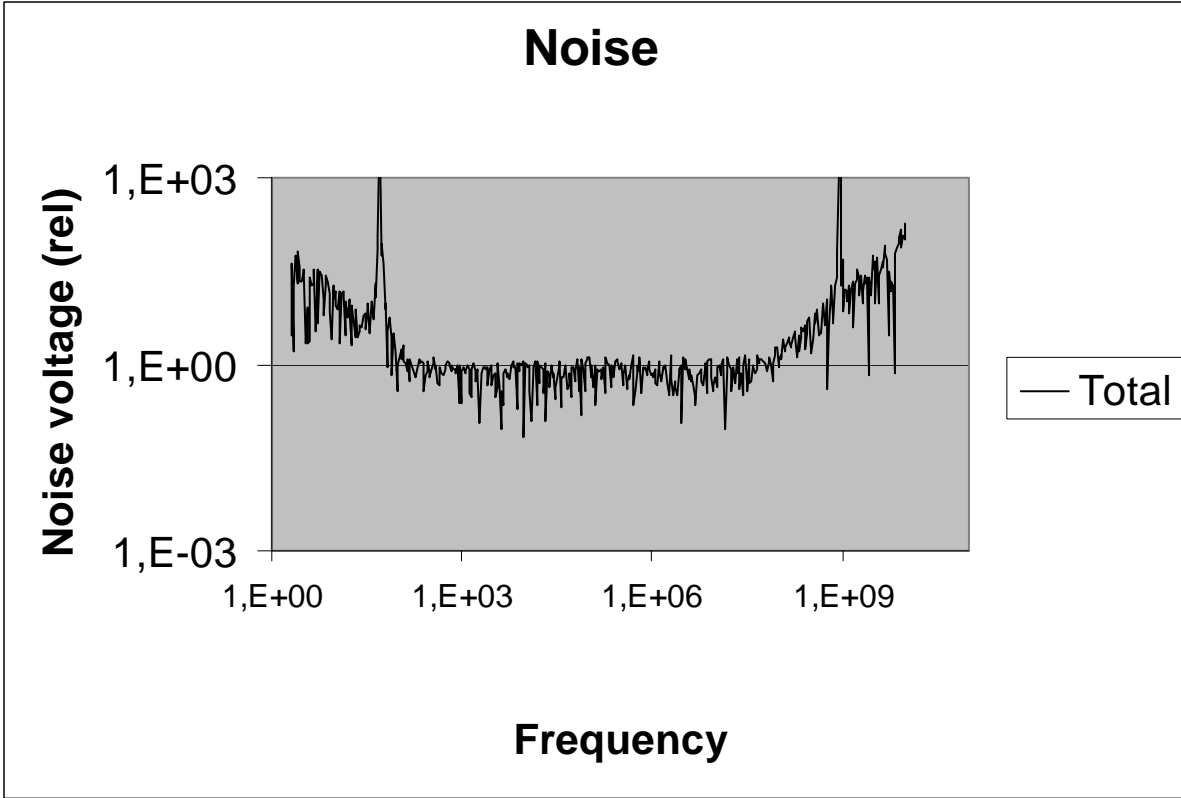
[B] Z.Y.Chang etc, *Low-Noise Wide-Band Amplifiers in Bipolar and CMOS Technologies*, Kluwer Academic Publishers, 1991, ISBN 0-7923-9096-2

[C] A.v.d. Ziel, *Noise in Solid State Devices and Circuits*, John Wiley & sons, 1986, ISBN 0-471-83234-0

[D] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001, ISBN 0-07-238032-2 (spesielt kapittel 7)

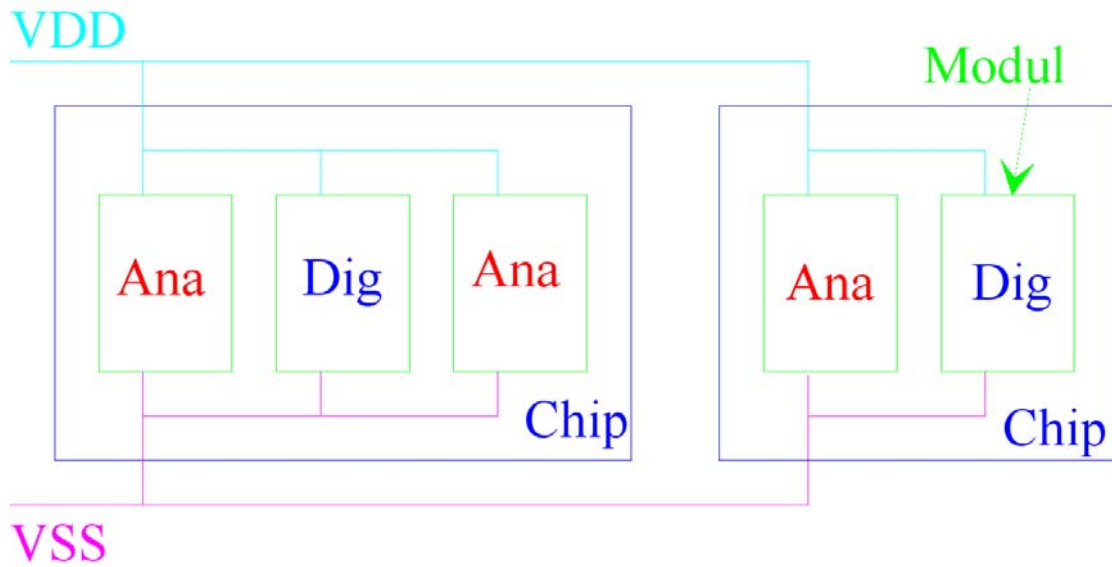
Obligatoriske oppgaver

- Tre obligatoriske oppgaver hvorav den siste er større enn de foregående.
- Alle oppgaver er skjema og simuleringsoppgaver som utføres med bruk av switchCAD simulatoren fra Linear technologies. Dette er en gratis simulator som dere laster ned selv.
- Besvarelsene sendes som pdf-fil som vedlegg til epost innen klokken 08:15 den dagen fristen gjelder.
- Besvarelsene skal inneholde skjemaer (med påtrykk og oppsett), simuleringsresultater og kommentarer/vurderinger av disse.
- NB! Innleveringsfristene og mengden på hva som skal innleveres er streng så sett deg godt inn i dette!

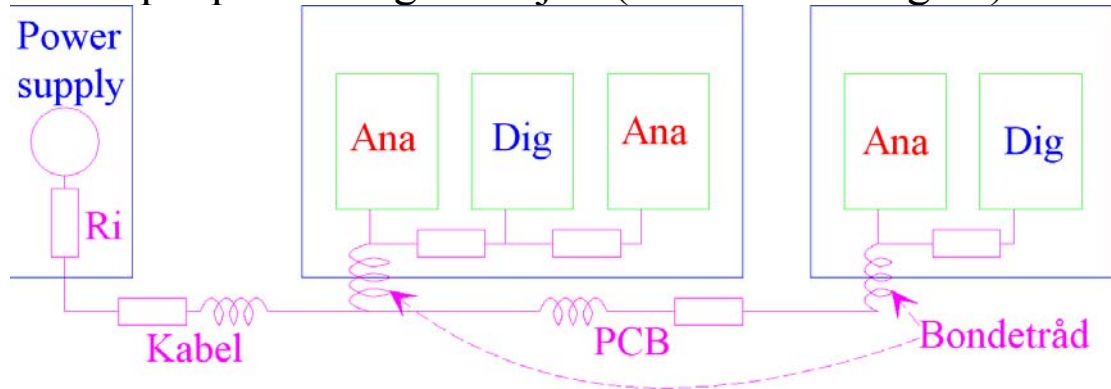


Støysmitte gjennom felles forsyningsledere

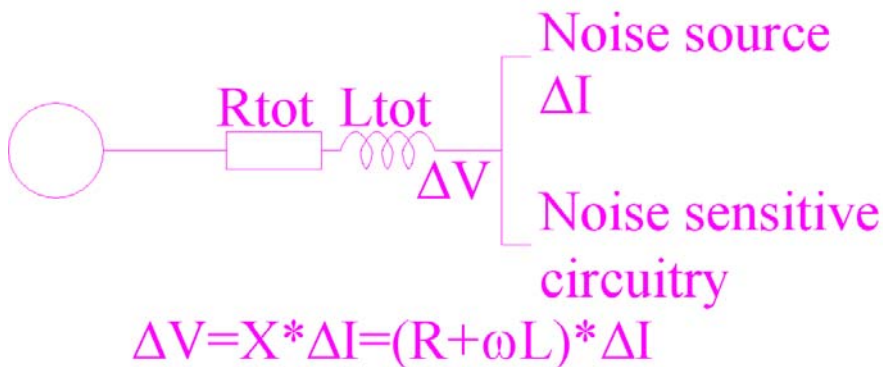
”Teoretisk” forsyningstilkobling (slik den ofte simuleres)



Eksempel på virkelig situasjon (bare VSS er tegnet).



Problem: Noen elementer trekker strøm ujevnt. Det medfører variasjon på nivået for forsyningsspenningen/strømmen.
(Dette gjelder også jord.)



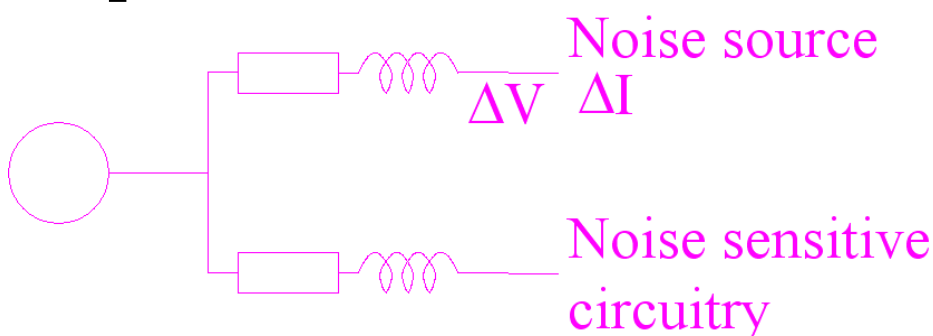
Hvordan redusere ΔV ?

- Redusere ΔI ?
- Redusere R?
- Redusere L?
- Redusere f?

To (av flere) metoder:

1. Splitt i flere nett
2. Lavimpedans avkobling nær følsom elektronikk

1. Splitt i flere nett

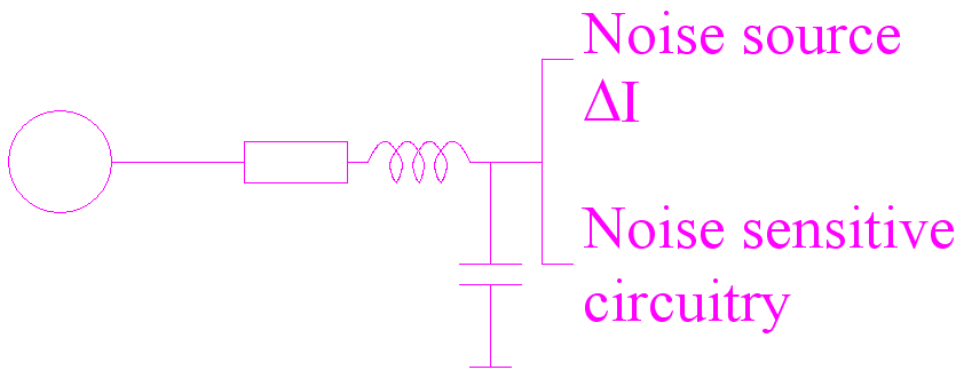


For eksempel egne forsyningsnett for:

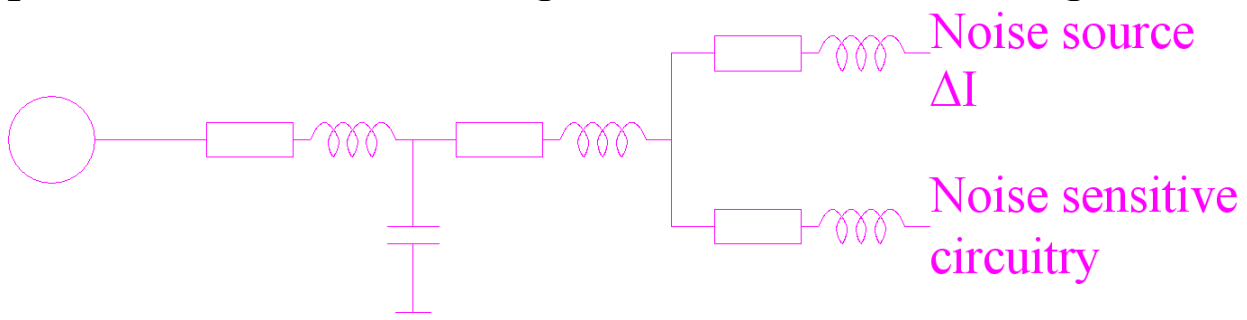
1. Forforsterkere
2. Øvrig analog elektronikk
3. Digital elektronikk

2. Lavimpedans avkobling nær følsom elektronikk

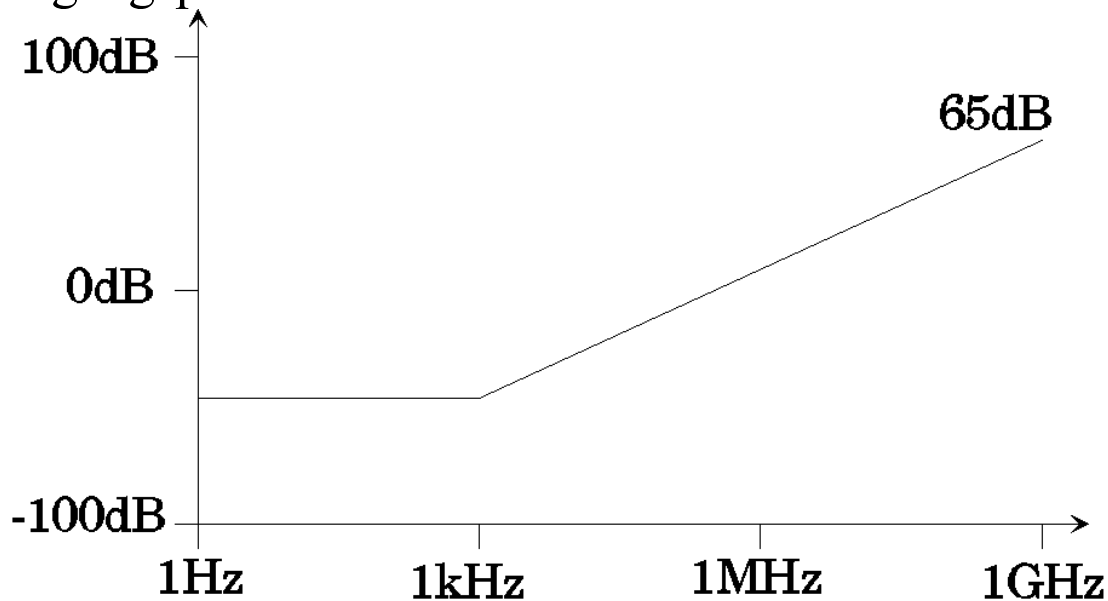
Avkoblingskondensatoren er et ladningsreservoar som skal kompensere ujevne ladningstrekk p.g.a. ΔI



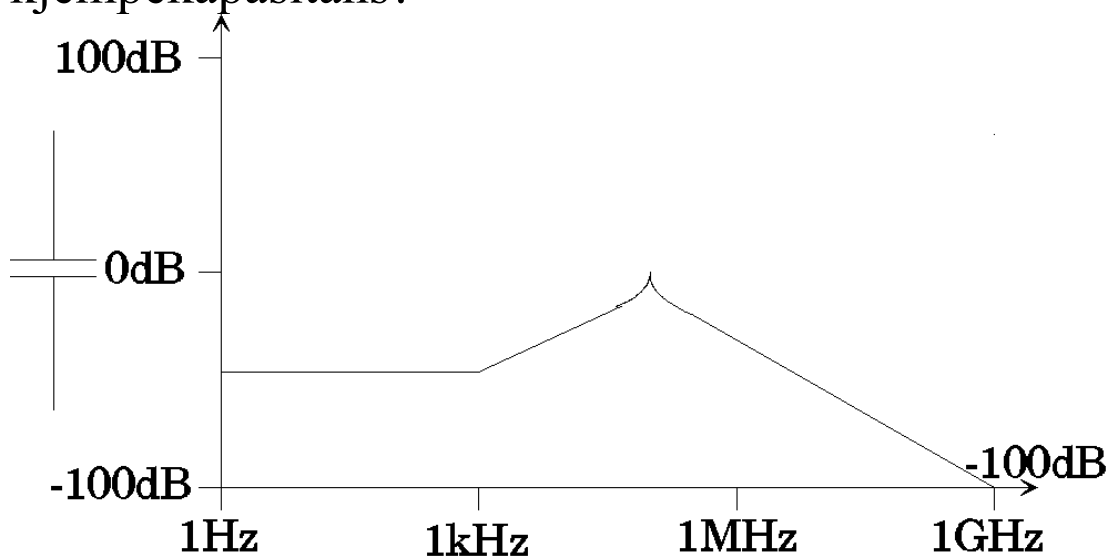
Hvis det ikke var noen motstand og/eller induktans mellom kondensatoren og elektronikken så ville variasjonene være fjernet. Men den vil aldri kunne fjernes helt. Så på tegningen under ønsker vi å flytte avkoblingskondensatoren "så langt til høyre" som mulig. Det betyr f.eks. at avkoblingskondensatorene plasseres så nære de integrerte kretsene som mulig.



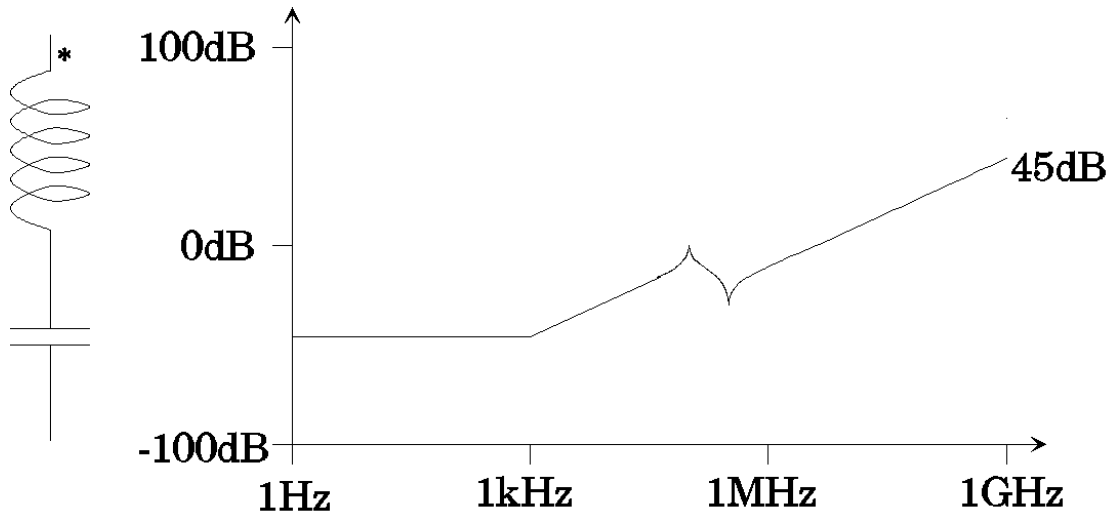
Først har vi ingen avkolingskondensator men bare de induktanser og motstander som finnes i kretsen i utgangspunktet.



La oss først anta at vi bare har motstand og ikke induktans mellom avkoblingskondensatoren og elektronikken. Da vil disse danne et lavpass filter. Vi ønsker oss et knekkpunkt lengst mulig mot høyre. Siden knekkpunktet forflytter seg med økende kapasitans så er kanskje løsningen en kjempekapasitans?

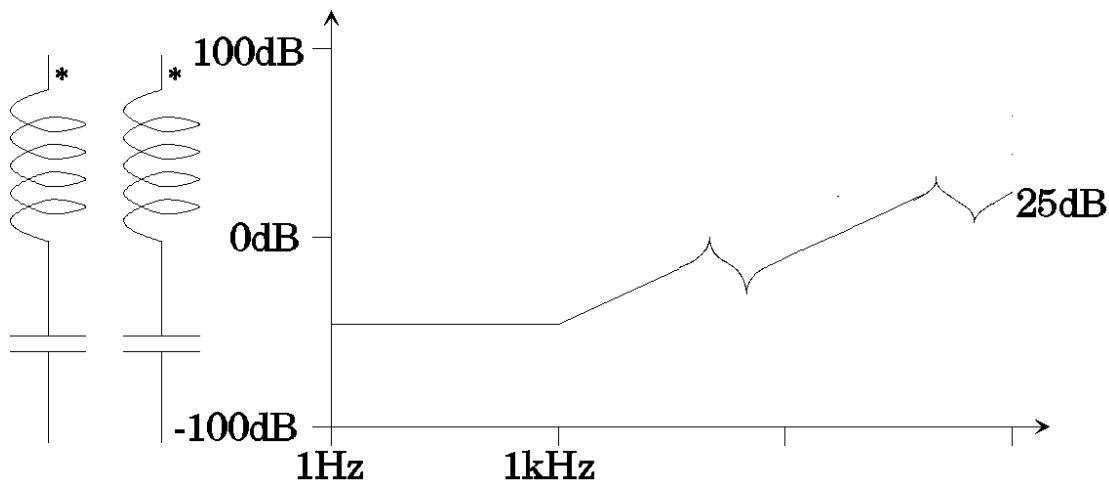


Ulempen er at alle kapasitanser og spesielt de store har parasittisk induktans. Så istedenfor kurven over får man kurven under.

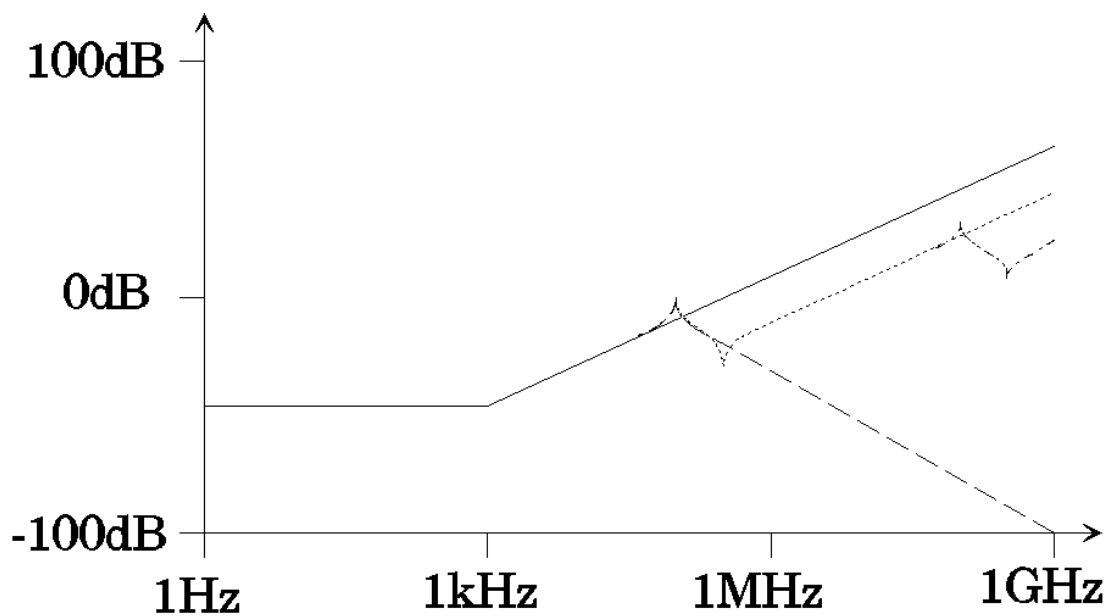


Eksempel: $10\mu\text{F}$ elektrolytt med 25nH parasittisk induktans gir en "dipp" i frekvenspekteret ved 320kHz .

Hvis man plasserer flere kondensatorer i parallell får man formen under.



Eksempel: Ny OFM kondensator på 100pF med 2nH parasittisk kapasitans i parallell med den forrige gir en ny "dipp" på 360MHz.



Noen typiske tall:

Motstand på chip:

$$30\text{m}\Omega/\text{sq} \cdot (1\text{cm}+1\text{cm})/30\mu\text{m}=2\Omega$$

Induktanser:

Bondetråd: 10nH

Coax 50 Ω : 250nH/m, 100pF/m

Elektrolytt kond.: 25nH

Skive kond.: 4-6nH

OFM kond.: 2nH

Noen eksempler:

1)

$$\Delta I=100\mu\text{A} \text{ (Lite!)}$$

$$\Sigma R=10\Omega$$

$$\Rightarrow \underline{\Delta V=1\text{mV}} \text{ for motstand}$$

2)

$$\Delta I=100\mu\text{A}$$

$$L=250\text{nH}$$

$$T_r=100\text{ns} \approx f=10\text{MHz}$$

$$\Delta V=X_L \cdot \Delta I = \omega L \cdot \Delta I = 2\pi f \cdot L \cdot \Delta I = 1.6\text{mV}$$

$$\Rightarrow \underline{\Delta V=1.6\text{mV}} \text{ for induktans}$$

Er 1mV og 1.6mV et problem?

I et følsomt sensorsystem: Ja

I et digitalt system: Nei

Men hvis systemet skal være digitalt og vi

”slurver” så kan vi få: $\Delta I=10\text{mA}$, $R=50\Omega$

$\Rightarrow \Delta V=500\text{mV}$. Hvis terskelspenningen er lav så vil

det kunne bli et problem. Alternativt hvis frekvensen økes til 100MHz så får vi $\Delta V=16\text{mV}$.

Hva hvis frekvensen økes til 1GHz?

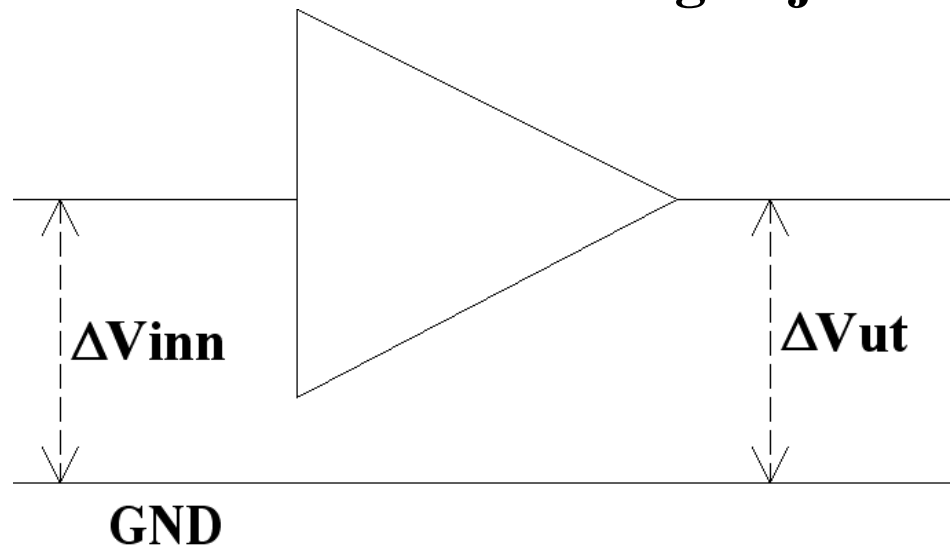
HUSK: Bølgelengden ved 300MHz er 1meter.
D.v.s. med 1m lang coax så må vi betrakte den som kondensator og induktans ved frekvenser under 300MHz men som en 50Ω motstand ved frekvenser over 300MHz. (Det siste forutsetter at kabelen er terminert riktig.)

Signalreferanse:

Når en skal behandle et analog elektrisk signal så er det to hovedmåter å gjøre dette på:

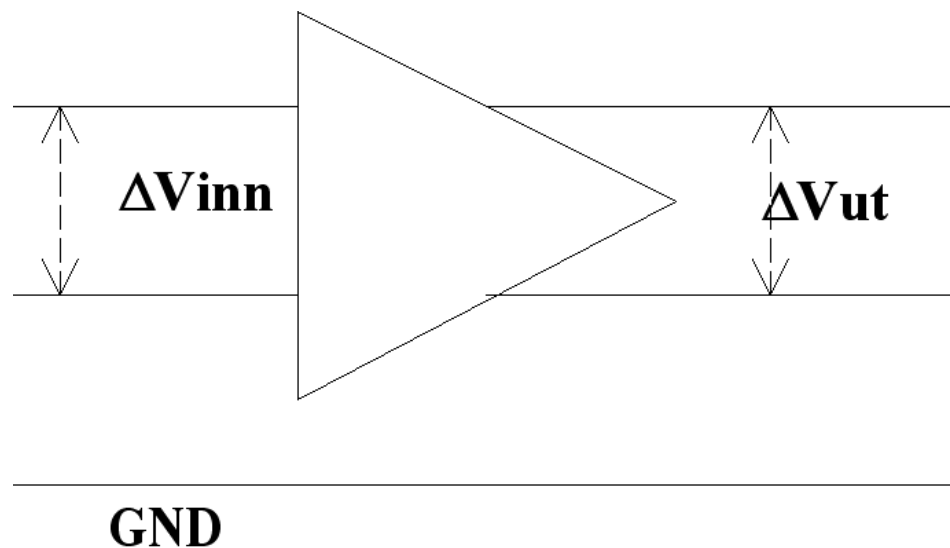
1. Referert til en felles signaljord.
2. Differensielt referert til et motsignal

1. Referert til en felles signaljord



Signalverdien regnes relativt til et referansesignal (signaljord) som er felles og uendret. Bare signalet blir forsterket, filtrert etc.

2. Differensielt referert til et motsignal



Signalverdien er differansen mellom to signaler. Disse behandles mest mulig likt og blir forsterket og filtrert sammen m.m.

I de enkleste og minst støykritiske systemene brukes den første, ubalanserte løsningen med signaljord og power-jord i samme node. I de litt mer kritiske brukes den differensielle. Den differensielle vil kunne beskytte mye mot støyen i forsyningslederne etc. (PSRR er her en viktig parameter.). I de aller mest støyfølsomme systemene brukes den første, ubalanserte løsningen men med privat signaljord adskilt fra power-jord.

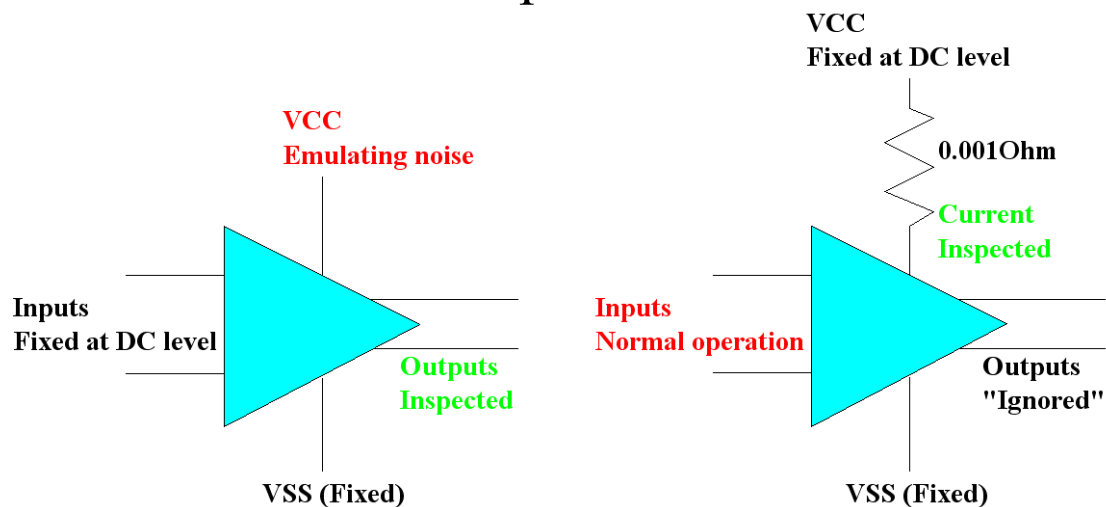
Støyfølsomt	Signalering
Minst	Ubalansert med felles signal og powerjord
Middel	Differensiell (PSRR!)
Mest	Ubalansert med adskilt signal og powerjord

PSRR

(Power Supply Rejection Ratio)

(Utgangssignalets følsomhet for støy på power)

1. Simulere støyfølsomhet
2. Simulere støy bidrag for alle typer celler tilkoblet aktuelt power



Power noise sensitivity

Power noise generated

1. Støyfølsomhet:

- a) Linear, ikke klokke logikk:
AC-analyse

- b) Klokke logikk (f.eks. switch cap):
Oppbygning av frekvens
karakteristikk ved transientanalyse ved
flere frekvenser

2. Støybidrag:

Simulere variasjonen i strømtrekket for alle moduler tilkoblet aktuelt power

Vanligste simuleringsmodi

- DC-analyse
- AC-analyse/Frekvensanalyse/småsignalanalyse
- Transient analyse/Timing analyse

DC-analyse:

Spenninger og strømmer har sin initialverdi ved 0ns. Spoler kortsluttes (0Ohm) og kondensatorer fjernes (∞ Ohm). Alle simuleringer starter med en DC-analyse.

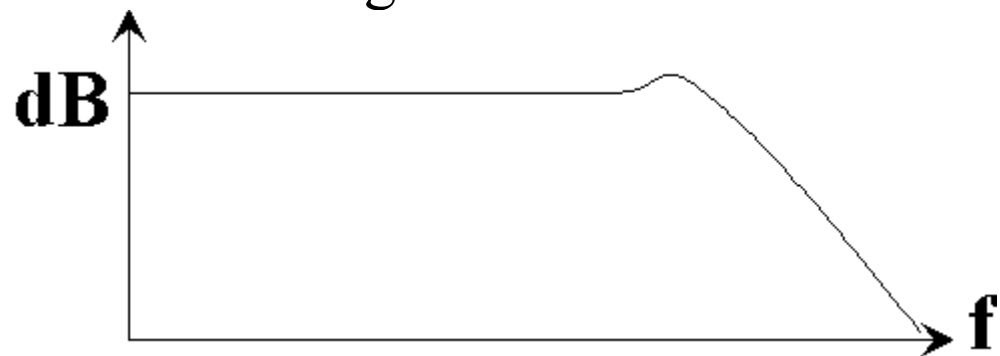
AC-analyse:

Offset (DC-verdien) til påtrykkssignalet bestemmer ligningssettet som skal brukes. Brukes til å finne responsen på et infinitesimalt lite AC-signal.

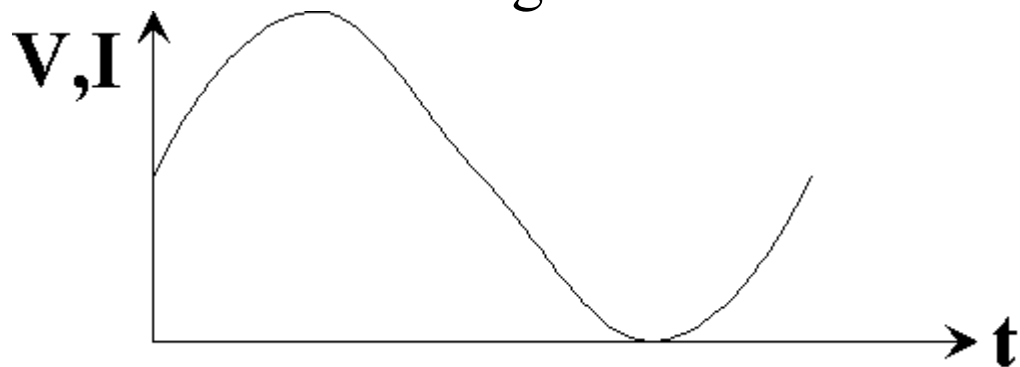
Transient analyse:

Ligningsettet velges ut fra den påtrykte verdi (offset pluss frekvenskomponenter) i et hvert tidspunkt.

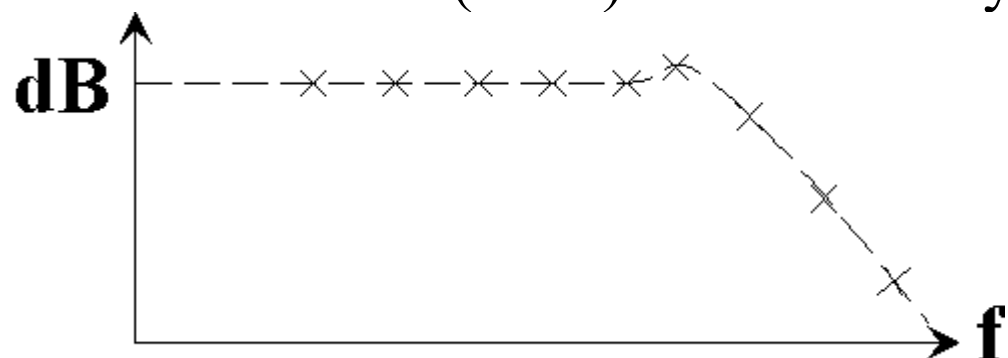
AC-simulering:



Transient simulering:



Frekvens respons bygd opp av simulerte verdier ved flere (her 9) transient analyser:



Oppgave:

Forsterker med forsterkning 100 ganger.
Spenningsforsyning Gnd=0Volt og
VDD=5Volt. Påtrykkes signal med offset
2.5Volt og amplitude 1Volt.

Hva vil responsen bli hvis vi:

Utfører AC-analyse?

Utfører Transient analyse?

Kapasitiv kobling

To ledende materialer => kapasitiv kobling
Modell for kapasitiv kobling: Kapasitans

Kapasitans:

$$C = \varepsilon \cdot \frac{A}{t} \quad C = \frac{dQ}{dV}$$

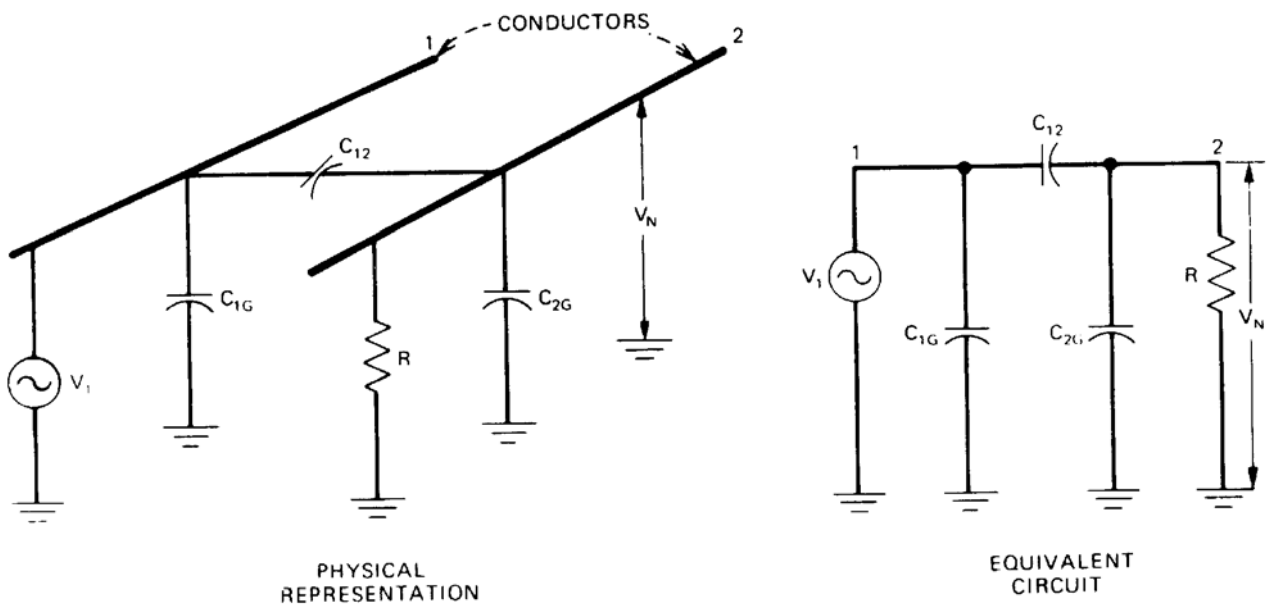


Figure 2-1. Capacitive coupling between two conductors.

$$V_N = \frac{X_{C_{2G}} \parallel R}{X_{C_{2G}} \parallel R + X_{C_{12}}} V_1$$

V_1 : Spenning på leder 1

V_N : Spenning på leder 2 som skyldes spenning på leder 1

$$\frac{\frac{1}{j\omega C_{2G}} \cdot R \parallel \left(\frac{1}{j\omega C_{2G}} + R \right)}{\frac{1}{j\omega C_{2G}} \cdot R \parallel \left(\frac{1}{j\omega C_{2G}} + R \right) + \frac{1}{j\omega C_{12}}}$$

$$V_N = \frac{j\omega [C_{12} / (C_{12} + C_{2G})]}{j\omega + 1 / [R(C_{12} + C_{2G})]} V_1$$

Forenkler: Ser på de to tilfellene hvor nevnerleddene har stor forskjellig i størrelse.

- 1) Ledd 2 er mye større enn ledd 1
- 2) Ledd 2 er mye mindre enn ledd 1

Tilfelle 1:

$$R \ll \frac{1}{j\omega(C_{12} + C_{2G})}$$

Når er dette aktuelt for en CMOS ASIC?

Eksempel for:

$$\Sigma C = 250\text{fF}$$

$$f=1\text{MHz}$$

$$\Rightarrow R \text{ mindre enn } 600\text{k}\Omega$$

Hvilke R kan vi ha?

CMOS Inngangsmotstand: Meget høy

CMOS Utgangsmotstand:

Ledende: Noen $\text{k}\Omega$

Ikke ledende: Mange $\text{M}\Omega$

D.v.s. en node som drives aktivt

NB! For høy frekvens eller stor samlet kapasitans vil selv en vanlig ledende utgang ha for stor motstand til å omfattes av dette tilfellet.

Hva blir spenningen generert i node 2 i dette tilfellet ?

$$V_N = j\omega RC_{12} V_1$$

Smitte spenningen øker altså med

- Frekvensen på støysignalet V_1
- Parasittisk kapasitans mellom lederne
- Spenningsamplituden på støykilden
- Motstanden R

NB ! Forutsetning for uttrykket over var at R var mindre enn $1/[j\omega(C_{12}+C_{2G})]$. R , f og C_{12} kan derfor ikke være større enn dette fortsatt gjelder.

Noen ASIC eksempler:

1) Leder rutet parallelt med støyleder i lengde 1mm med minimumsavstand mellom lederne. Det støyende signalet har stige/falltid 100ns og beveger seg mellom 0V og 5V.

($f=10\text{MHz}$, $R=2\text{k}\Omega$, $C_{12}=100\text{fF}$, $V_1=5\text{V}$)

$$\Rightarrow V_N=60\text{mV}$$

2) Bred signalleder, $50\mu\text{m}$ (lav ohmig), krysser støyende $50\mu\text{m}$ bred power leder. Støy på powerleder ca 20mV .

Dominerende frekvens ca 40MHz .

($f=40\text{MHz}$, $R=2\text{k}$, $C_{12}=100\text{fF}$, $V_1=20\text{mV}$)

$$\Rightarrow V_N=1\text{mV}$$

(Er 1mV mye ??)

3) Signalleder i metall rutes over substrat i lengde ca 1mm og med bredde ca $2\mu\text{m}$.

Substratet støyer med amplitude ca 20mV og har en dominerende frekvens på 40MHz .

($f=40\text{MHz}$, $R=2\text{k}$, $C_{12}=100\text{fF}$, $V_1=20\text{mV}$)

$$\Rightarrow V_N=1\text{mV}$$

NB ! Substratet vil også ha en motstand !!

Tilfelle 2:

$$R \gg \frac{1}{j\omega(C_{12} + C_{2G})}$$

Når gjelder dette på en CMOS ASIC ?

- Når noden ikke drives av en transistor:
F.eks. dynamisk hukommelselement.
- Når frekvensen er høy
- Når parasittisk kapasitans og/eller øvrig kapasitans er stor

Hva blir spenningen generert i node 2 i dette tilfellet ?

$$V_N = \left(\frac{C_{12}}{C_{12} + C_{2G}} \right) V_1$$

Forholdet mellom parasittisk kapasitans og total kapasitans i målnoden bestemmer andel som overføres.

Vi ser at det er viktig at dynamiske hukommelselementer har tilstrekkelig lagringskapasitans og lite parasittisk kapasitans. Altså kort vei fra driver til lagringselement og kort vei fra lagringselement til leser.

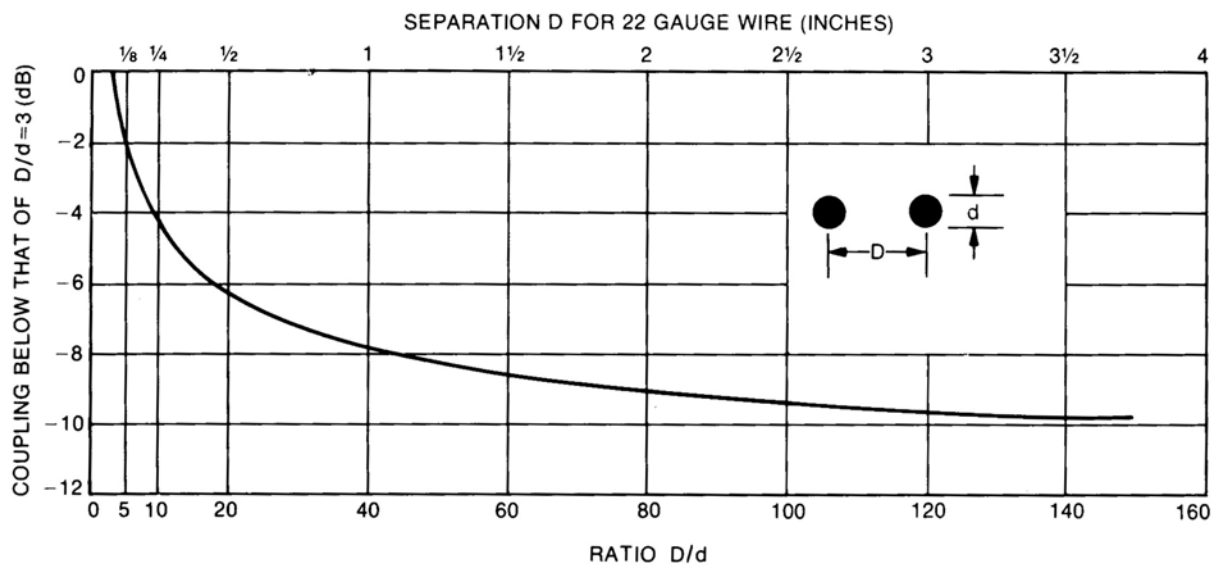


Figure 2-2. Effect of conductor spacing on capacitive coupling. In the case of 22-gauge wire, most of the attenuation occurs in the first inch of separation.

Parasittisk kapasitans er proporsjonal med "Arealet" delt på "tykkelsen". På figuren er dette d/D . Økes avstanden vil kurven følge en $1/x$ -kurve.

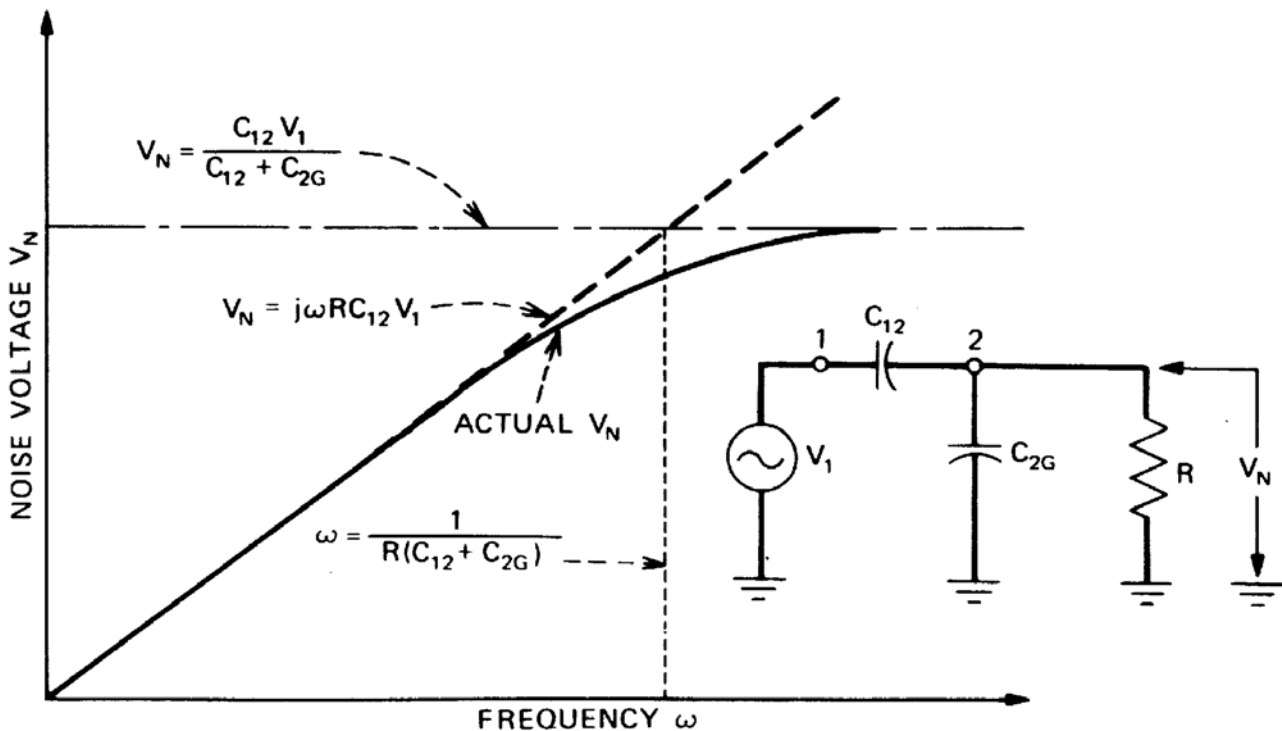


Figure 2-3. Frequency response of capacitive coupled noise voltage.

Kurven viser begge de to tilfellene vi har omtalt, det første på venstre side og det andre på høyre.

Bemerk at uttrykket for tilfelle 2 også er en øvre grense for område 1. En kan derfor bruke dette uttrykket som et "worst case"-estimat. Det kan også være greit å bruke dette uttrykket hvis en ikke kjenner frekvensspekteret til støysignalet eller hvis en ikke kjenner R .

$$\omega = \frac{1}{R(C_{12} + C_{2G})}$$

Parasittiske kapasitanser på en ASIC:

(som ikke ligger i modellene av enkelt komponentene.)

- Kryssende metall og poly-ledere
- Parallele metall og poly-ledere
- Mellom leder og substrat

Effekten av skjerming

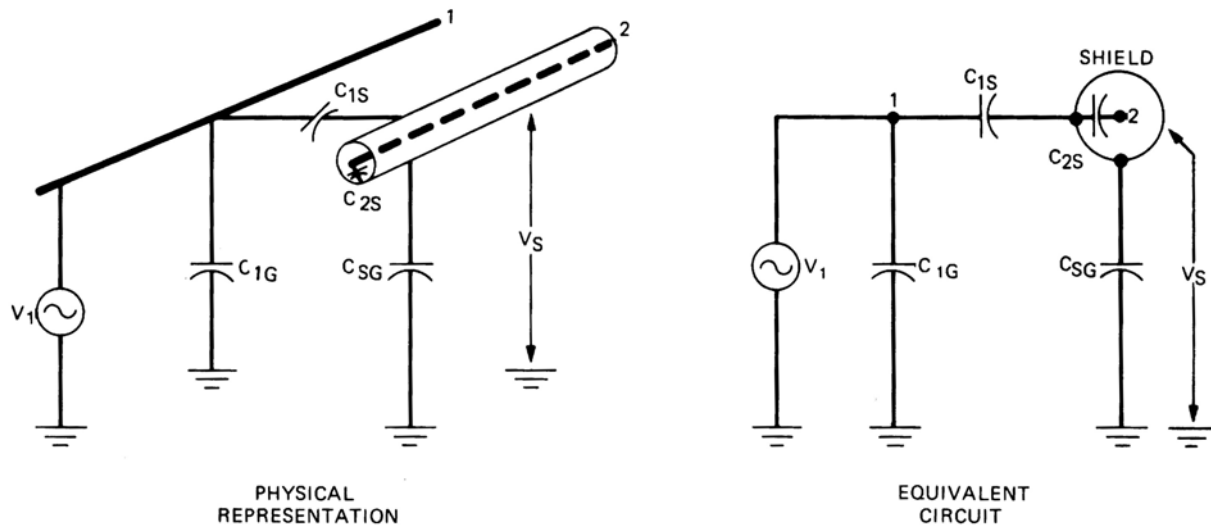


Figure 2-4. Capacitive coupling with shield placed around receptor conductor.

a) Initiell forenkling:

- Heldekkende skjerm rundt leder 2.
- Skjerm og leder har uendelig motstand mot alt.

$$V_S = \left(\frac{C_{1S}}{C_{1S} + C_{SG}} \right) V_1$$

Bemerk at C_{2S} ikke inngår.

V_S har samme potensialet som vi beregnet for leder 2 tidligere med uendelig motstand R .

$$V_N = V_S$$

b) Skjerm er jordet

$$V_N = V_S = 0$$

c) Skjerm er ikke heldekkende

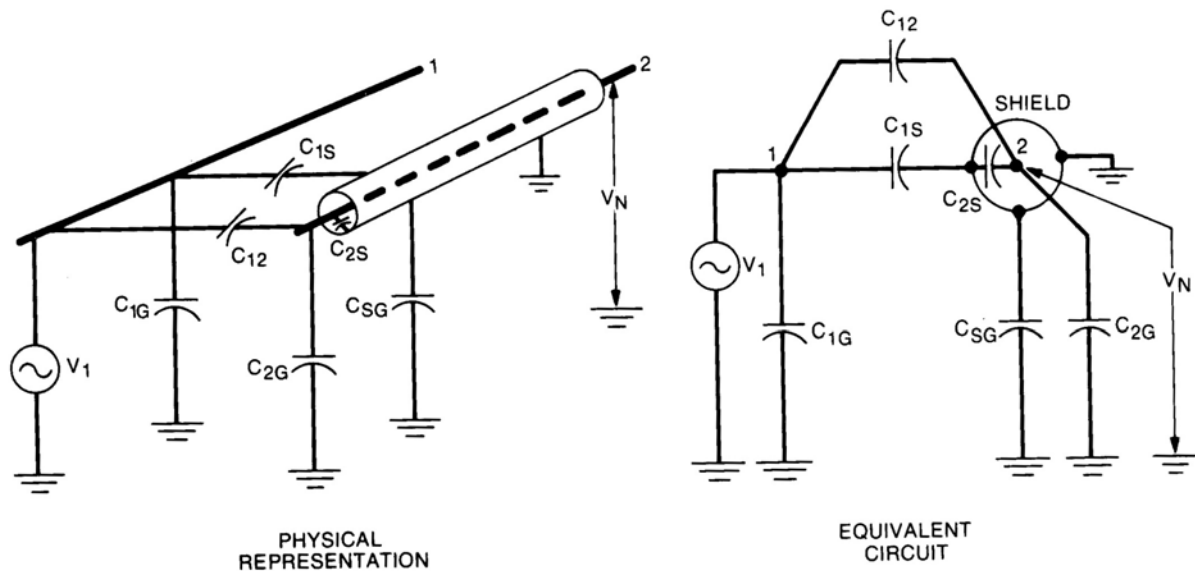


Figure 2-5. Capacitive coupling when center conductor extends beyond shield; shield rounded at one point.

$$V_N = \frac{C_{12}}{C_{12} + C_{2G} + C_{2S}} V_1$$

Tilfelle 2 som omtalt tidligere men:

C_{12} er redusert

C_{2G} er "utvidet" med C_{2S}

=> Redusert kapasitiv kobling

d) Motstand mellom leder 2 og jord

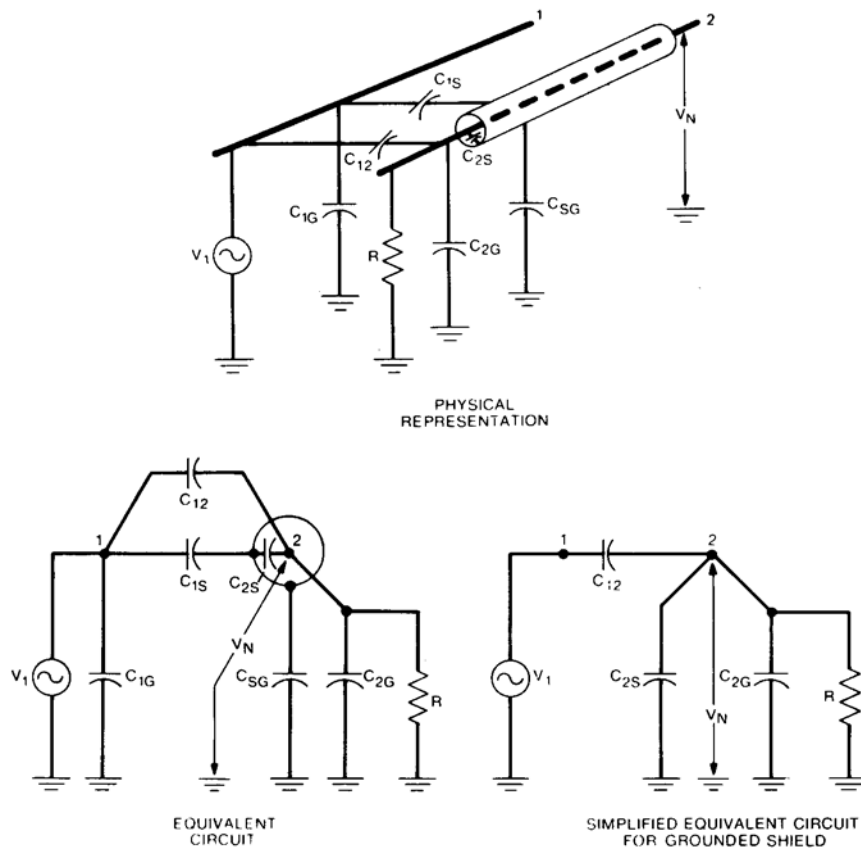


Figure 2-6. Capacitive coupling when receptor conductor has resistance to ground.

Som vår opprinnelige modell men C_{2G} er utvidet med C_{2S} .

Kan også her dele i to tilfeller.

Tilfelle 1:

$$R \ll \frac{1}{j\omega(C_{12} + C_{2G} + C_{2S})}$$

Økningen i kapasitans C_{2S} er større enn reduksjonen i kapasitans C_{12} . Grensefrekvensen mellom de to tilfellene har dermed sunket.

Smittestøyen er fortsatt:

$$V_N = j\omega RC_{12} V_1$$

men nå med en kraftig redusert C_{12} .

Tilfelle 2...

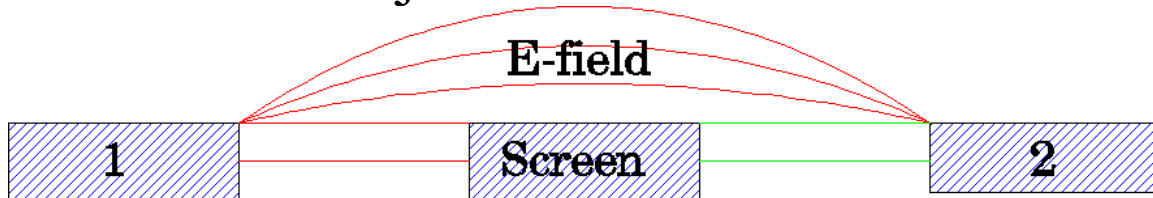
... blir som med uendelig motstand behandlet foran.

Hvordan bør skjermen være?

Skjermens viktigste funksjon er å redusere C_{12} . Forutsatt dette bør C_{2s} være liten eller stor? D.v.s. bør skjermen ligge nærme støyobjektet eller bør det ha en viss avstand? Ut fra uttrykkene vi satte opp tidligere så kan det se ut som om C_{2s} bør være størst mulig. Men hvis en sensor genererer en ladning så vil en av og til ønske at mest mulig av denne ladningen kommer på forforsterkerens inngangskapasitans (transistor gaten). Det vil da ikke være ønskelig å ha for mange ekstra kapasitanser på signallederen. Det kan da være ønskelig at skjermen legges i en viss avstand fra signallederen.

Skjermer på ASICs

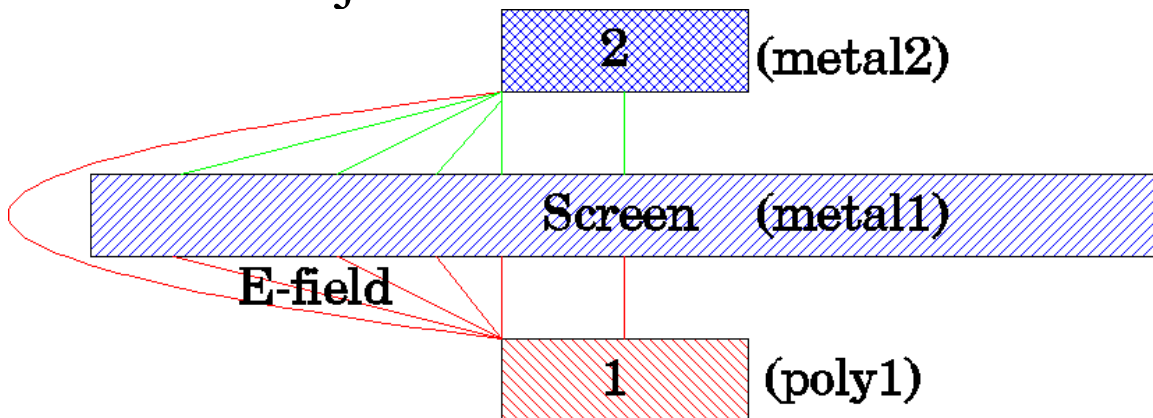
- Horizontal skjerm mellom ledere:



Øker kapasitans mot stabilt potensiale C_{2G} .

Begrenset virkning på C_{12} .

- Vertikal skjerm mellom ledere:



Reduserer C_{12} og øker C_{2G} hvis skjermen er bred nok.

Implementasjon:

Kryssende ledere: F.eks. støy objekt i M2, støykilde i poly og skjerm i M1.

Substrat:

Estimat: Vanskelig å estimere. I ”worst case” estimat betraktes substratet som ledende.

Mottiltak: Legg støyobjekt i høyeste metallag.

Skjerm i metall, poly eller brønn. Brønn må sikres med mange brønnskoter for lav motstand mot områder under støyobjektet. (Brønnen legges på skjermpotensialet, ikke VCC etc).

Mottiltak mot kapasitiv støy:

1. Unngå krysning
2. Minimaliser lederbredden i krysningspunktet
3. Øk avstand
4. Bruk skjerm
5. Legg på kapasitiv jordlast
6. Velg isolasjonen med mindre ϵ_r
7. Reduser utgangsmotstanden til linjedriveren
8. Reduser frekvens (unngå steile flanker)
9. Reduser støykildens spenningsving
10. Generer motstøy

Generere motstøy

Eksempel:

I et område med dynamiske hukommelselementer så må en krysse med ledere som fører digitale kontrollsignaler. Et spenningsving på disse på f.eks. 5V vil generere støy i elementene. For å kompensere for dette kan en samtidig rute de inverterte digitale signalene kryssende over hukommelselementene. De inverterte signalene behøver ikke å bli brukt til noe. Det som er viktig er:

- Spenningspranget må være likt men i motsatt retning.
- Den kapasitive koblingen må være mest mulig lik.

Induktiv kobling

$$\phi = LI$$

L: induktans, I: strøm i lukket krets,

ϕ : magnetisk fluks

L er funksjon av geometrien til den lukkede kretsen og materialer i det magnetiske feltet

$$M_{12} = \frac{\phi_{12}}{I_1}$$

M_{12} mutal (gjensidig) induktans mellom krets 1 og krets 2.

ϕ_{12} flux i krets 2 på grunn av strøm i krets 1.

I_1 strøm i krets 1

$$V_N = -\frac{d}{dt} \int_A B \cdot d\mathbf{A}$$

Spenningen V_N generert i en sløyfe rundt et areal A med flukstettheten B igjennom. A og B er vektorer. (Vektoren A står normalt på planet.)

Spesialtilfelle hvor vi oppnår:

$$V_N = j\omega BA \cos \theta$$

A er konstant, B varierer med en sinusfunksjon men er samtidig konstant over hele A , θ er vinkelen mellom A og B .

Siden $\phi_{12} = BA \cos \theta$ så kan vi sette inn i forrige uttrykk og få:

$$V_N = j\omega M I_1 = M \frac{di_1}{dt}$$

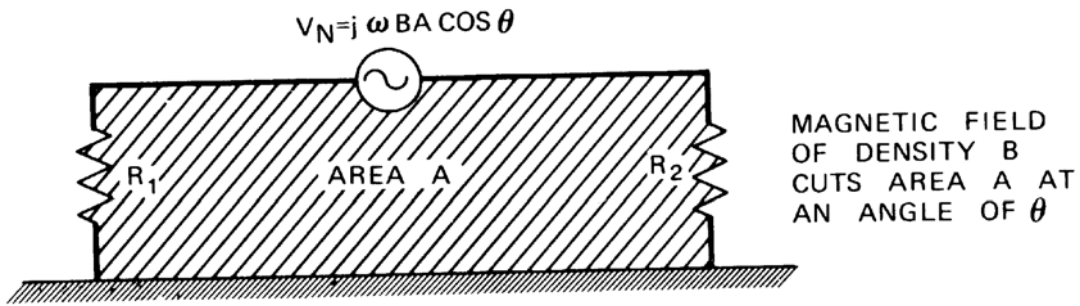


Figure 2-7. Induced noise depends on the area enclosed by the disturbed circuit.

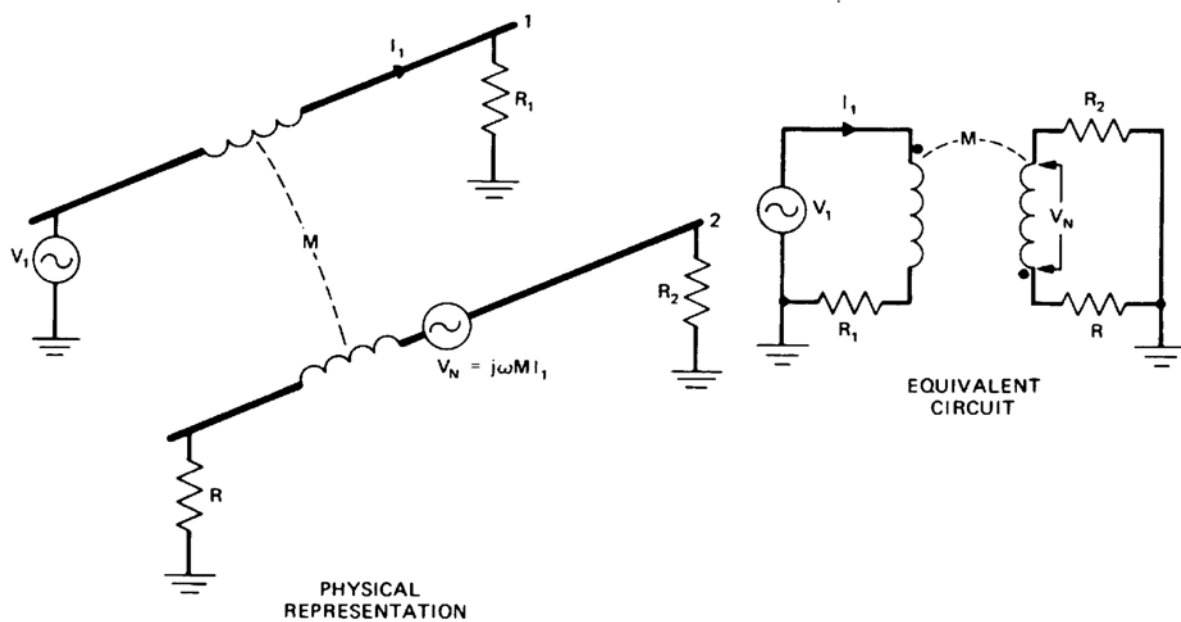


Figure 2-8. Magnetic coupling between two circuits.

Induktiv kobling mellom to ledere (sløyfer)

Hvordan redusere uønsket induktiv kobling:

- Øke avstanden mellom kretsene
- Tvinne kildelederne (forutsatt at strømmen går gjennom en returleder og ikke gjennom jordplan etc.)
- Redusere mottaksarealet ved å legge lederen nærmere jordplanet
- Tvinne mottakslederne (forutsatt strømmen går igjennom en returleder og ikke gjennom jordplan.)

- Orienterer kilde og mottaker normalt på hverandre
- Skjerming

Forskjell på magnetisk feltkobling og elektrisk feltkobling (induktiv kobling og kapasitiv kobling).

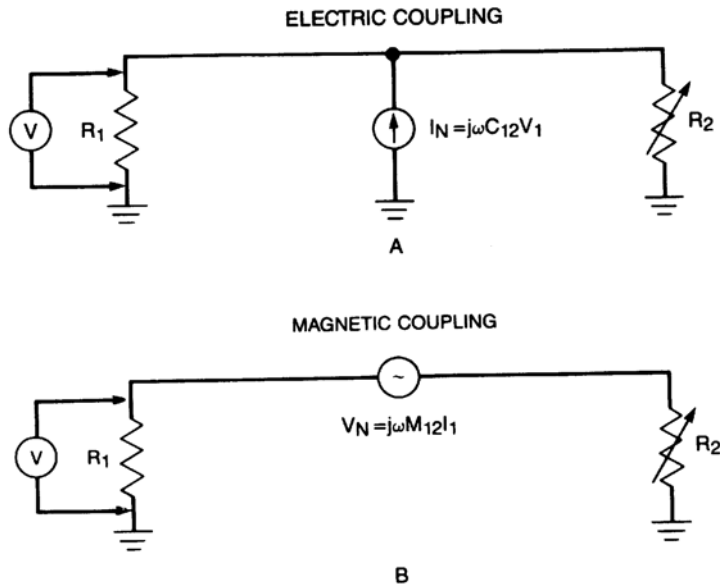


Figure 2-9. (A) Equivalent circuit for electric field coupling; (B) equivalent circuit for magnetic field coupling.

Når R_2 reduseres..... hvis spenningen målt over R_1

øker så er koblingen induktiv mens hvis den reduseres så er koblingen kapasitiv.