

Kurs: FYS3230 Sensorer og måleteknikk	Gruppe:	Gruppe-dag:
Oppgave: <p style="text-align: center;">LABORATORIEØVELSE NR 5</p>		
Omhandler: <p style="text-align: center;">Studere en “Phase Locked Loop IC” - NE565</p> <p style="text-align: center;">Frekvensmodulert sender Mottager for Frequency Shift Keying</p> <p style="text-align: center;">Revidert , 27 sept. 06 B. Skaali</p>		
Utført dato:	Utført av: Navn: email: Navn: email:	
Godkjent: dato:	Godkjent av:	
Kommentar fra veileder:		

1. Innledning

Som vist på vedlagte datablad innholder NE565 en fasekomparator, en forsterker med filter, og en spenningsstyrt oscillator (VCO = Voltage Controlled Oscillator). Dette er en krets som kan brukes i mange sammenhenger, først og fremst i forbindelse med telekommunikasjon, for eksempel som sender og som mottaker av data på seriell form over telenettet. Ved dataoverføring på telefonnettet kan man ikke bruke likespenningsnivåer for logisk "1" og "0", men i stedet brukes to forskjellige frekvenser, for eksempel 2600 Hz og 2800 Hz, såkalt Frequency Shifted Keying (FSK).

På et kretskort er det koblet opp to stykker NE565 med nødvendige tilleggskomponenter. Kortet skal kobles til +12 og -12 V. **Sjekk spenningene ut fra strømforsyningsenheten med DVM før tilkobling.** Kretsene skal egentlig bare ha 6 V drivspenning så tilførsels-spenningene blir redusert på kortet. Begge IC'ene har 1nF mellom pinne 7 og pinne 8 for å stoppe parasittiske oscillasjoner.

Utstyr: Ferdigkoblet kretskort og strømforsyning
Oscilloscope
Digitalt voltmeter (DVM)

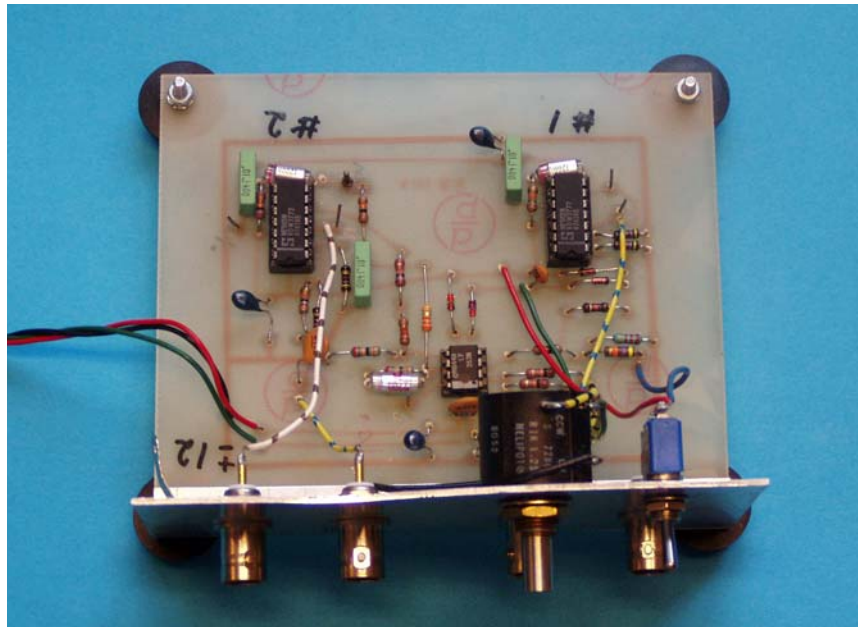


Fig. 1 Kretskort for oppgaven

2. Frekvensmodulert sender

NE565 kan benyttes som sender ved å koble spenningsnivåene for logisk "1" og "0" til den spenningsstyrte oscillatoren (VCO). De to frekvensene overføres så over telefonlinjen, eller hvis VCO-utgangen kobles til en lys-emitterende diode, kan vi bruke fiberoptisk kabel. På mottagersiden kobles en annen NE565 krets som faselåst sløyfe, og frekvensene blir demodulert til to logiske spenningsnivåer igjen.

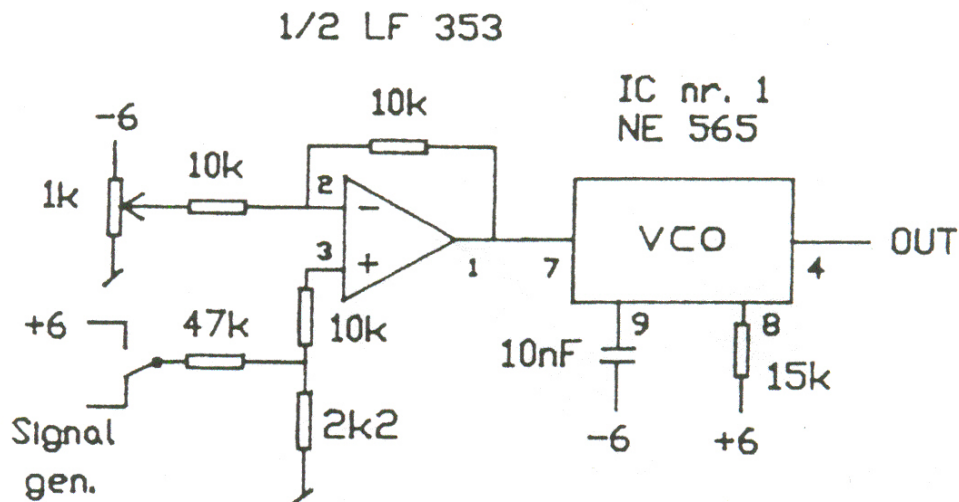


Fig. 2 Frekvensmodulert sender

Oppgave 5.1

- IC nr.1 skal brukes som en frekvensmodulert sender. Frekvensen til oscillatoren kan varieres ved å variere spenningen på VCO-inngangen, som er internt koblet til pinne 7. (Pinne 7 er altså både Demod. UT og VCO INN). Spenningen på pinne 7 kan varieres ved hjelp av en helipot koblet til en op.amp koblet som summasjonsforsterker, Fig. 2. Den ikke-inverterende inngangen på op-ampen er forbundet med jord via to motstander og med en bryter. Med bryteren kan inngangen enten forbindes med en fast positiv spenning eller en signal-inngang. Inngangen skal først være forbundet med signal-inngangen uten eksternt signal, dvs. uten spenning. (Når bryteren er i nedre stilling er op.amp. inngangen koblet til +6V)
- Mål VCO-frekvens som funksjon av spenningen på pinne 7 med et digitalt voltmeter og oscilloskopet. Spenningen varieres med helipot.

Oppgave 5.2

- Justér helipot slik at frekvensen blir ca 3.50 kHz, se Fig. 3. Ved hjelp av bryteren kobles så den ikke-inv. inngangen til +6 V. Hva blir frekvensen nå?

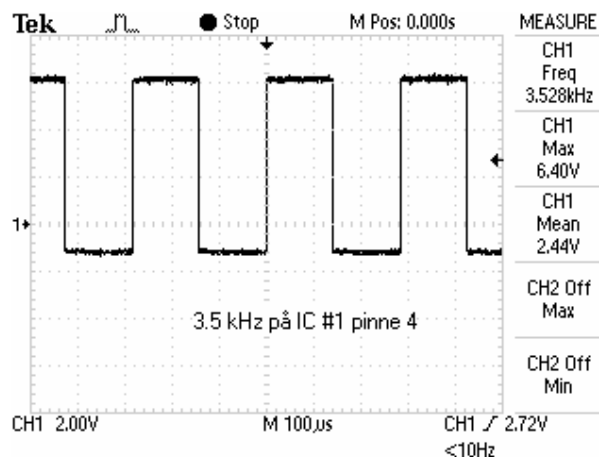


Fig. 3

3. Mottager for FSK

IC nr. 2 er koblet som mottager for FSK. Den er koblet som en faselåst sløyfe (se blokk-skjema) med VCO koblet til en inngang (pinne 5) på fasekomparatoren.

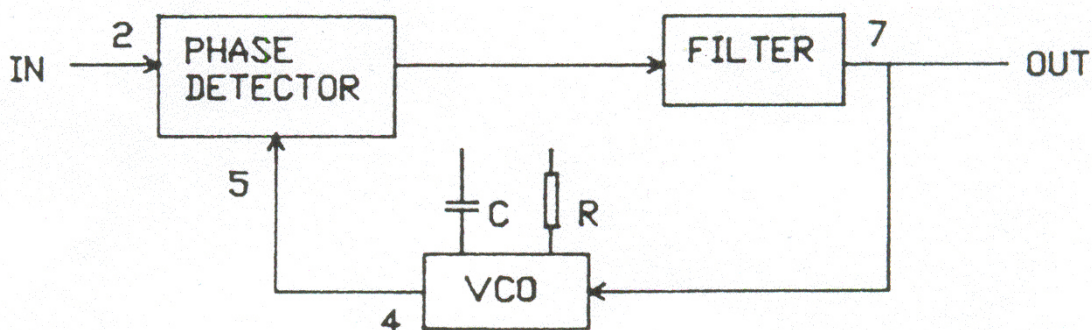


Fig. 4 Faselåst sløyfe

Uten signal på den andre inngangen til fasekomparatoren (pinne 2), vil kretsen oscillere med en frekvens bestemt av komponentene C og R. Disse komponentene er valgt slik at frekvensen er omtrent midt mellom de to frekvensene som skal mottas.

Hvis inngangen, pinne 2, på fasekomparatoren får et signal med en litt annen frekvens, får vi et utgangssignal fra komparatoren som er produktet av de to signalene:

$$e_i = E_i \sin(\omega_1 t + \varphi)$$

og

$$e_o = E_o \sin(\omega_2 t)$$

som gir

$$e = 0.5 \cdot E_i E_o [\cos((\omega_1 - \omega_2)t + \varphi) - \cos((\omega_1 + \omega_2)t + \varphi)]$$

Hvis dette signalet filtreres slik at sumleddet, dvs. den høye frekvensen, fjernes, får vi bare et lavfrekvent signal som kan brukes som et feilsignal. Koblet til inngangen på VCO, vil det skifte frekvensen til VCO slik at denne går med samme frekvens som inngangssignalet.

Ved faselåsing ("lock-in") blir derfor

$$e = 0.5 \cdot E_i E_o \cos(\varphi)$$

Spenningen på VCO-inngangen er nå et mål for hvor meget frekvensen til VCO måtte forandre seg.

Fig. 5 viser IC NE565 #2 koblet som mottager (faselåst sløyfe).

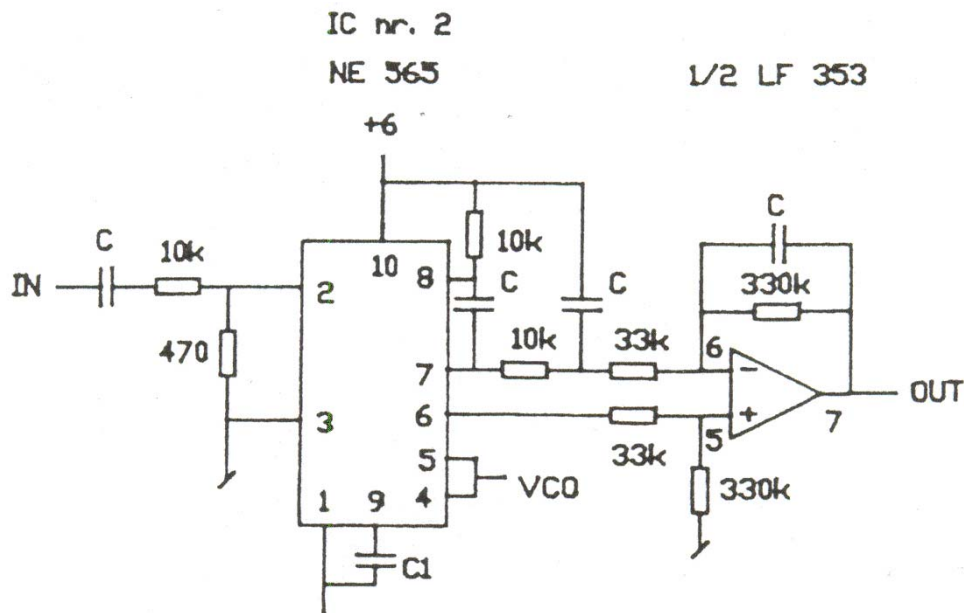


Fig. 5 Faselåst sløyfe og filter. C1 = 10 nF og C = 1 nF.

Oppgave 5.3

- Mål frekvensen med oscilloscopet koblet til VCO-utgang på IC #2 (pinne 4 og 5). Sjekk at signalinngangen ikke er koblet til noen signalkilde! Se på signalet på VCO-utgang og på pinne 9 (den ene siden av C) med oscilloscopet og legg ved skjermbildet.

Oppgave 5.4

- Send et sinus-signal (1 til 5 Vpp) til inngangen på fasekomparatoren (pinne 2) via spenningsdeleren. Fase-inngangen skal ha minst 10 mV signal og max 1 V. Variér frekvensen på signalgeneratoren og bestem området for fase-låsing (lock range, dvs. det området hvor frekvensen til VCO følger signalfrekvensen) ved hjelp av de to kanalene på oscilloskopet, se Fig. 6. Når forsterkeren låser får man et stasjonært bilde på oscilloskopet. Legg merke til at det er betydelig hysteresese ved frekvensene hvor den faller ut av "lock". Er frekvensen avhengig av amplituden på inngangssignalet?
- Mål hvordan faseforskjellen mellom inngangssignal og VCO-ut varierer over området for fase-låsing. Se også på signalet på Demod. ut (pinne 7), og mål ved hjelp av DVM (eller oscilloscop) hvordan DC-nivået varierer over det samme frekvensområdet.
- Demod. ut (pinne 7) og referanse (pinne 6) er koblet via et filter til en differanse-forsterker, op.amp. LF353. Se også hvordan spenningen på op.amp. utgangen varierer. Er spenningen avhengig av amplituden på inngangs-signalet på pinne 2?

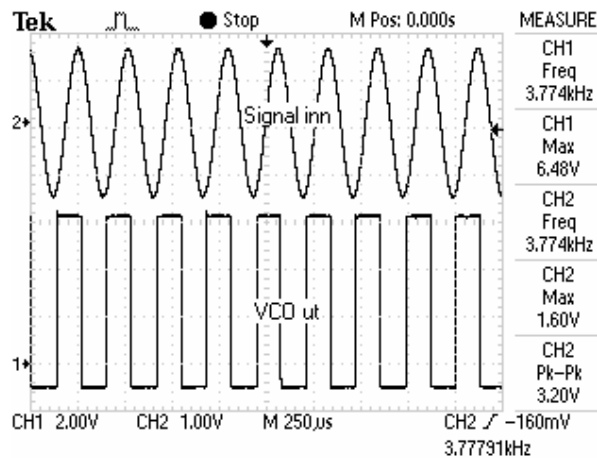


Fig. 6

Oppgave 5.5

- Forbind så sender-utgangen fra IC #1 til mottager-inngangen på IC #2 (BNC kontakter på front). Undersøk om mottageren låser til de to frekvensene som kommer fra senderen, med og uten +6V koblet til op.amp inngangen i senderen. Frekvensene bør ligge noenlunde symmetrisk omkring egenfrekvensen til mottageren. Dette kan justeres ved å skru litt på helipot som vil skifte begge frekvensene litt opp eller ned. Undersøk også om man får to forskjellige nivåer på op.amp utgangen i mottageren?

Oppgave 5.6

- Forbind signalgeneratoren med op.amp inngangen på senderen. Bruke positive firkantpulser, 100 Hz og ca 50% duty cycle (dvs. like bred puls som opphold) svarende til en serie med bits alternativt "0" og "1".
- Se på op.amp utgangen (**pinne 7**) på mottageren om man får signal ut med samme frekvens. Dersom alt er riktig satt opp skal man få et bilde omtrent som vist på Fig. 7. (Bemerk at BNC UT på fronten ikke er koblet til op.amp utgang men til VCO utgang!). Normal ville et demodulert signal kobles til en komparator for å generere passende logiske nivåer. Legg ved skjermutskrifter fra oscilloscopet.

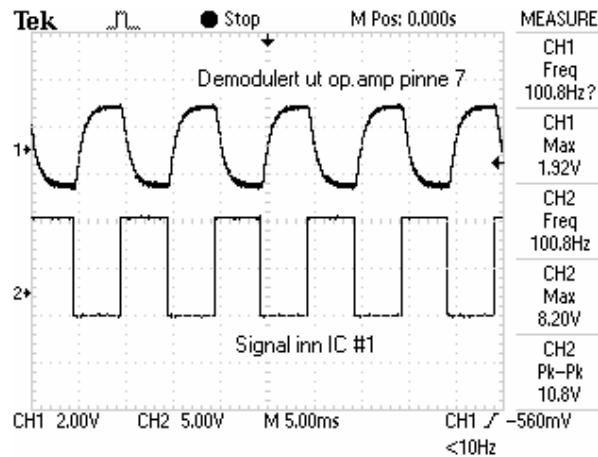


Fig. 7

Denne sammenkoblingen kan også brukes for overføring av analog informasjon så lenge mottageren arbeider som en faselåst sløyfe. Hvis amplituden på firkantpulsene varieres (for eksempel fra en sensor), moduleres sendefrekvensen. Dette blir demodulert i mottageren, og i signalet fra op.amp'en får man tilbake den opprinnelige amplitudeinformasjonen.

En faselåst sløyfe er lite følsom for tilfeldig støy på grunn av lavpass-filtret mellom fasedektoren og VCO. Signaler med en konstant frekvens utenfor "lock-in" intervallet for mottageren vil heller ikke gi noe utgangssignal. Hvis ønskelig kan dette intervallet reduseres til ca 20% av senterfrekvensen med hjelp av en motstand mellom pinne 6 og pinne 7 på NE565 (jfr. datablad). Innenfor dette frekvensområdet blir frekvens-variasjoner, men ikke amplitude-variasjoner, demodulert.

Datablad for NE565

Med forslag til applikasjoner er vist på etterfølgende sider.

Bemerk at den benyttede kretsen er i "F, N" pakke nå man ser på pinnekonfigurasjonen.

NE/SE565 Phase-Locked Loop

Product Specification

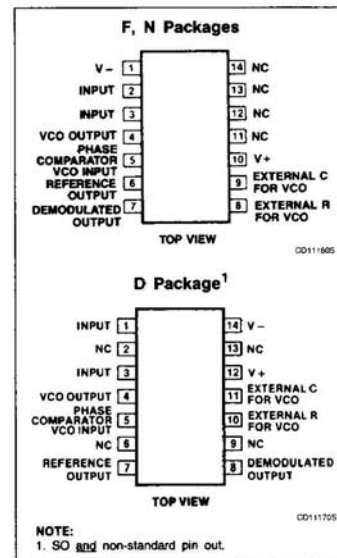
DESCRIPTION

The NE/SE565 Phase-Locked Loop (PLL) is a self-contained, adaptable filter and demodulator for the frequency range from 0.001Hz to 500kHz. The circuit comprises a voltage-controlled oscillator of exceptional stability and linearity, a phase comparator, an amplifier and a low pass filter as shown in the Block Diagram. The center frequency of the PLL is determined by the free-running frequency of the VCO; this frequency can be adjusted externally with a resistor or a capacitor. The low pass filter, which determines the capture characteristics of the loop, is formed by an internal resistor and an external capacitor.

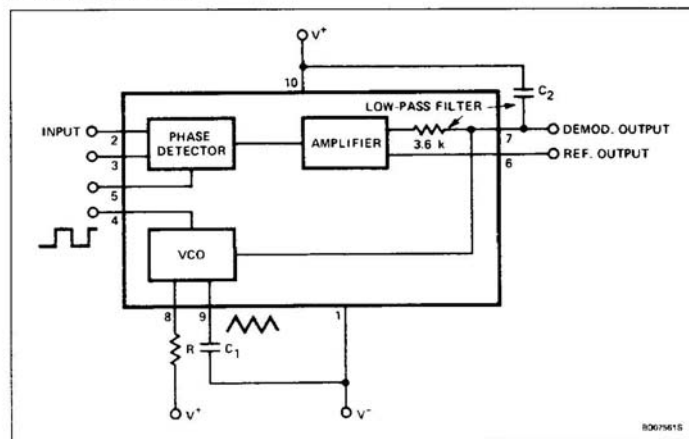
FEATURES

- Highly stable center frequency (200ppm/°C typ.)
- Wide operating voltage range ($\pm 6V$ to $\pm 12V$)
- Highly linear demodulated output (0.2% typ.)
- Center frequency programming by means of a resistor or capacitor, voltage or current
- TTL and DTL compatible square wave output; loop can be opened to insert digital frequency divider
- Highly linear triangle wave output
- Reference output for connection of comparator in frequency discriminator
- Bandwidth adjustable from $< \pm 1\%$ to $> \pm 60\%$
- Frequency adjustable over 10 to 1 range with same capacitor

PIN CONFIGURATIONS



BLOCK DIAGRAM



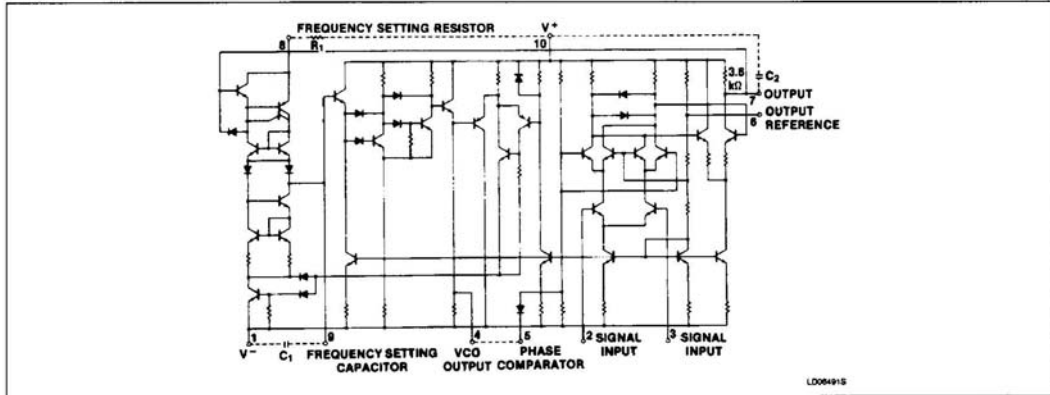
APPLICATIONS

- Frequency shift keying
- Modems
- Telemetry receivers
- Tone decoders
- SCA receivers
- Wide-band FM discriminators
- Data synchronizers
- Tracking filters
- Signal restoration
- Frequency multiplication & division

Phase-Locked Loop

NE/SE565

EQUIVALENT SCHEMATIC



ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
14-Pin Plastic SO	0 to +70°C	NE565D
14-Pin Cerdip	0 to +70°C	NE565F
14-Pin Plastic DIP	0 to +70°C	NE565N
14-Pin Cerdip	-55°C to +125°C	SE565F
14-Pin Plastic DIP	-55°C to +125°C	SE565N

ABSOLUTE MAXIMUM RATINGS $T_A = 25^\circ\text{C}$, unless otherwise specified.

SYMBOL	PARAMETER	RATING	UNIT
V_+	Maximum operating voltage	26	V
V_{IN}	Input voltage	3	$V_{p,p}$
T_{STG}	Storage temperature range	-65 to +150	°C
T_A	Operating ambient temperature range	0 to +70	°C
		-55 to +125	°C
P_D	Power dissipation	300	mW

www.DataSheet.in

Phase-Locked Loop

NE/SE565

DC AND AC ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$, $V_{CC} = \pm 6\text{V}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SE565			NE565			UNIT
			Min	Typ	Max	Min	Typ	Max	
Supply requirements									
V_{CC}	Supply voltage		± 6		± 12	± 6		± 12	V
I_{CC}	Supply current			8	12.5		8	12.5	mA
Input characteristics									
	Input impedance ¹		7	10		5	10		$k\Omega$
	Input level required for tracking	$f_O = 50\text{kHz}$, $\pm 10\%$ frequency deviation	10			10			mV _{RMS}
VCO characteristics									
f_C	Center frequency Maximum value distribution ²	Distribution taken about $f_O = 50\text{kHz}$, $R_1 = 5.0k\Omega$, $C_1 = 1200\text{pF}$	300	500			500		kHz
			-10	0	+10	-30	0	+30	%
	Drift with temperature Drift with supply voltage	$f_O = 50\text{kHz}$ $f_O = 50\text{kHz}$, $V_{CC} = \pm 6$ to $\pm 7\text{V}$		500 0.1	1.0		600 0.2	1.5	ppm/ $^\circ\text{C}$ %/V
	Triangle wave output voltage level linearity		1.9	2.4 0.2	3	1.9	2.4 0.5	3	$V_{P,P}$ %
	Square wave logical "1" output voltage logical "0" output voltage	$f_O = 50\text{kHz}$ $f_O = 50\text{kHz}$	+4.9	+5.2 -0.2	+0.2	+4.9	+5.2 -0.2	+0.2	V V
	Duty cycle	$f_O = 50\text{kHz}$	45	50	55	40	50	60	%
t_R	Rise time			20	100		20		ns
t_F	Fall time			50	200		50		ns
I_{SINK}	Output current (sink)		0.6	1		0.6	1		mA
I_{SOURCE}	Output current (source)		5	10		5	10		mA
Demodulated output characteristics									
V_{OUT}	Output voltage level	Measured at Pin 7	4.25	4.5	4.75	4.0	4.5	5.0	V
	Maximum voltage swing ³			2			2		$V_{P,P}$
	Output voltage swing	$\pm 10\%$ frequency deviation	250	300		200	300		mV _{P,P}
THD	Total harmonic distortion			0.2	0.75		0.4	1.5	%
	Output impedance ⁴			3.6			3.6		$k\Omega$
V_{OS}	Offset voltage (V6-V7)			30	100		50	200	mV
	Offset voltage vs temperature (drift)			50			100		$\mu\text{V}/^\circ\text{C}$
	AM rejection		30	40			40		dB

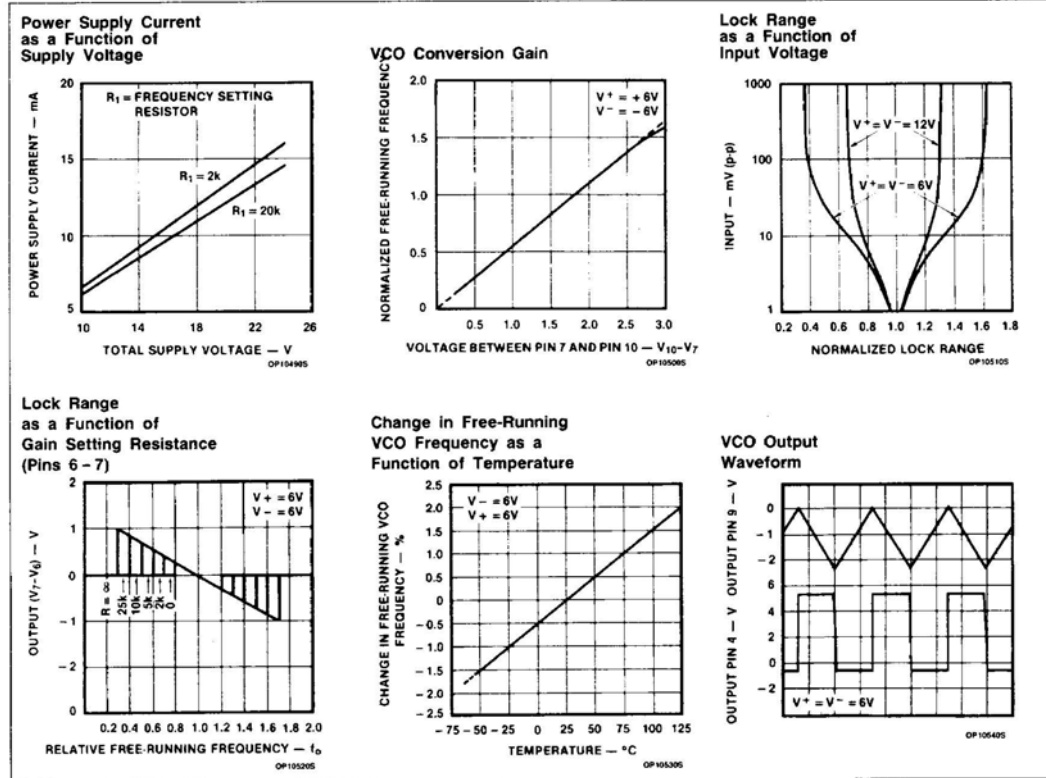
NOTES:

- Both input terminals (Pins 2 and 3) must receive identical DC bias. This bias may range from 0V to -4V.
- The external resistance for frequency adjustment (R_1) must have a value between $2k\Omega$ and $20k\Omega$.
- Output voltage swings negative as input frequency increases.
- Output not buffered.

Phase-Locked Loop

NE/SE565

TYPICAL PERFORMANCE CHARACTERISTICS



DESIGN FORMULAS

(See Figure 1)

Free-running frequency of VCO:

$$f_0 \approx \frac{1.2}{4R_1C_1} \text{ in Hz}$$

Lock range: $f_L = \pm \frac{8f_0}{V_{CC}}$ in Hz

Capture range: $f_C \approx \pm \frac{1}{2\pi} \sqrt{\frac{2\pi f_L}{\tau}}$

where $\tau = (3.6 \times 10^3) \times C_2$

TYPICAL APPLICATIONS

FM Demodulation

The 565 Phase-Locked Loop is a general purpose circuit designed for highly linear FM demodulation. During lock, the average DC level of the phase comparator output signal is directly proportional to the frequency of the input signal. As the input frequency shifts, it is this output signal which causes the VCO to

shift its frequency to match that of the input. Consequently, the linearity of the phase comparator output with frequency is determined by the voltage-to-frequency transfer function of the VCO.

Because of its unique and highly linear VCO, the 565 PLL can lock to and track an input signal over a very wide bandwidth (typically $\pm 60\%$) with very high linearity (typically, within 0.5%).

A typical connection diagram is shown in Figure 1. The VCO free-running frequency is given approximately by

$$f_0 \approx \frac{1.2}{4R_1C_1}$$

and should be adjusted to be at the center of the input signal frequency range. C_1 can be any value, but R_1 should be within the range of 2000 to 20,000 Ω with an optimum value on the order of 4000 Ω . The source can be direct coupled if the DC resistances seen from Pins 2 and 3 are equal and there is no DC voltage difference between the pins. A short between

Pins 4 and 5 connects the VCO to the phase comparator. Pin 6 provides a DC reference voltage that is close to the DC potential of the demodulated output (Pin 7). Thus, if a resistance is connected between Pins 6 and 7, the gain of the output stage can be reduced with little change in the DC voltage level at the output. This allows the lock range to be decreased with little change in the free-running frequency. In this manner the lock range can be decreased from $\pm 60\%$ of f_0 to approximately $\pm 20\%$ of f_0 (at $\pm 6V$).

A small capacitor (typically 0.001 μF) should be connected between Pins 7 and 8 to eliminate possible oscillation in the control current source.

A single-pole loop filter is formed by the capacitor C_2 , connected between Pin 7 and the positive supply, and an internal resistance of approximately 3600 Ω .

July 8, 1988

Phase-Locked Loop

NE/SE565

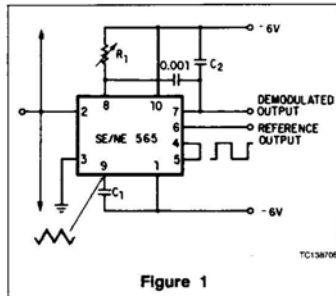


Figure 1

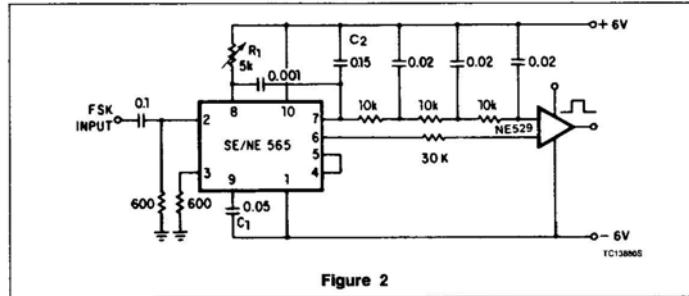


Figure 2

Frequency Shift Keying (FSK)

FSK refers to data transmission by means of a carrier which is shifted between two preset frequencies. This frequency shift is usually accomplished by driving a VCO with the binary data signal so that the two resulting frequencies correspond to the "0" to "1" states (commonly called space and mark) of the binary data signal.

A simple scheme using the 565 to receive FSK signals of 1070Hz and 1270Hz is shown in Figure 2. As the signal appears at the input, the loop locks to the input frequency and tracks it between the two frequencies with a corresponding DC shift at the output.

The loop filter capacitor C_2 is chosen smaller than usual to eliminate overshoot on the output pulse, and a three-stage RC ladder filter is used to remove the carrier component from the output. The band edge of the ladder filter is chosen to be approximately half way between the maximum keying rate (in this case 300 baud or 150Hz) and twice the input frequency (approximately 2200Hz). The output signal can now be made logic compatible by connecting a voltage comparator between the output and Pin 6 of the loop. The free-running frequency is adjusted with R_1 so as to result in a slightly-positive voltage at the output with $f_{IN} = 1070\text{Hz}$.

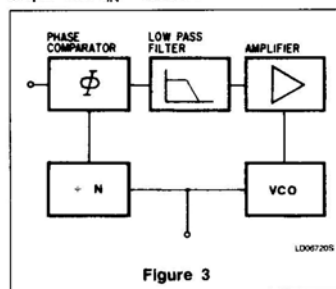


Figure 3

The input connection is typical for cases where a DC voltage is present at the source and therefore a direct connection is not desirable. Both input terminals are returned to ground with identical resistors (in this case, the values are chosen to effect a 600Ω input impedance).

Frequency Multiplication

There are two methods by which frequency multiplication can be achieved using the 565:

1. Locking to a harmonic of the input signal.
2. Inclusion of a digital frequency divider or counter in the loop between the VCO and phase comparator.

The first method is the simplest, and can be achieved by setting the free-running frequency of the VCO to a multiple of the input frequency. A limitation of this scheme is that the lock range decreases as successively higher and weaker harmonics are used for locking. If the input frequency is to be constant with little tracking required, the loop can generally be locked to any one of the first 5 harmonics. For higher orders of multiplication, or for cases where a large lock range is desired, the second scheme is more desirable. An example of this might be a case where the input signal varies over a wide frequency range and a large multiple of the input frequency is required.

A block diagram of the second scheme is shown in Figure 3. Here the loop is broken between the VCO and the phase comparator, and a frequency divider is inserted. The

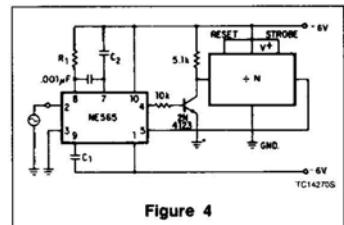


Figure 4

fundamental of the divided VCO frequency is locked to the input frequency in this case, so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the frequency divider. A typical connection scheme is shown in Figure 4. To set up the circuit, the frequency limits of the input signal must be determined. The free-running frequency of the VCO is then adjusted by means of R_1 and C_1 (as discussed under FM demodulation) so that the output frequency of the divider is midway between the input frequency limits. The filter capacitor, C_2 , should be large enough to eliminate variations in the demodulated output voltage (at Pin 7), in order to stabilize the VCO frequency. The output can now be taken as the VCO squarewave output, and its fundamental will be the desired multiple of the input frequency (f_{IN}) as long as the loop is in lock.

SCA (Background Music) Decoder

Some FM stations are authorized by the FCC to broadcast uninterrupted background music for commercial use. To do this, a frequency modulated subcarrier of 67kHz is used. The frequency is chosen so as not to interfere with the normal stereo or monaural program; in addition, the level of the subcarrier is only 10% of the amplitude of the combined signal.

The SCA signal can be filtered out and demodulated with the NE565 Phase-Locked Loop without the use of any resonant circuits. A connection diagram is shown in Figure 5. This circuit also serves as an example of operation from a single power supply.

A resistive voltage divider is used to establish a bias voltage for the input (Pins 2 and 3). The demodulated (multiplex) FM signal is fed to the input through a two-stage high-pass filter, both to effect capacitive coupling and to attenuate the strong signal of the regular channel. A total signal amplitude, between 80mV and 300mV, is required at the input. Its source should have an impedance of less than $10,000\Omega$.

Phase-Locked Loop

NE/SE565

The Phase-Locked Loop is tuned to 67kHz with a 5000Ω potentiometer; only approximate tuning is required, since the loop will seek the signal.

The demodulated output (Pin 7) passes through a three-stage low pass filter to provide de-emphasis and attenuate the high-frequency noise which often accompanies SCA transmission. Note that no capacitor is provided directly at Pin 7; thus, the circuit is operating as a first-order loop. The demodulated output signal is in the order of 50mV and the frequency response extends to 7kHz.

