

UiO • **Institutt for informatikk**

Det matematisk-naturvitenskapelige fakultet

IN1020

Sekvensiell Logikk



Hovedpunkter

- Definisjoner
- Portforsinkelse
- Praktiske Eksempler
- Latch
 - SR
 - D
- Flip-Flop
 - D
 - JK
 - T
- Tilstandsmaskiner
- Tilstandsdiagrammer og tilstandstabeller

Definisjoner

- Kombinatorisk logikk

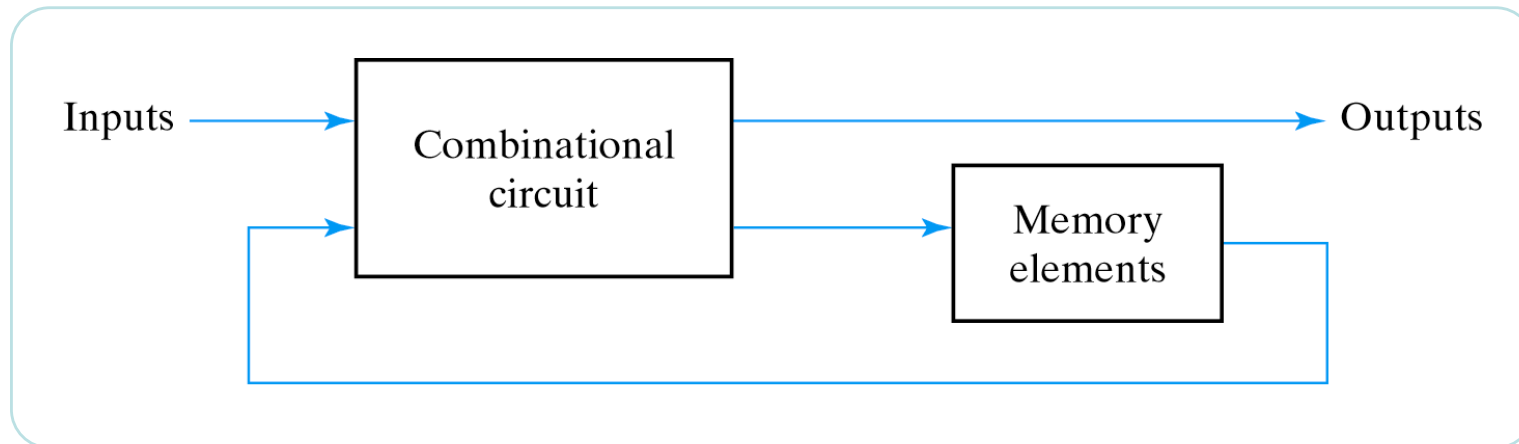
Utgangsverdiene er entydig gitt av nåværende kombinasjon av inngangsverdier.

- Sekvensiell logikk

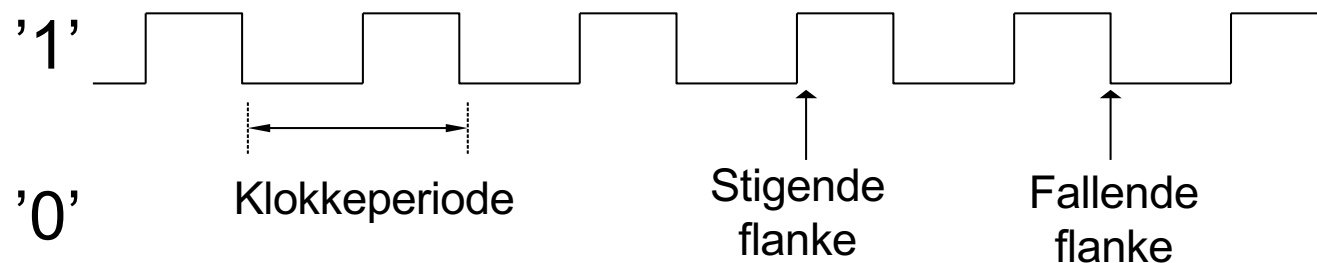
Inneholder hukommelse (låsekretser).

Utgangsverdiene er gitt av nåværende kombinasjon av inngangsverdier, samt sekvensen (tidligere inngangs-/utgangsverdier)

Sekvensiell Logikk

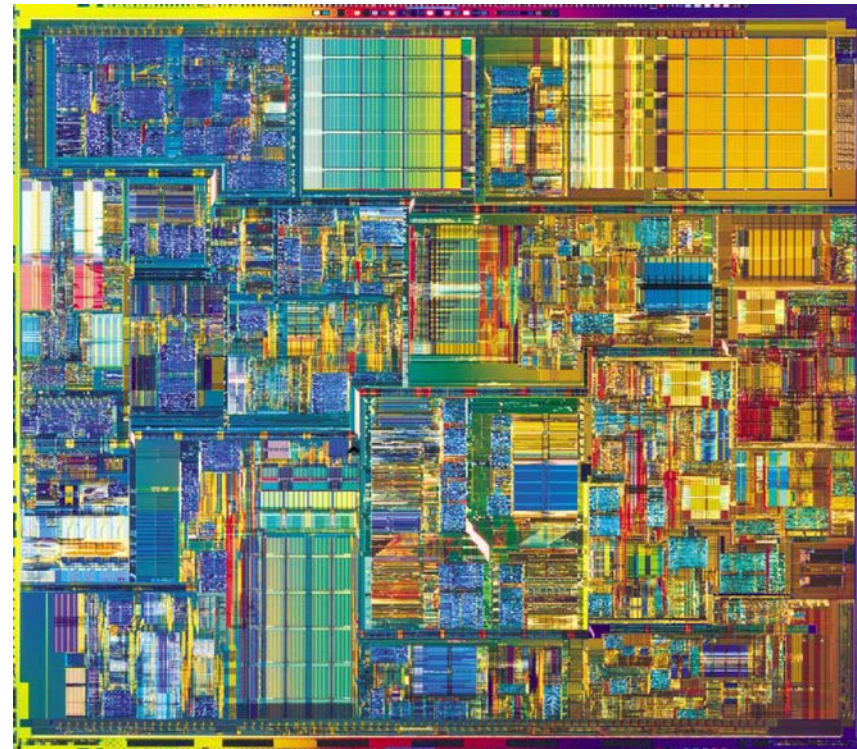


- I **synkrone** sekvensielle kretser skjer endringen(e) i output **samtidig** med endringen i et **klokkesignal**.
- I **asynkrone** sekvensielle kretser skjer endringen(e) i output **uten** noe **klokkesignal**.
- Nesten alle kretser er synkrone.
- Et klokkesignal er et digitalt signal som veksler mellom '0' og '1' med fast takt.



Synkron logikk

- I større digitale system har man behov for å synkronisere dataflyten. Til dette bruker vi et globalt klokkesignal
- Uten global synkronisering ville det vært total kaos

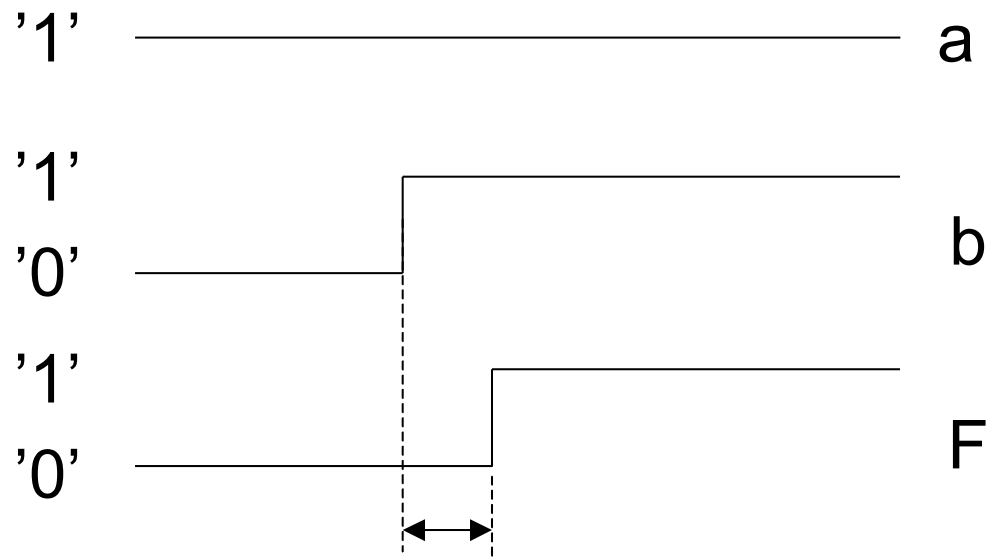
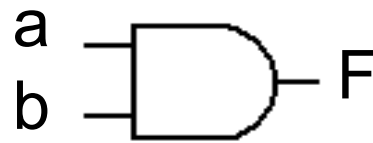


- Den omvendte av klokkeperioden kalles (klokke)frekvensen, altså

$$\textit{frekvens} = \frac{1}{\textit{klokkeperioden}}$$

- Ønsker så høy klokkefrekvens som mulig, fordi hver enkelt operasjon da bruker så kort tid som mulig.
- Maksimal klokkefrekvens bestemmes av flere faktorer, blant annet:
 - Lengde på signalveiene
 - Last
 - Forsinkelse gjennom porter (delay)
 - Teknologi.
- NB: Hastighet er ikke direkte proporsjonal med klokkefrekvens.

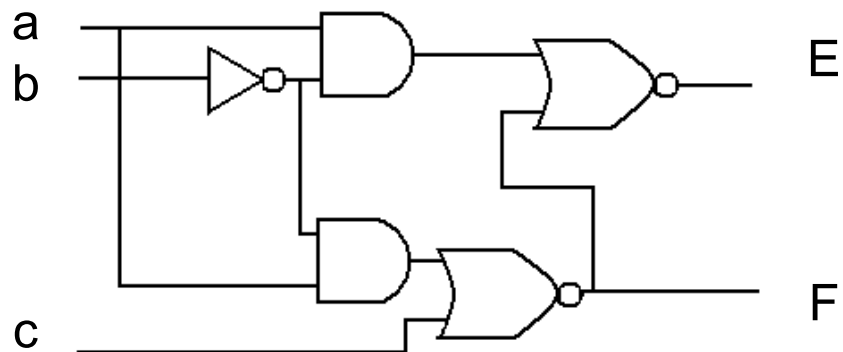
Portforsinkelse / tidsforsinkelse



Logisk dybde

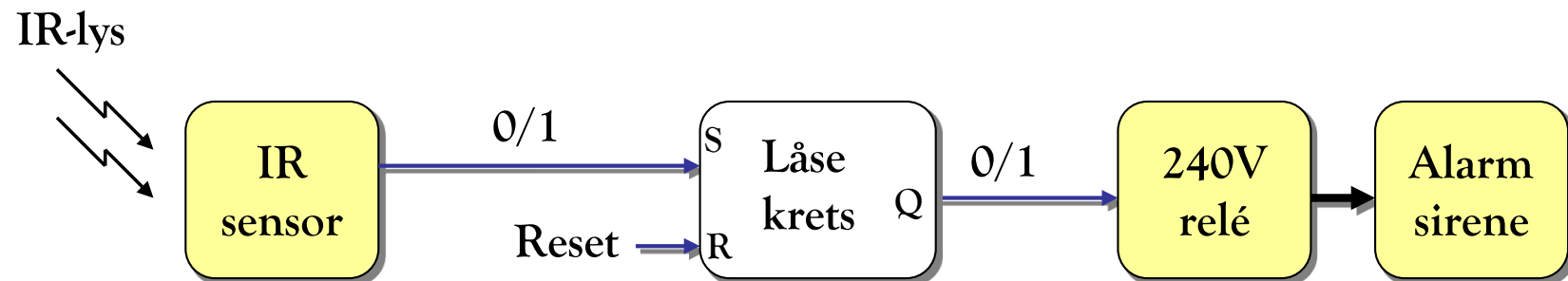
- Logisk dybde: Antall porter et signal passerer fra inngang til utgang.
- Ved å redusere logisk dybde reduseres forsinkelsen gjennom kretsen.

Eksempel:



Praktiske eksempler

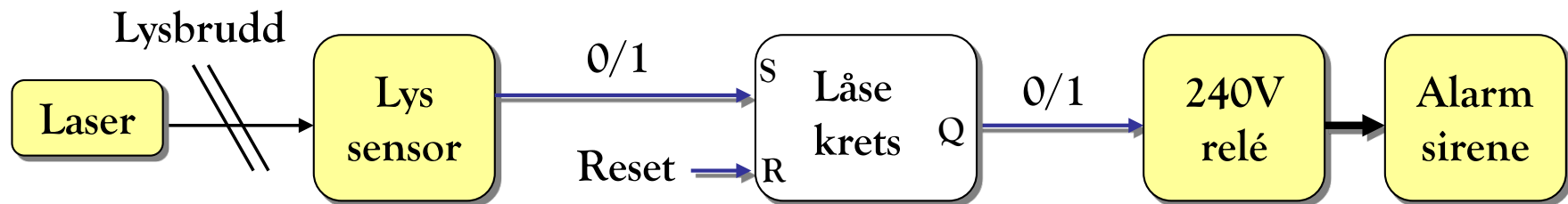
- Logikk som behandler signaler fra fysiske sensorer:
 - Varmefølende persondetektor



Når IR-lyset varierer mottat logikken et “ras” av kortvarige ‘1’er pulser (msek). Logikken skal sette sirenen permanent på første mottatte puls.

Praktiske eksempler

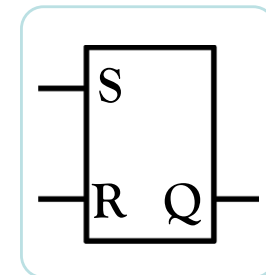
- Logikk som behandler signaler fra fysiske sensorer:
 - Laserbasert tyveridetektor



Når laserlyset blir brutt mottar logikken en eller flere '1' er pulser. Logikken skal sette sirenen permanent på første mottatte puls.

SR-latch – funksjonell beskrivelse

1) Kretsen skal sette Q til "1" hvis den får "1" på inngang S. Når inngang S går tilbake til "0" skal Q forbli på "1"

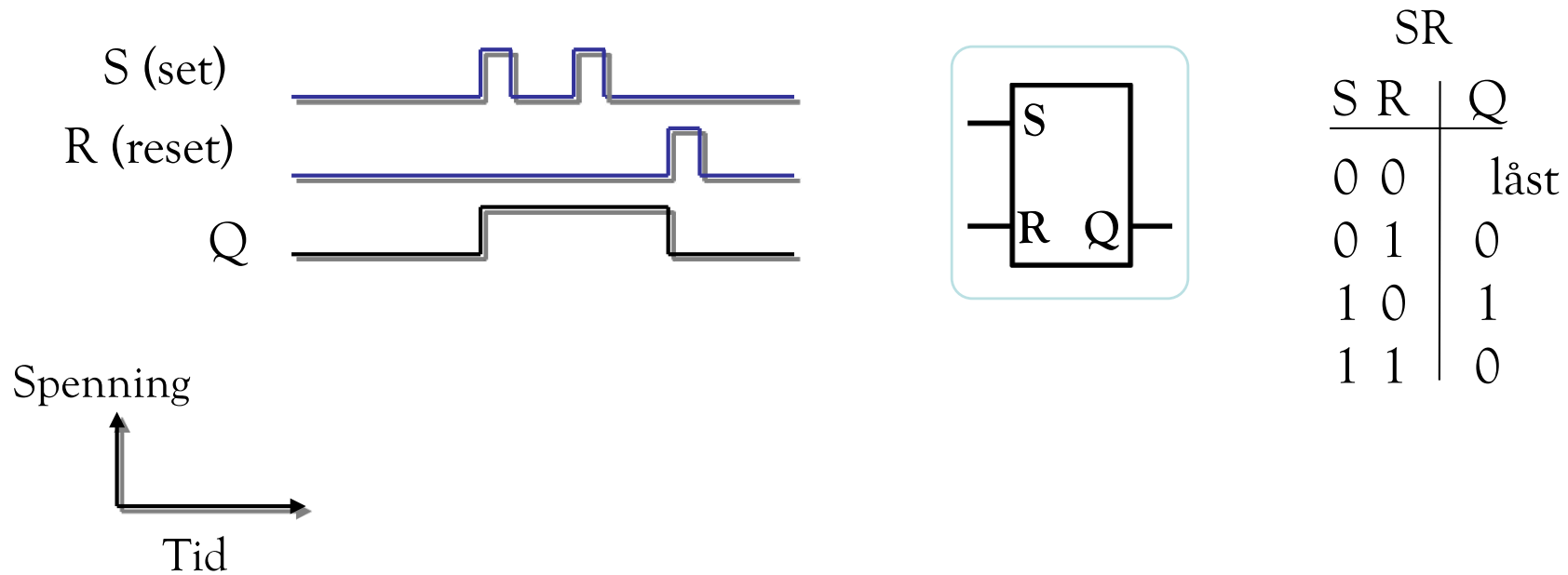


2) Kretsen skal resette Q til "0" når den får "1" på inngang R. Når inngang R går tilbake til "0" skal Q forbli på "0"

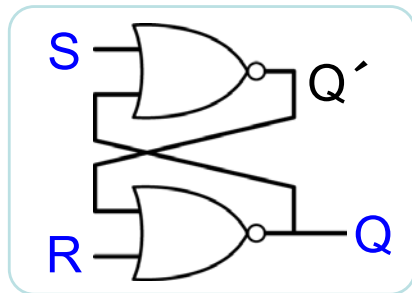
1) Tilstanden "1" på både S og R brukes normalt ikke

SR		Q
S	R	Q
0	0	låst
0	1	0
1	0	1
1	1	0

SR-latch – funksjonell beskrivelse



SR-latch – Portimplementasjon NOR



Øvre NOR

S	Q	Q'
0	0	1
0	1	0
1	0	0
1	1	0

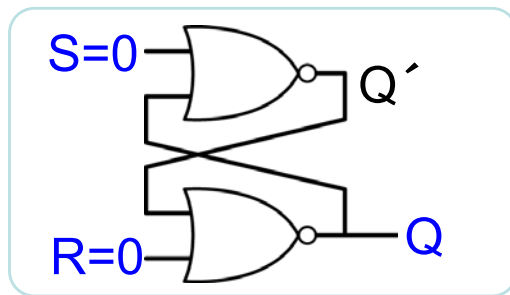
Nedre NOR

Q'	R	Q
0	0	1
0	1	0
1	0	0
1	1	0

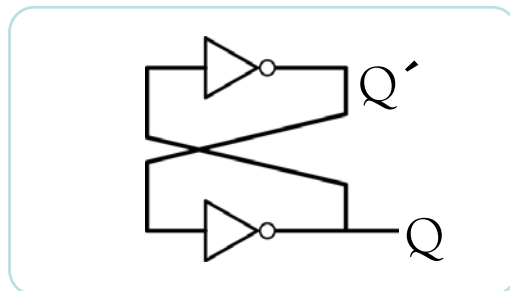
*Signalet Q' er ikke invertert av Q for tilstand $S=1, R=1$

SR-latch – Analyse

- Tilstand $S=0, R=0$: En NOR port med fast "0" inn på en av inngangene er ekvivalent med NOT



≡



SR		Q
0	0	
0	1	
1	0	
1	1	

Øvre NOR

S	Q	Q'
0	0	1
0	1	0
1	0	0
1	1	0

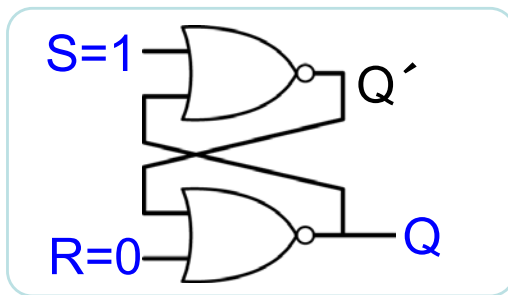
Nedre NOR

Q'	R	Q
0	0	1
0	1	0
1	0	0
1	1	0

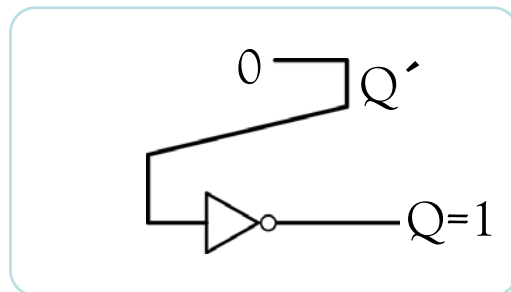
Ser bort i fra tilstand $S=1$ og $R=1$

SR-latch – Analyse

- Tilstand $S=1, R=0$: En NOR port med fast "1" inn på en av inngangene gir alltid ut "0"



≡



SR		Q
S	R	Q
0	0	
0	1	
1	0	
1	1	

Øvre NOR

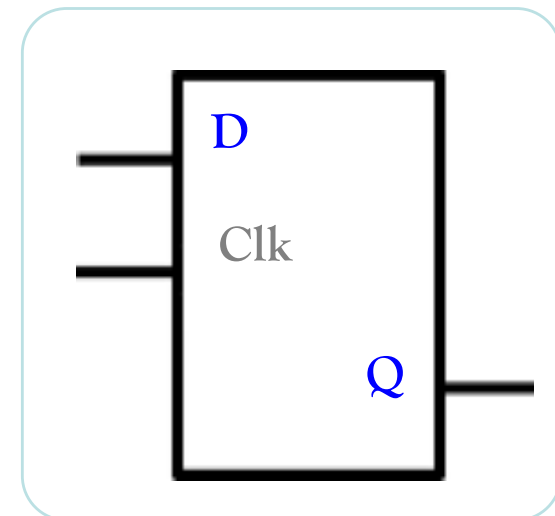
S	Q	Q'
0	0	1
0	1	0
1	0	0
1	1	0

Nedre NOR

Q'	R	Q
0	0	1
0	1	0
1	0	0
1	1	0

D-Latch

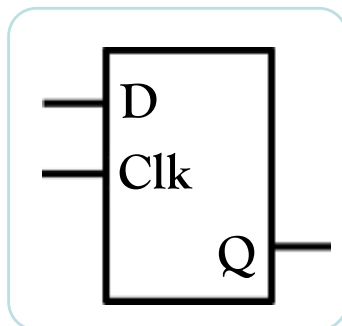
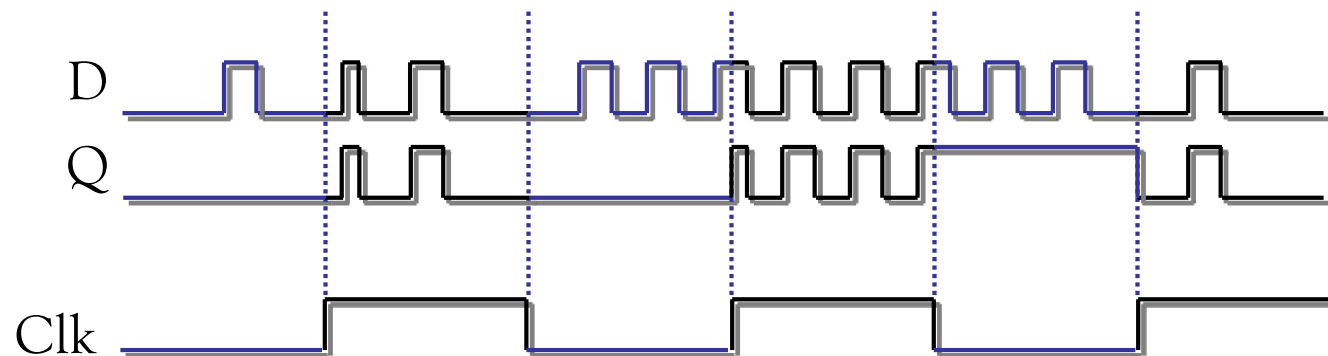
- Dataflyten gjennom en D-latch kontrolleres av et klokkesignal
 - 1) Slipper gjennom et digital signal så lenge klokkeinngangen er “1” (transparent)
 - 2) I det øyeblikket klokkeinngangen går fra “1” til “0” låser utgangen seg på sin nåværende verdi. Forandringer på inngangen vil ikke påvirke utgangsverdien så lenge klokkesignalet er “0”



D-Latch

Clk = 1 : kretsen slipper gjennom signalet

Clk = 0 : kretsen holder (låser) utgangssignalet



Logisk verdi på D i det øyeblikk Clk går i fra "1" til "0" bestemmer verdien som holdes på Q

Flip-flop

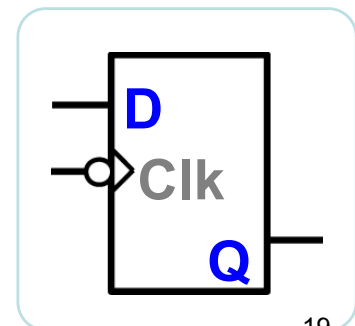
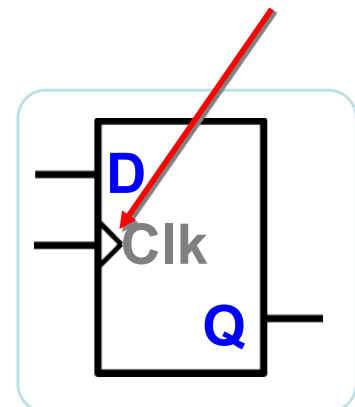
Flip-Flop'er kommer i to varianter:

- Positiv flanketrigget
- Negativ flanketrigget

På en **positiv flanketrigget Flip-Flop** kan utgangen kun skifte verdi i det øyeblikk klokkesignalet går fra "0" til "1".

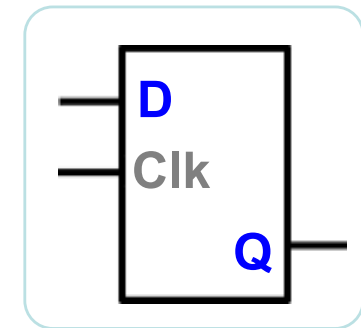
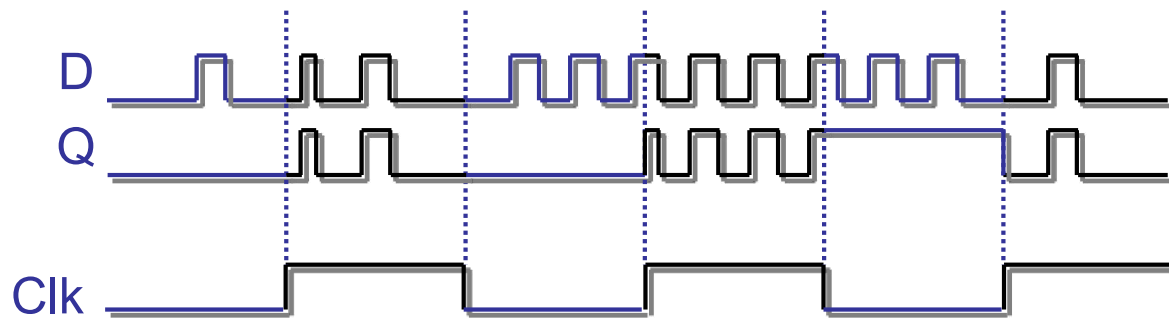
På en **negativ flanketrigget Flip-Flop** kan utgangen kun skifte verdi i det øyeblikk klokkesignalet går fra "1" til "0".

Hakk, indikerer
flanketrigget

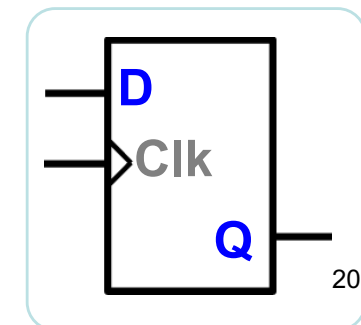
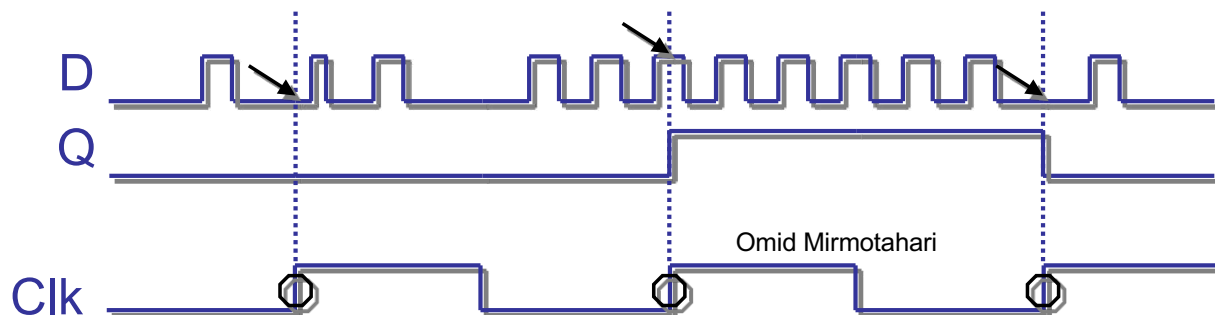


D-Flip-Flop

En D latch er transparent for Clk=1

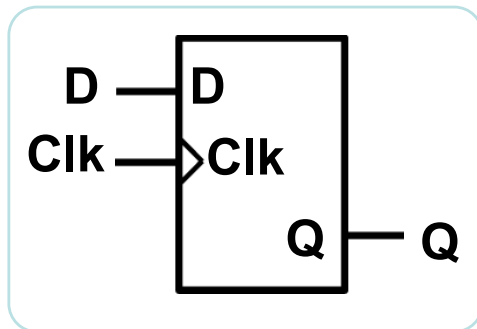


En positiv flanketrigget D flip-flop sampler verdien på D i det øyeblikk Clk går fra "0" til "1" (positiv flanke). Denne verdien holdes fast på utgangen helt til neste positive flanke



Karakteristisk tabell/ligning

For flip-flop'er kan man generelt beskrive neste utgangsverdi $Q(t+1)$ som funksjon av nåværende inngangsverdi(er), og nåværende utgangsverdi $Q(t)$



Karakteristisk tabell for D flip-flop

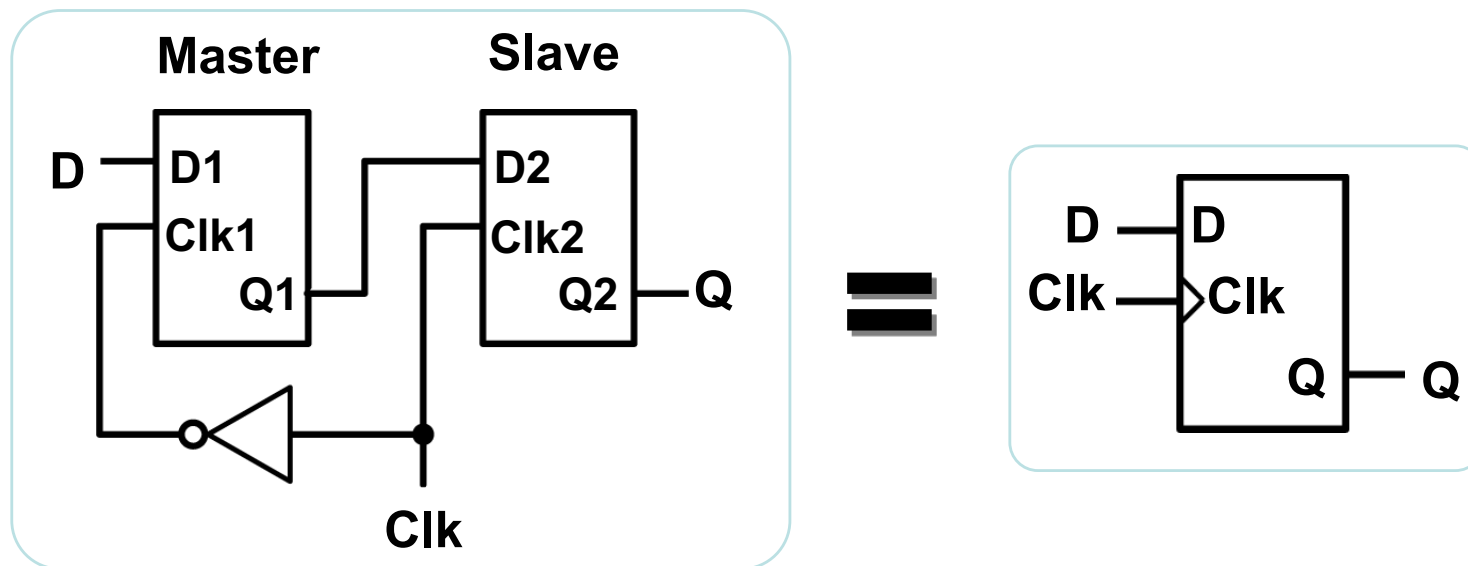
D	Q(t+1)
0	0
1	1

Karakteristisk ligning for D flip-flop

$$Q(t+1) = D$$

D-Flip-Flop

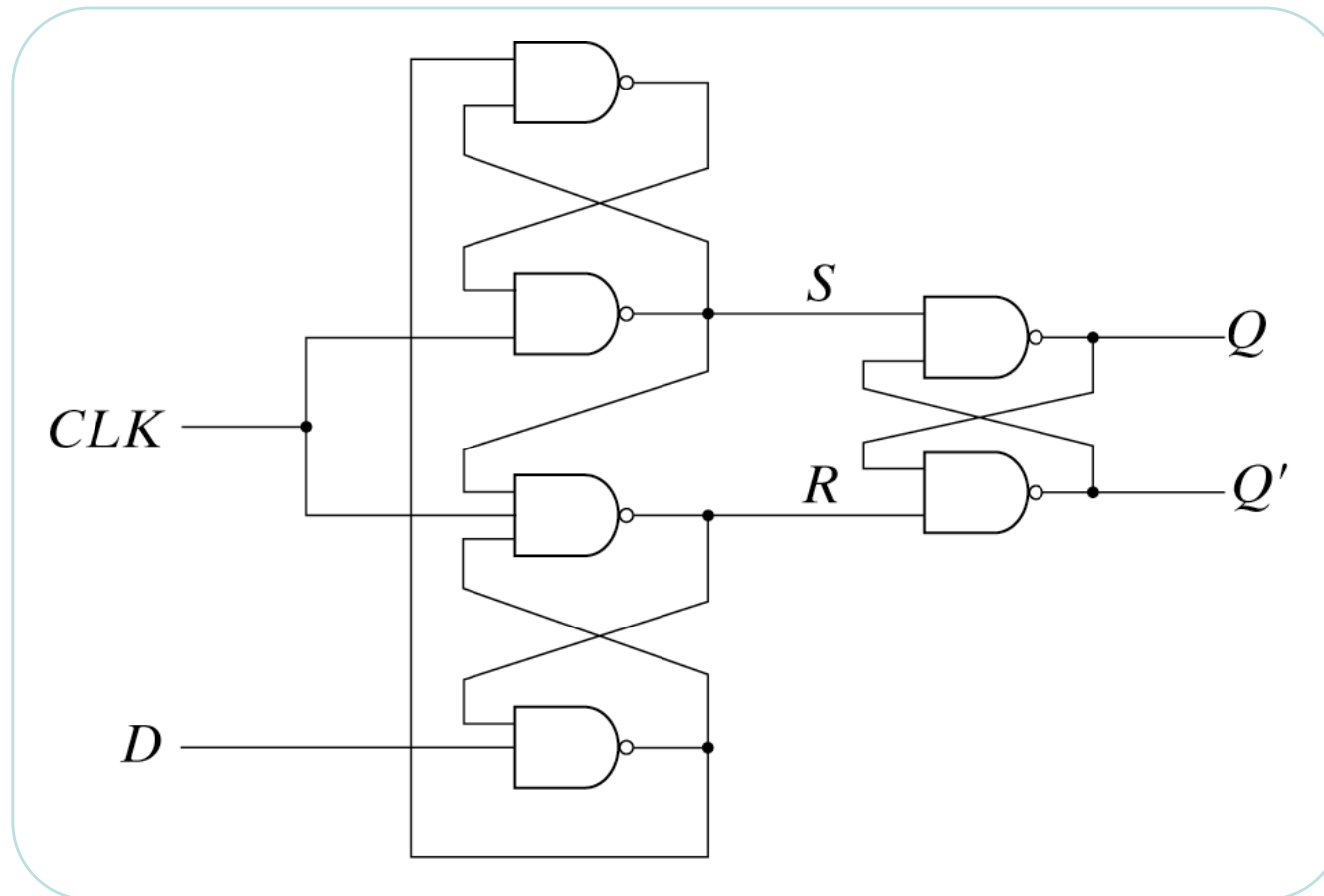
En positiv flanketrigget D flip-flop kan lages av to D-latcher (Master-Slave)



Under Clk=0 er første D latch (master) transparent

Under Clk=1 er siste D latch (slave) transparent

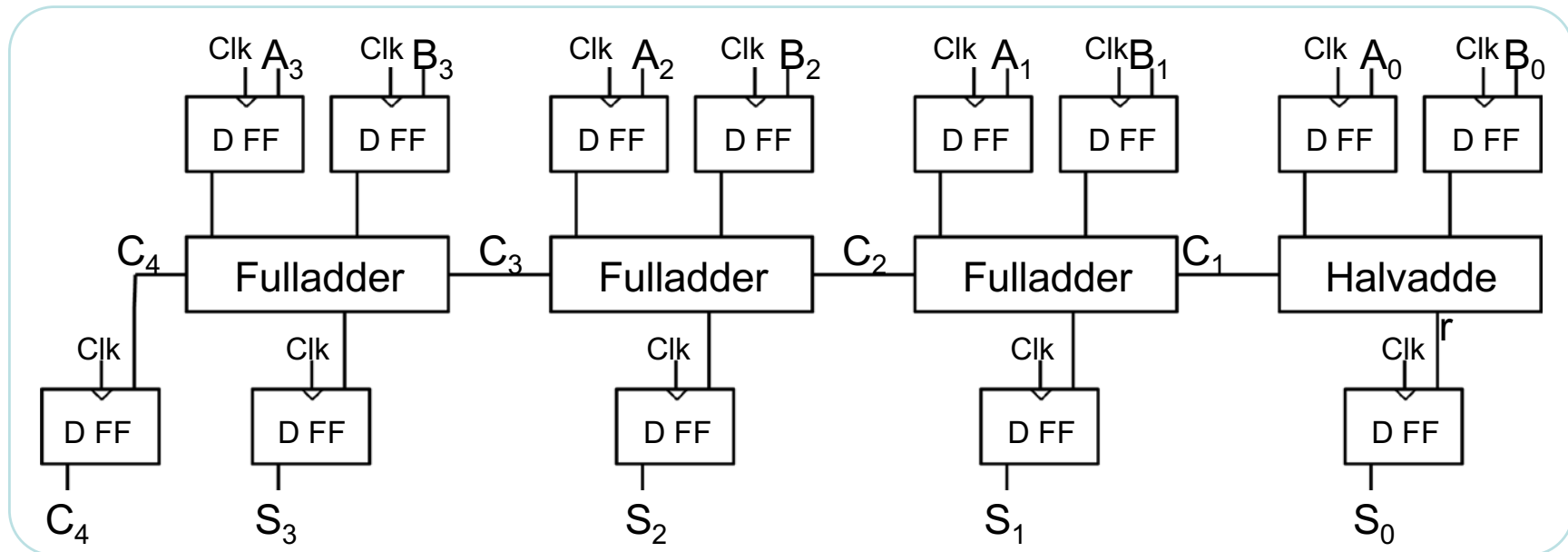
D-Flip-Flop – kompakt versjon



D-Flip-Flop, eksempel

En rippeladder vil i et kort tidsrom gi gal sum ut.

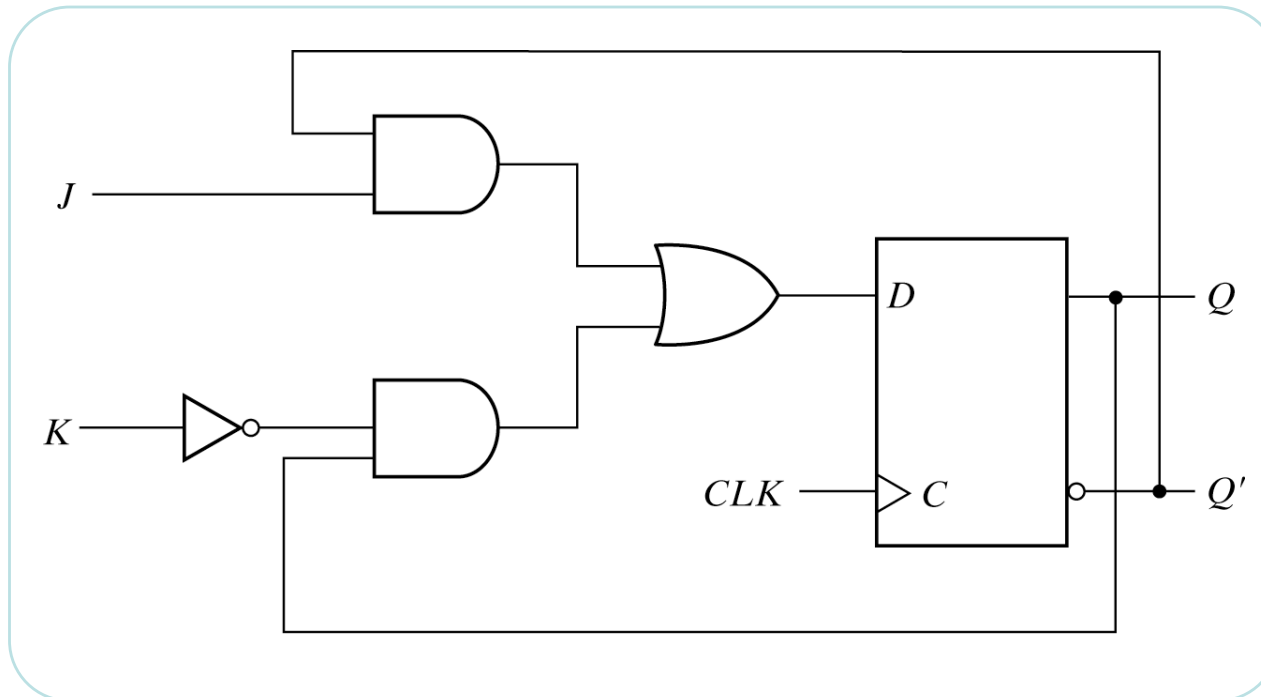
Styring av signalflyt med D flip-flops kamouflerer dette



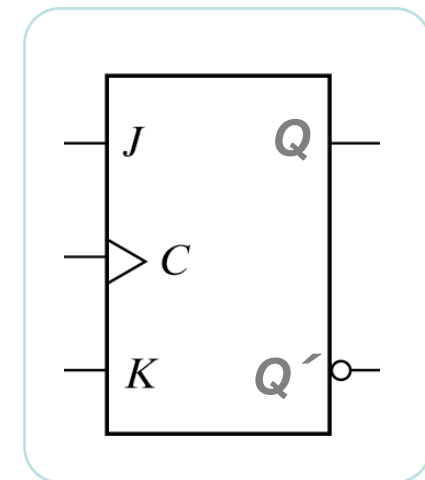
På positiv Clk flanke kommer nye data inn til adderen. I samme øyeblikk leses forrige (stabiliserte) sum ut.

JK Flip-Flop

Kretsoppbygging



Grafisk symbol



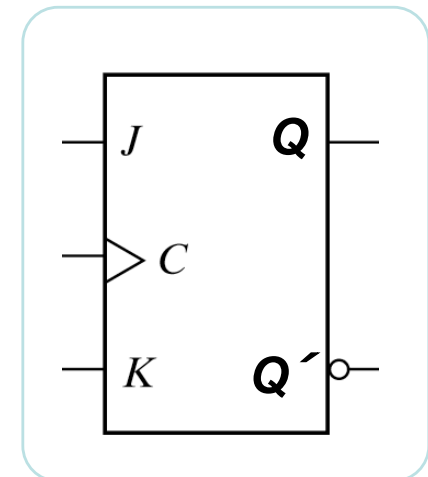
JK Flip-Flop

En JK flip-flop har følgende egenskaper

- J=0, K=0: Utgang låst
- J=0, K=1: Resetter utgang til "0"
- J=1, K=0: Setter utgang til "1"
- J=1, K=1: Inverterer utgang $Q \rightarrow Q'$

Utgangen kan kun forandre verdi på stigende klokkeflanke

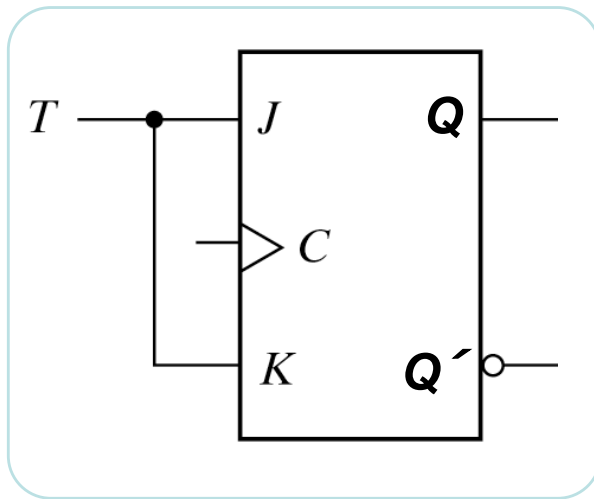
En JK flip-flop er den mest generelle flip-floppen vi har



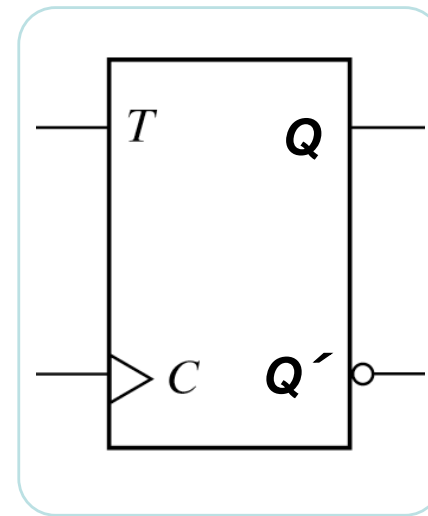
J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)

T Flip-Flop

Kretsoppbygging



Grafisk symbol



T Flip-Flop

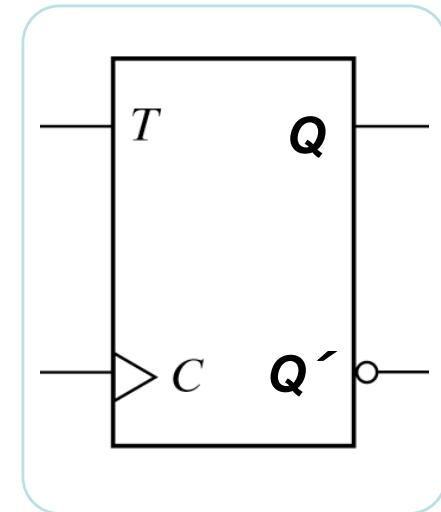
En T flip-flop har følgende egenskaper

$T=0$, Utgang låst

$T=1$, Inverterer utgang $Q \rightarrow Q'$

Utgangen kan kun forandre verdi på stigende klokkeflanke

Det er lett å lage tellere av T flip-flop'er



T	Q(t+1)
0	Q(t)
1	Q'(t)

$$Q(t+1) = T \oplus Q(t)$$

Tilstandsmaskin

En **tilstandsmaskin** er et **sekvensielt system** som gjennomløper et sett med **tilstander** styrt av verdiene på inngangssignalene

Tilstanden systemet befinner seg i, pluss evt. **inngangsverdier** bestemmer **utgangsverdier**

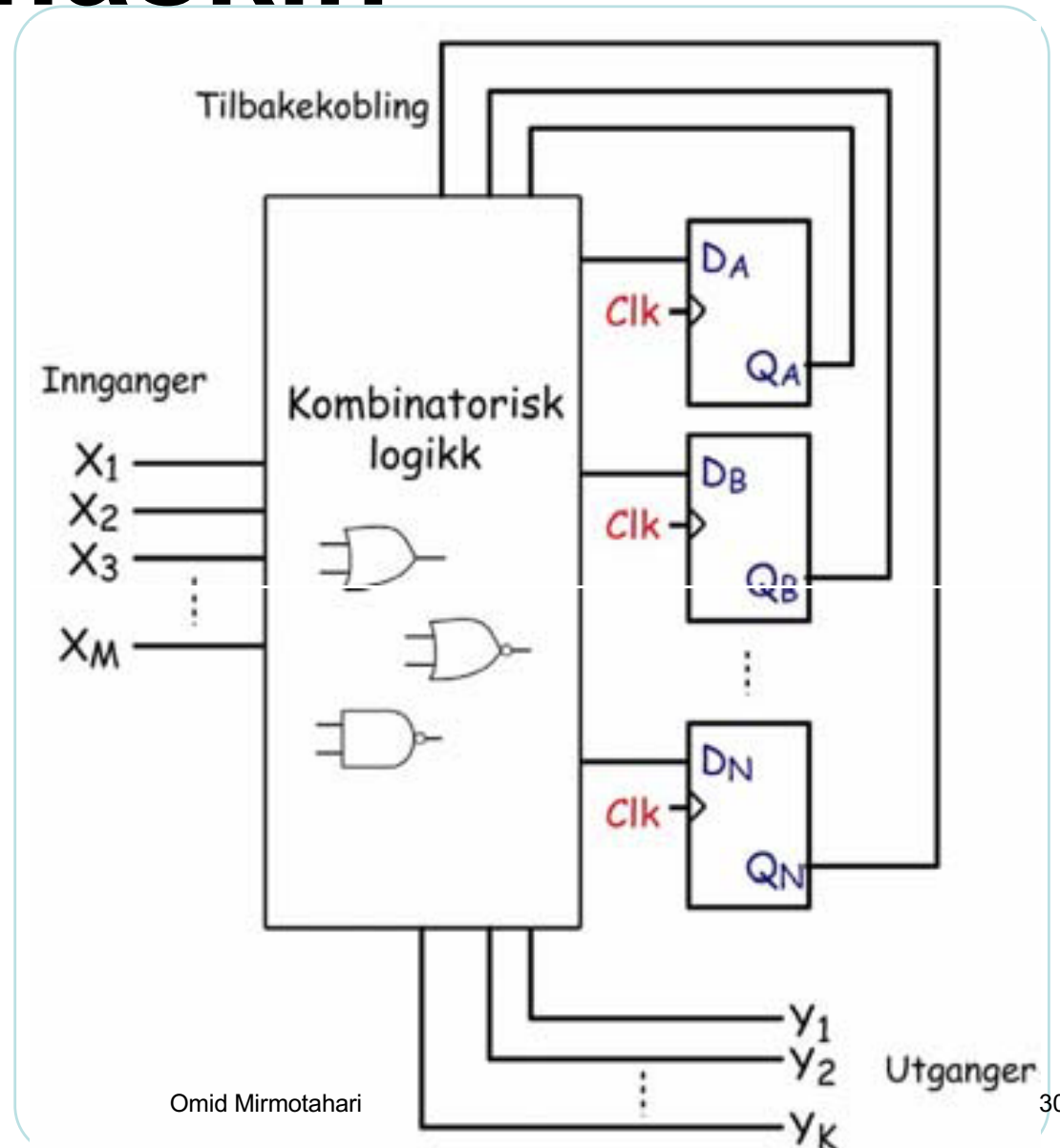
Tilstandsmaskins-konseptet gir en **enkel** og **oversiktlig** måte å designe **avanserte system** på

Tilstandsmaskin

Generell tilstands- maskin basert på D flip-flops

N-stk flip-flops gir 2^N
forskjellige tilstander

Utgangssignalene er en
funksjon av **nåværende
tilstand** pluss evt.
inngangsverdier

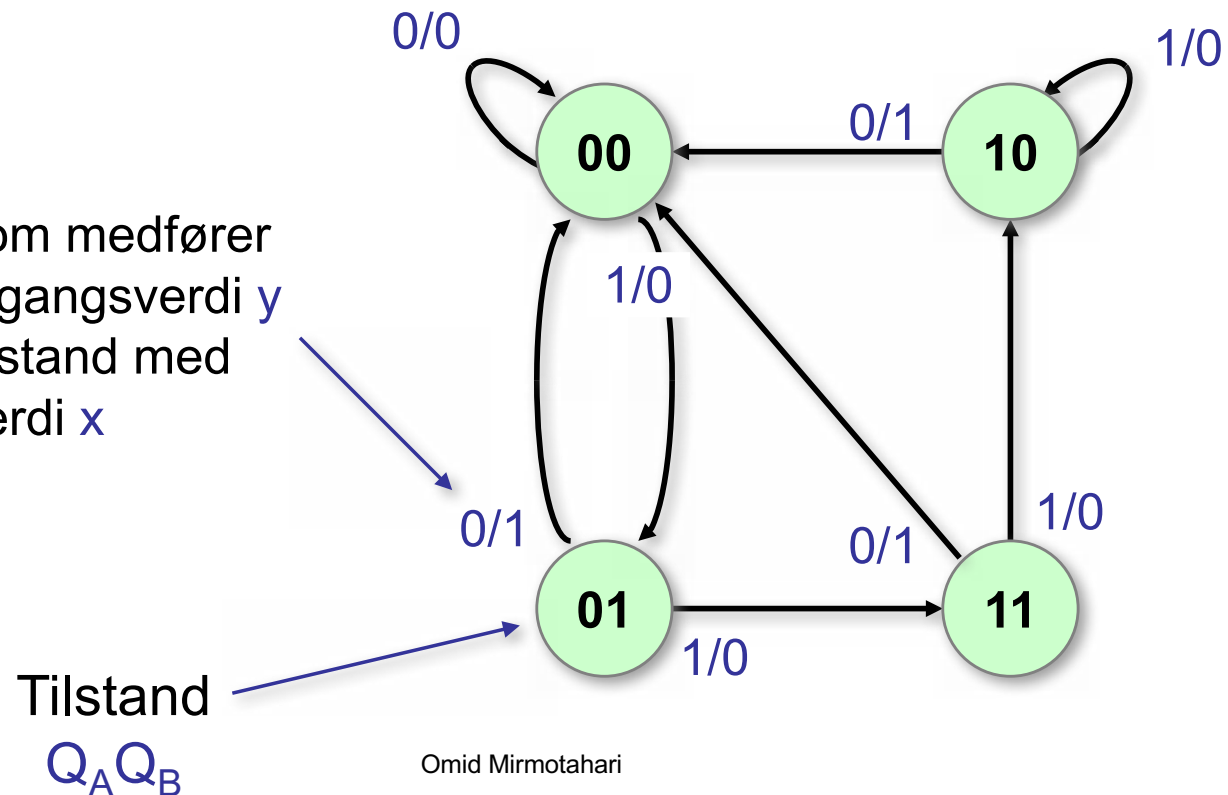


Tilstandsdiagram

Tilstandsdiagram = grafisk illustrasjon av egenskapene til en tilstandsmaskin

Eksempel:

Inngangsverdi x som medfører
ny tilstand, samt utgangsverdi y
for opprinnelig tilstand med
inngangsverdi x
 x / y



Tilstandstabell

Tilstandstabell = sannhetstabell for tilstandsmaskin

Eksempel: En inngang, en utgang og 2 stk. D flip-flops

Nåværende tilstand			Inngang	Neste tilstand		Utgang for nåværende tilstand
Q_A	Q_B	x		Q_A	Q_B	
0	0	0	0	0	0	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	1	1	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	1	1	0	0

Tilstandsmaskin der
utgang y er en
funksjon av
tilstanden gitt av
verdiene til Q_A og Q_B ,
samt inngangen x

