

# IN1020 uke 7

---

GRUPPE 6

# Plan for dagen

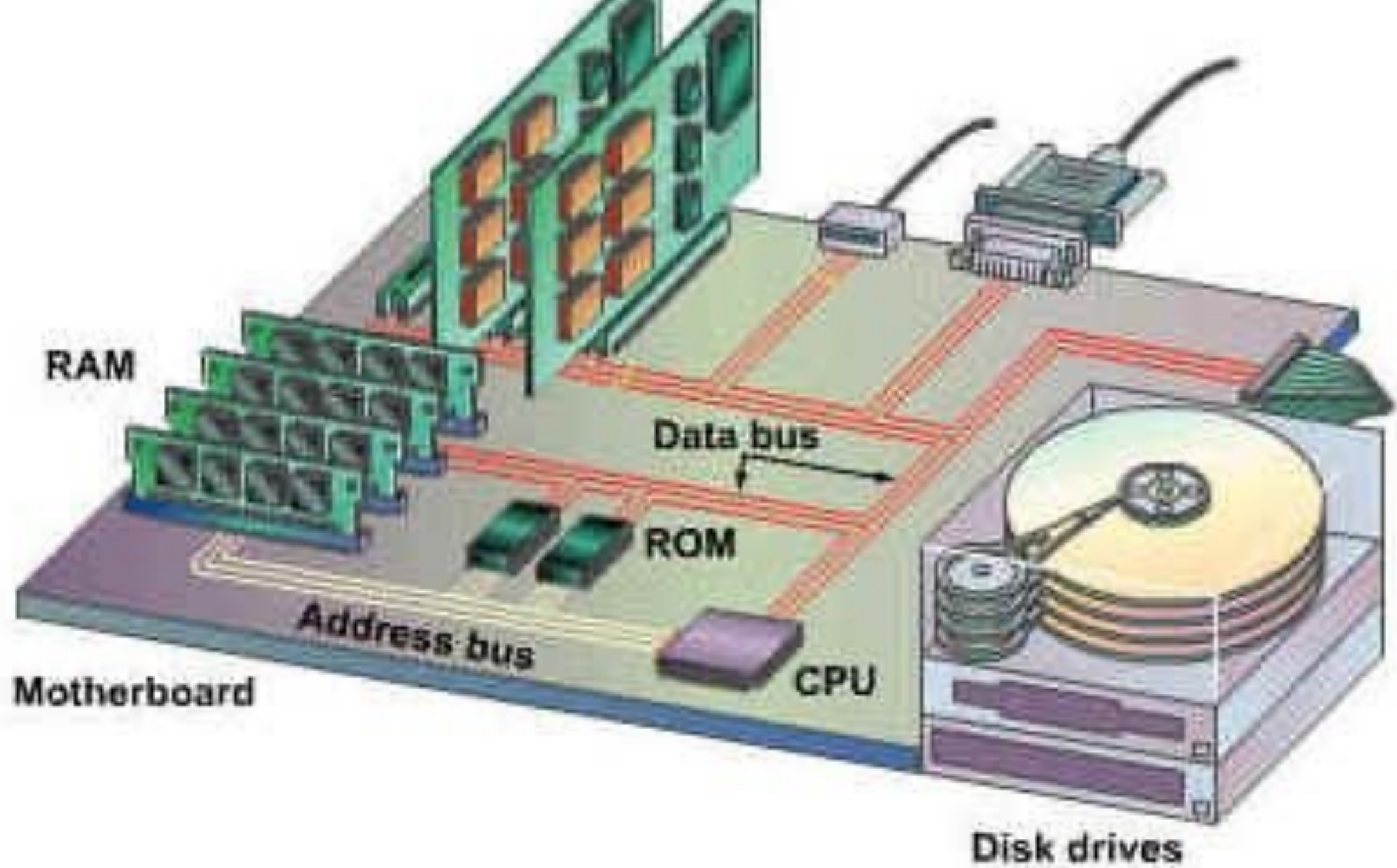
---

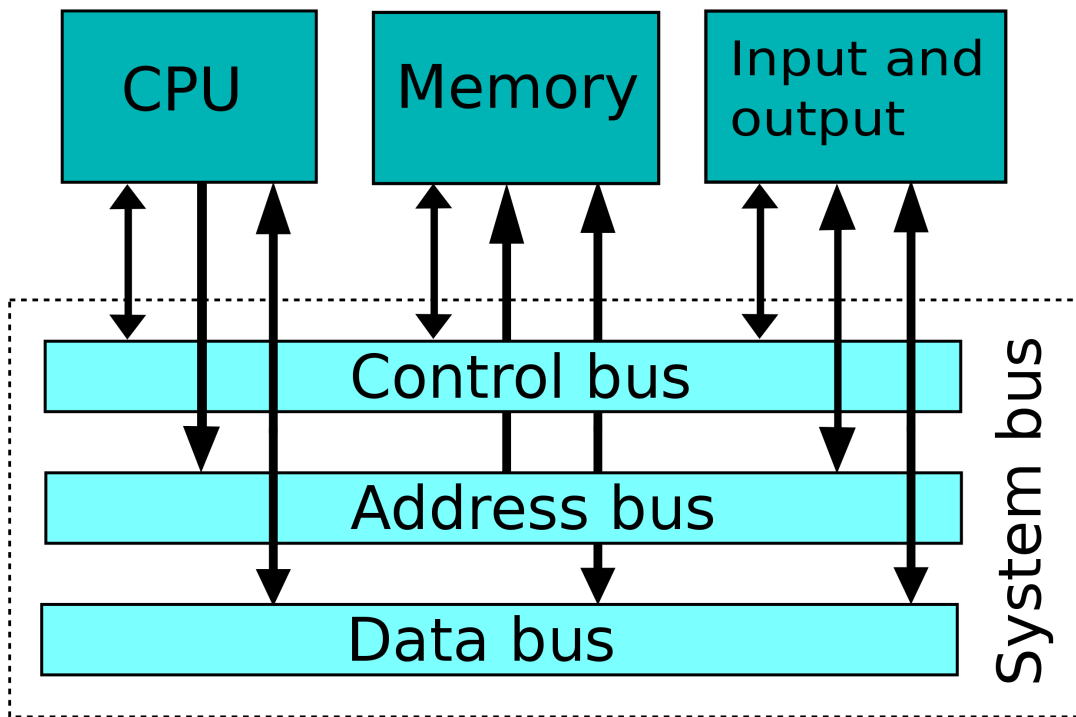
- Pipeline
- BUS
- Minnehierki
- Cache hit og Cache miss
- Ukesoppgaver eller oblig eller eksamensoppgaver

# BUS

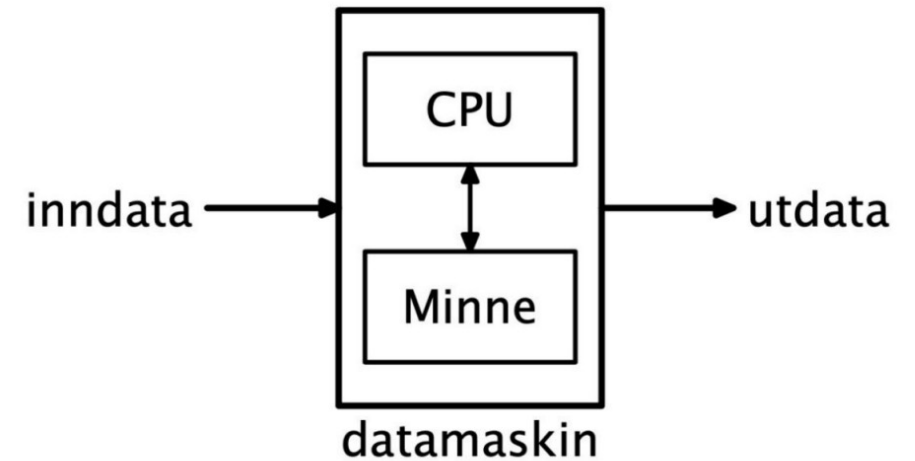
---

- Kommunikasjonskanal mellom registre, ALU, minne og I/O enheter
- Frakter data mellom komponenter eller i selve komponenten
  - Internt i en CPU er det en eller flere busser som overfører data mellom interne registre
- Bus kan deles mellom flere enheter, men kun en enhet kan sende om gangen
- Tenk på en vanlig buss (BUS), som frakter mennesker (data) til en holdeplass (komponent/register)





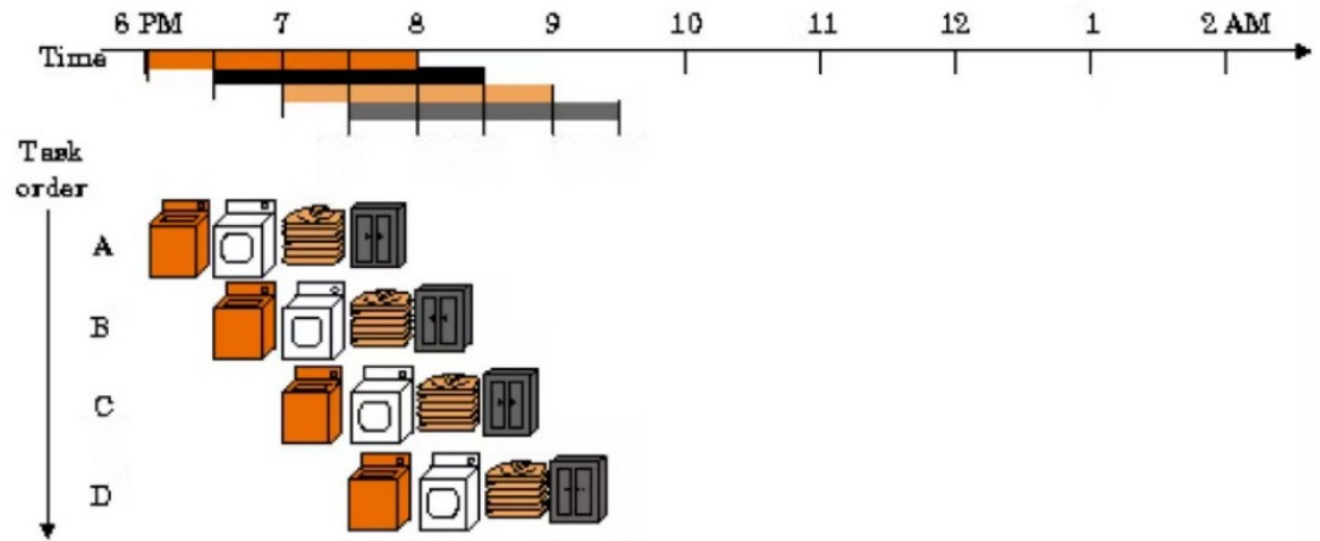
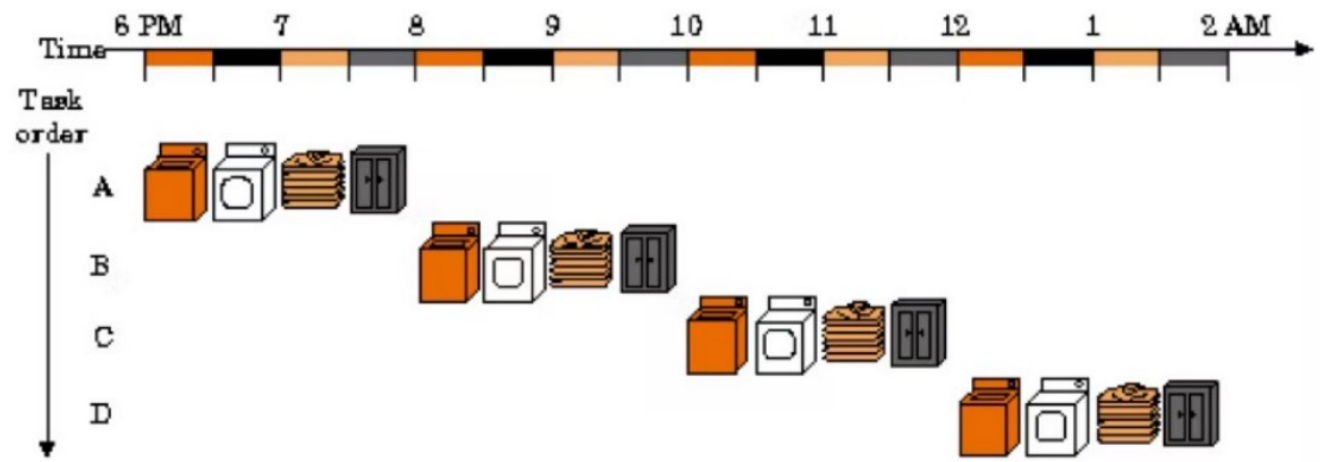
## Von Neumann-arkitekturen



# Pipeline

---

- Samlebåndsprinnett:
  - Deler opp instruksjonen til uavhengige deler
  - Neste instruksjon kan begynne før forrige er ferdig
  - Hver instruksjon tar like lang tid
- IF – Instruction fetch
- DE – Decode instruction
- EX – Execute
- WB – Write back
- Moderne prosessorer har oftest mer enn 4 trinn



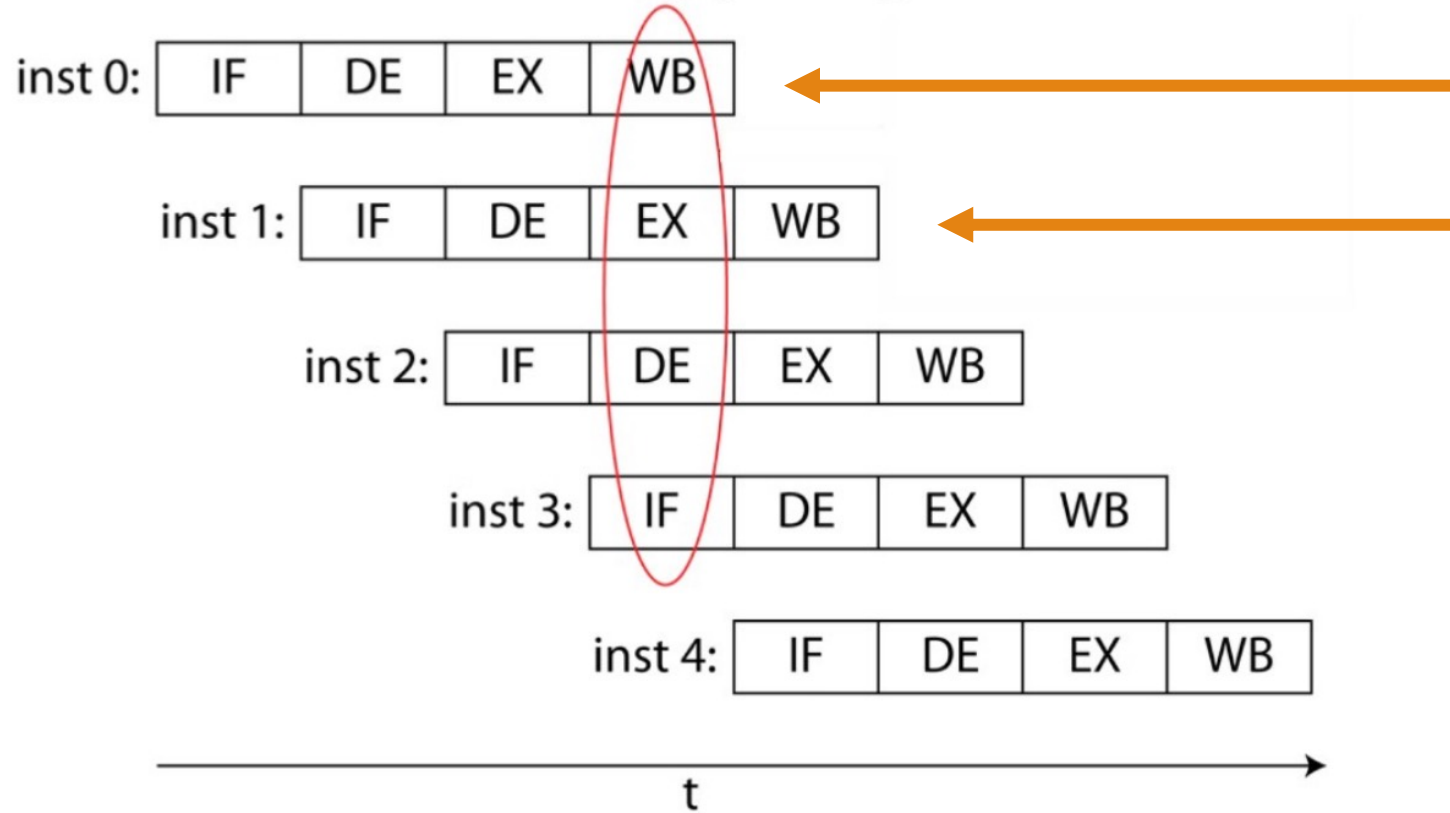
# Pipeline 2

---

- 4 trinn pipeline vil ikke si 4 ganger raskere prosessering, men det gjør prosessering raskere enn uten pipeline
  - Vi mister alltid noe tid til administrering av instruksjoner og komplikasjoner
- Pipeline Hazards – komplikasjoner
  - Instruksjonene er avhengig av hverandre – Data hazard
    - en variabel må endres før den leses av andre instruksjon, for eksempel
    - Løsning: Venting



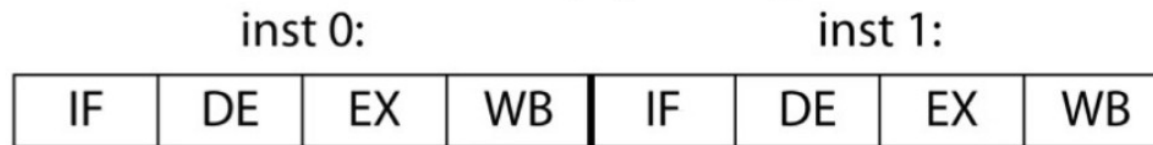
### with pipelining

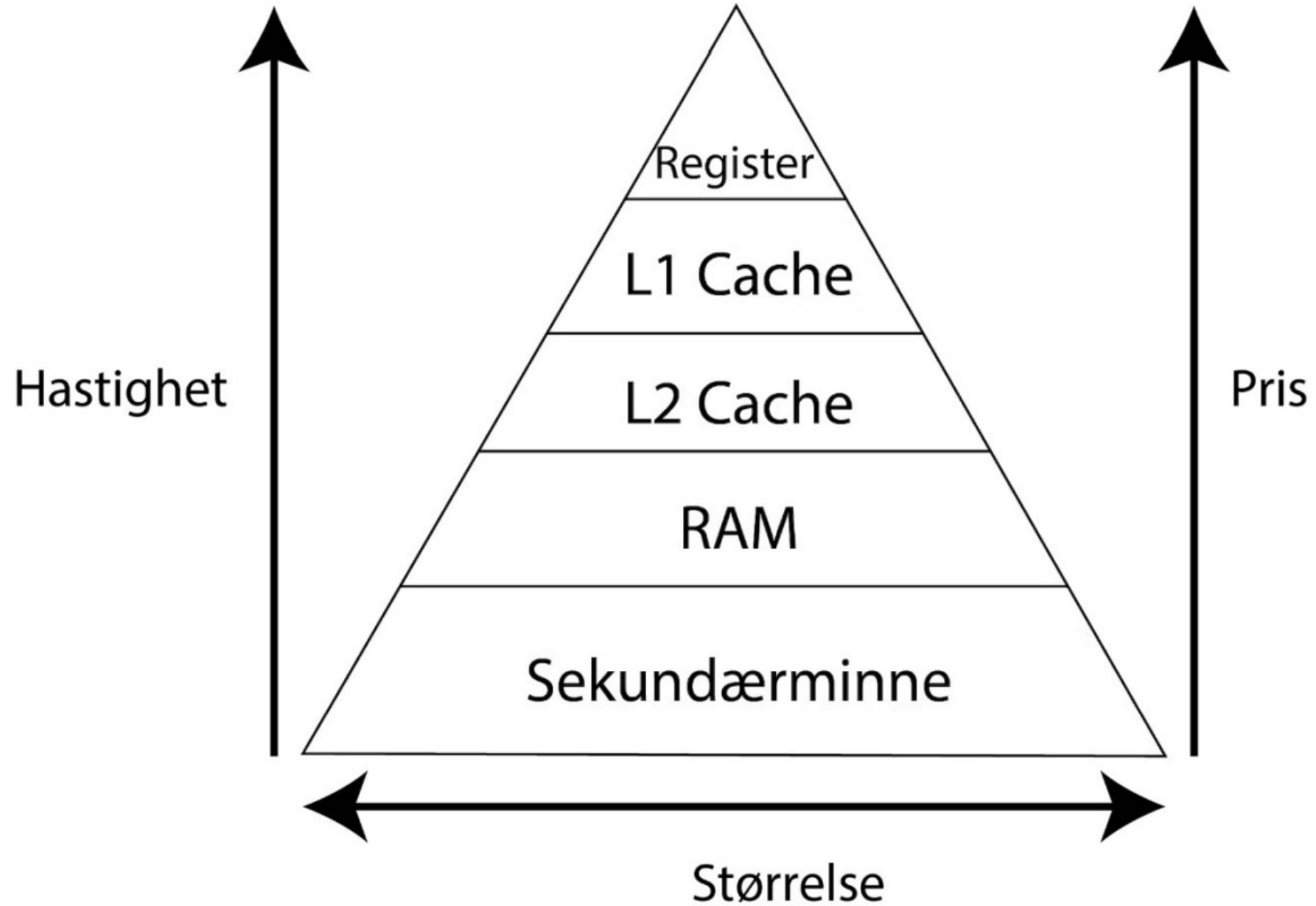


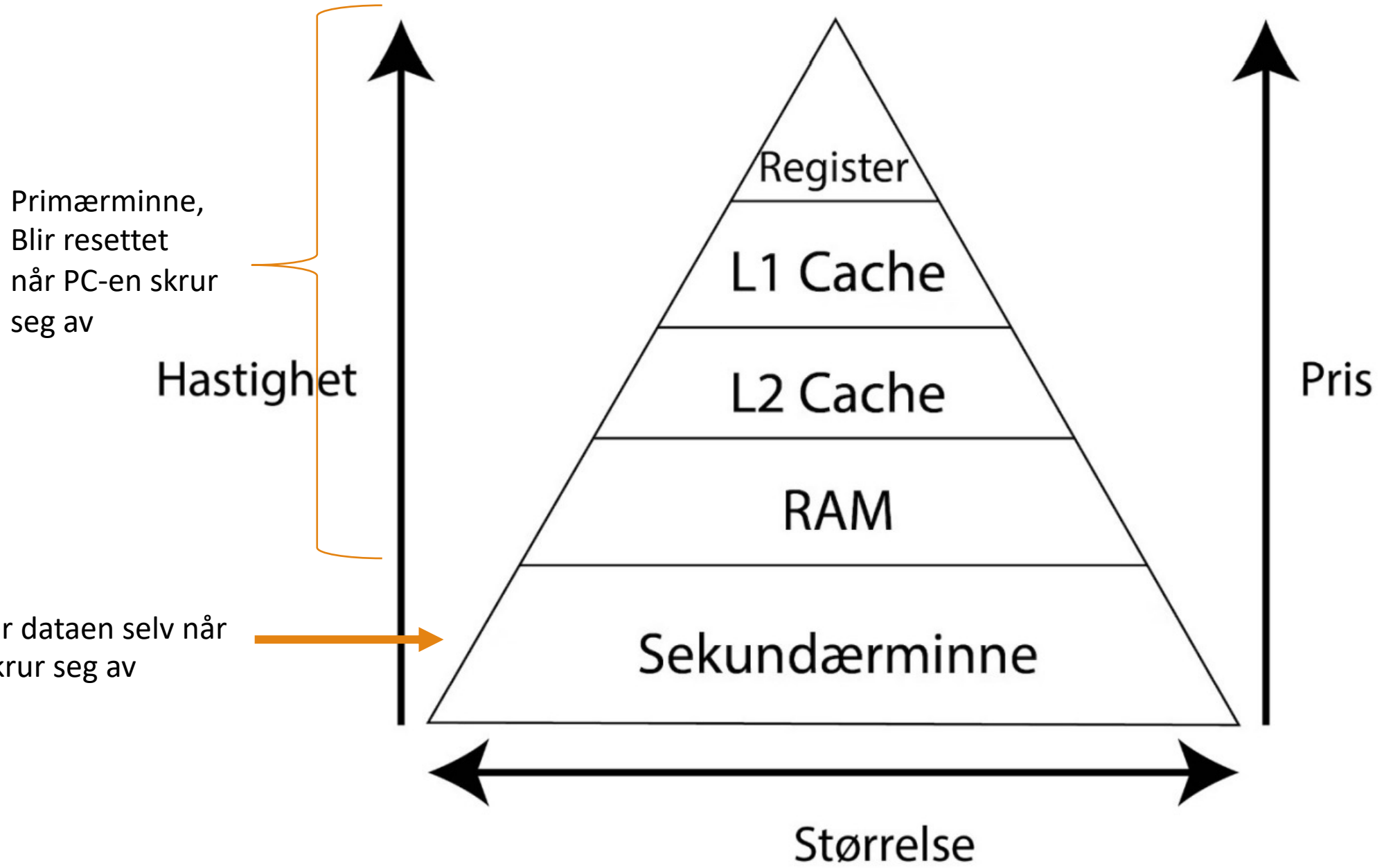
Data hazard skjer ofte når WB og EX kjører samtidig

Løsning: Venting

### without pipelining







Primærminne,  
Blir resettet  
når PC-en skrur  
seg av

Hastighet

Pris

Register

L1 Cache

L2 Cache

RAM

Sekundærminne

Størrelse

Beholder dataen selv når  
PC-en skrur seg av

# Cache miss og Cache hit

---

- Skjer ved minneaksessering
- Cache-hit = finner dataen i cachen
- Cache-miss = finner ikke dataen i cachen
  - Må hente fra annet sted. F.eks. I Rammen, og dette er tregere

# Minnehierarki – aksesshastighet

Registers	< 1ns	≈ 100 Byte
L1 (på CPU) cache	≈ 1ns	≈ 10 KB
L2,L3 (utenfor CPU) cache	2-10ns	≈ 1 MB
Hovedminne (RAM)	20-100ns	≈ 1 GB
SSD/Flash	100ns-1us	≈ 1 TB
Harddisk	1ms	≈ 1 TB

# Oppgave 3 fra ukesoppgavene

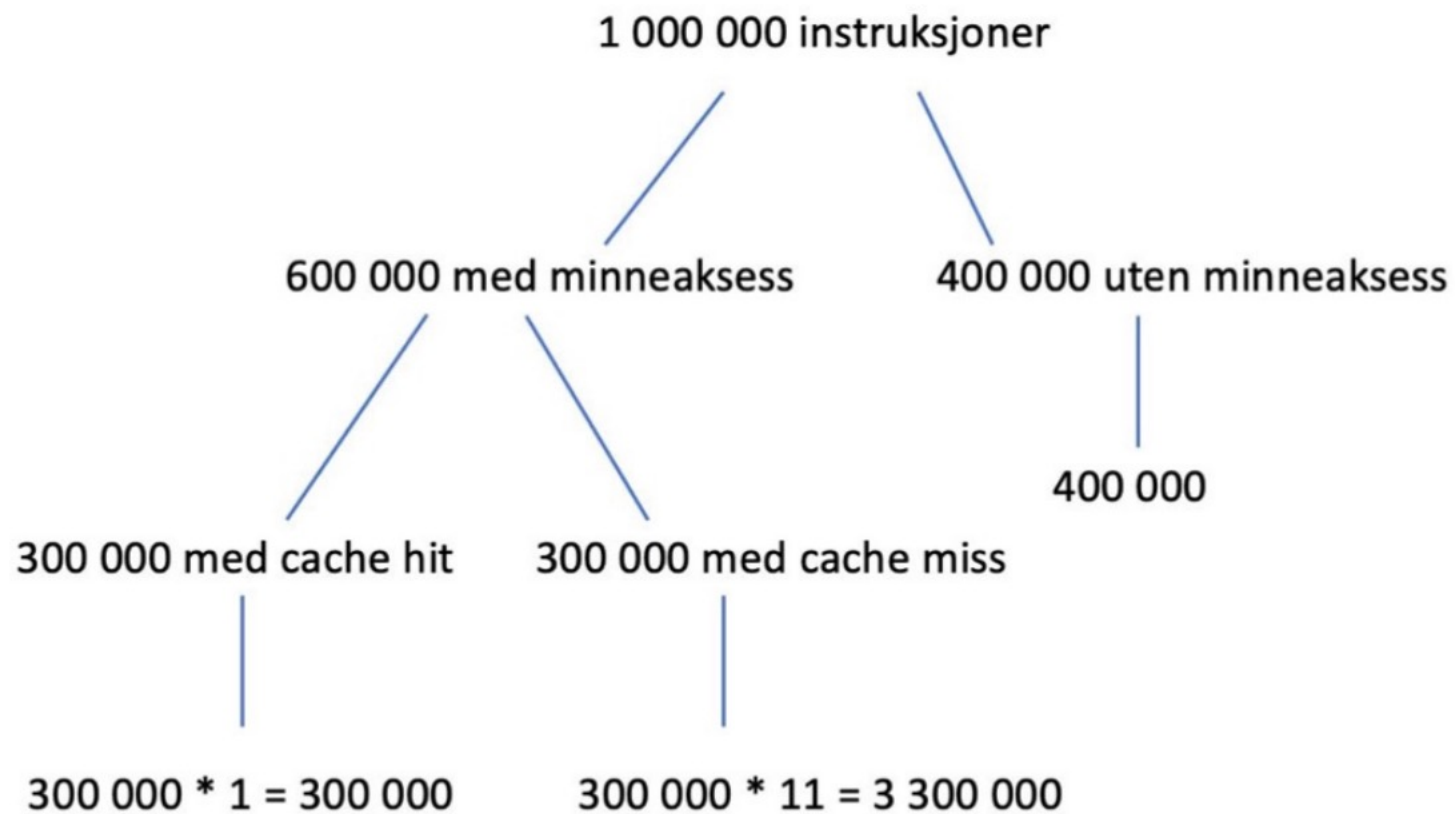
---

*Anta at en prosessor vil prosessere en instruksjon per klokkesykel og skal totalt prosessere 1.000.000 instruksjoner som typisk vil ha behov for å hente data fra minne for 60% av instruksjonene, hvor det vil uheldigvis være 50% cache-miss. Anta videre at det typisk vil være en penalty (økt forsinkelse) for cache-miss på 10 klokkesykler. Hva mange klokkesykler vil det hele ta?*

Økt forsinkelse = 11 klokkesykler  
med cache miss

# Løsning ukesoppgave

---



Totalt antall klokkesykler =  $3\,300\,000 + 300\,000 + 400\,000 = 4\,000\,000$

# Takk for i dag!

---

- Jobbe videre med oblig eller ukesoppgaver
- Send meg mail eller teamsmelding hvis dere lurer på noe eller trenger hjelp til oblig