

INF3400 Digital Mikroelektronikk

Løsningsforslag DEL 5

YNGVAR BERG

I. OPPGAVER

A. Oppgave 4.3

Finns tidsforsinkelse for stigende og fallende utgang for en AND-OR-INVERT port med bruk av Elmore forsinkelsesmodell. Estimer diffusjonskapasitanser.

A.1 Løsningsforslag

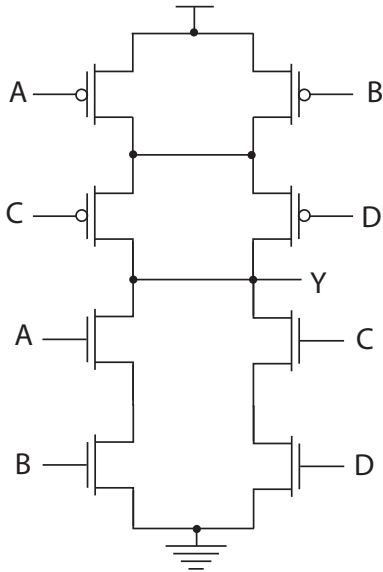


Fig. 1. Komplementær CMOS port for $Y = \overline{A \cdot B + C \cdot D}$.

Vi kan anta en funksjonen $Y = \overline{A \cdot B + C \cdot D}$, implementert som en komplementær CMOS port som vist i Fig. 1.

I Fig. 2 er porten vist med interne noder 1, 2 og 3 og interne diffusjonskapasitanser. Vi ser at det i worst case blir to serie transistorer i nedtrekk og opptrekk.

Dimensjonering av transistorene som gir lik worst case opptrekk- og nedtrekksmotstand er vist i Fig. 3. Et konservativt estimat på diffusjonskapasitanser er $C_1 = C_2 = 2C$, $C_3 = 8C$ og $C_4 = 6C$, der C er diffusjonskapasitans for et minimums diffusjonsområde.

En enkel RC modell for tidsforsinkelse vil gi samme stige- og falltid. Vi får da $t_{pd} = 18C \cdot 2R = 36RC$, der R er ekvivalentmotstand for en nMOS enhetstransistor med bredde lik W (minimumstransistor). Forutsetning for worst case nedtrekk er $A = B = C = 1$ og $D = 0$ og for worst case opptrekk har vi $A = C = 1$ og $B = D = 0$.

Elmore forsinkelsesmodell for opptrekk gir:

$$t_{pd} = \sum_{i=1}^N C_i \sum_{j=1}^i R_j = \sum_{i=1}^N \left(C_i \sum_{j=1}^i R_j \right)$$

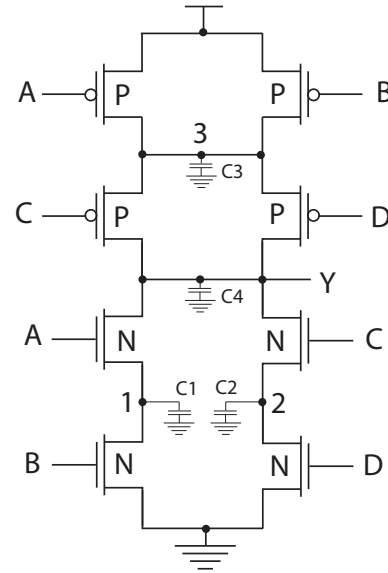


Fig. 2. Komplementær CMOS port for $Y = \overline{A \cdot B + C \cdot D}$ med diffusjonskapasitanser.

$$\begin{aligned} &= C_3 \cdot R + C_4 (R + R) \\ &= 8RC + 6C \cdot 2R \\ &= 20RC, \end{aligned}$$

og for nedtrekket får vi

$$\begin{aligned} t_{pd} &= \sum_{i=1}^N C_i \sum_{j=1}^i R_j \\ &= \sum_{i=1}^N \left(C_i \sum_{j=1}^i R_j \right) \\ &= C_1 \cdot R + C_4 (R + R) \\ &= 2RC + 6C \cdot 2R \\ &= 14RC. \end{aligned}$$

Vi ser at stige- og falltidsforsinkelse blir ulik når vi bruker Elmore modellen. Dette skyldes ulike kapasitansbidrag i opptrekket og nedtrekket.

I Fig. 4 er det vist utlegg av porten. Vi kan bruke kjennskap til implementasjonsdetaljene til å estimere diffusjonskapasitansene mer nøyaktig; $C_1 = C_2 = C$, $C_3 = 6C$ og $C_4 = 3C$.

Vi får da stige- og falltidsforsinkelse med enkel RC modell $t_{pd} = 14RC$. Elmore modell for stigetidsforsinkelse gir $t_{pd} = 6C \cdot R + 3C \cdot 2R = 12RC$, og for falltidsforsinkelse får vi $t_{pd} = RC + 3C \cdot 2R = 7RC$. Dersom vi skal få lik stige- og falltidsforsinkelse når vi bruker Elmore modellen må vi dimensjonere pMOS transistorene anderledes:

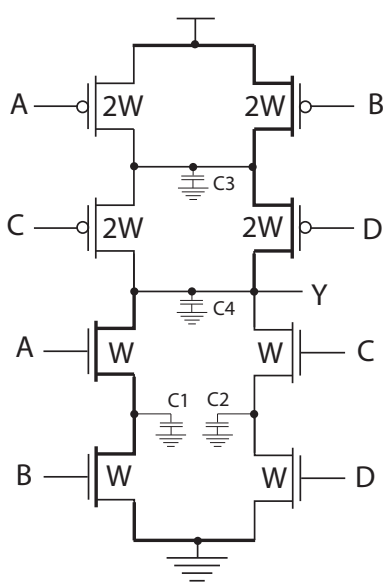


Fig. 3. Komplimentær CMOS port for $Y = \overline{A \cdot B + C \cdot D}$ med dif-fusjonskapasitanter og transistorbredder.

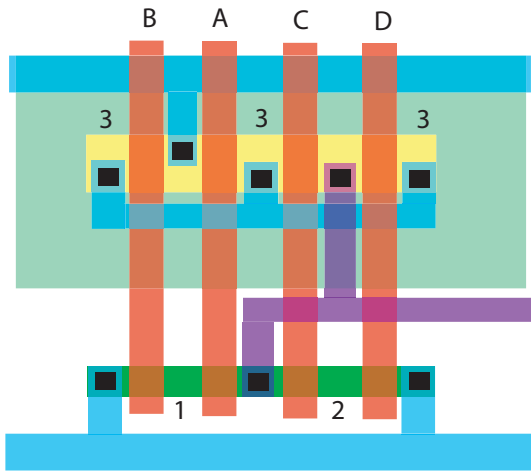


Fig. 4. Utlegg av komplimentær CMOS port for $Y = \overline{A \cdot B + C \cdot D}$.

$$6C \cdot R + (W_p + W_n) C \cdot \frac{4R}{W_p} = RC + (W_p + W_n) C \cdot \frac{2R}{W_n}$$

$$6C \cdot R + (W_p + 1) C \cdot \frac{4R}{W_p} = RC + (W_p + 1) C \cdot 2R,$$

som gir løsning $W_p = 4$, gitt $W_n = 1$.

B. Oppgave 4.4

Finne "worst case" tidsforsinkelse for en n-inngangs NOR port ved å bruke Elmore forsinkelsesmodell.

B.1 Løsningsforslag

Vi kan anta at transistorstørrelsen på pMOS transistorene er $2nW_n$, der W_n er bredden på nMOS transistorene. Vi ser først på opptrekket som vil bestå av n pMOS transistorer i serie. Utgangsnoden vil ha en last som er lik $C_{ut} = (n + 2n)C = 3nC$. De interne nodene i opptrekket vil ha en last $C_{p-intern} = 2nC$. Vi antar at en pMOS transistor vil ha en ekvivalent motstand lik R/n der R er ekvivalent motstand for en enhets nMOS transistor. Stigetidsforsinkelse blir da

$$t_{pd} = \sum_{i=1}^{n-1} \left(\frac{iR}{n} 2nC \right) + (n + 2n)CR$$

$$= 3nRC + \sum_{i=1}^{n-1} \left(\frac{iR}{n} 2nC \right).$$

for falltidsforsinkelse får vi

$$t_{pd} = (n + 2n)CR$$

$$= 3nRC.$$

C. Eksamensoppgave 2005

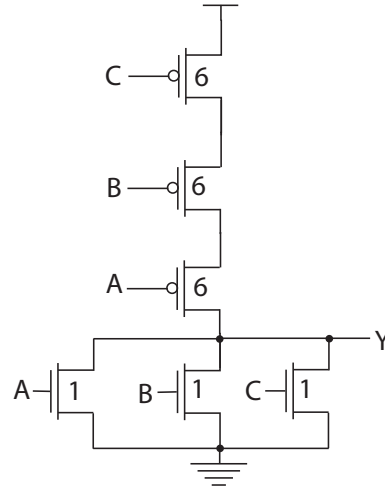


Fig. 5. Komplimentær CMOS port.

Gitt kretsen i Fig. 5, der transistorenes bredde ($W_{relativ}$) er oppgitt relativt til minimumstransistorer $W = 0.4\mu m$ og $L = 0.2\mu m$ i en $0.2\mu m$ CMOS teknologi. Anta at alle transistorer har minimumslengde. Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbssw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

C.1 Løsningsforslag

Vi antar at et diffusjonsområde for source/drain for en minimumstransistor er $0.4\mu m \cdot 0.2\mu m$. Vi uttrykker diffusjonskapasitanter som funksjon av transistor bredde

$$C_{diff} = (W \cdot 0.2\mu m) \cdot C_{jbs} + (2W + 0.4\mu m) \cdot C_{jbssw}$$

$$= W \cdot (0.2\mu \cdot C_{jbs} + 2 \cdot C_{jbssw}) + 0.4\mu m \cdot C_{jbssw}$$

$$= W \cdot (0.3fF/\mu m + 0.2fF/\mu m) + 0.04fF$$

$$= W \cdot 0.5fF/\mu m + 0.04fF.$$

Vi kan forenkle modellen ved å anta at $W \cdot 0.5fF/\mu m \gg 0.04fF$ slik at $C_{diff} \approx W \cdot 0.5fF/\mu m$. Dersom vi uttrykker diffusjonskapasitansen for en minimumstransistor som $C_{diff-min} = 0.4\mu m \cdot 0.5fF/\mu m = 0.2fF$ kan vi uttrykke diffusjonskapasitansen for transistorer med bredde relativt til minimumstransistoren. Dette gir kapasitans på utgangen bestående av diffusjonskapasitanter i porten

$$\begin{aligned}
C_{utgang} &= 6 \cdot C_{diff-minimum} + 3 \cdot 1 \cdot C_{diff-minimum} \\
&= 9C_{diff-min} \\
&= 1.8fF.
\end{aligned}$$

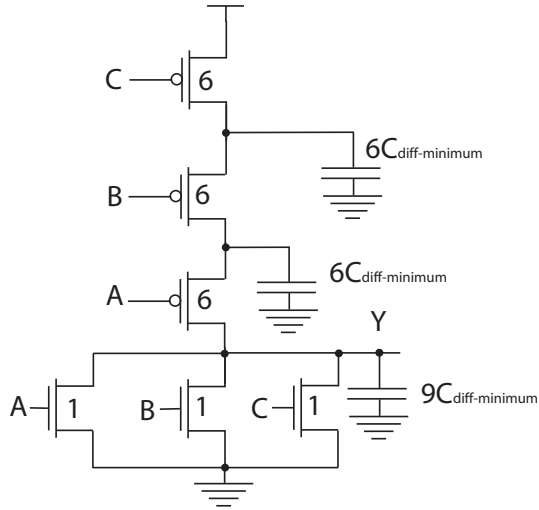


Fig. 6. Komplementær CMOS port med diffusjonskapasitanser.

Porten med diffusjonskapasitanser er vist i Fig. 6.

D. Eksamensoppgave 2005

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Hvilken prosessparameter vil typisk gi en slik forskjell i motstand for nMOS- og pMOS transistorer som er like store? Anta at $R = 3k\Omega$ og bruk Elmore forsinkelses modell til å finne portens (Fig. 5) parasittiske tidsforsinkelse når alle inngangene er 0 ($A=B=C=0$).

D.1 Løsningsforslag

Mobiliteten er typisk dobbelt så stor for nMOS transistorer som for pMOS transistorer. Motstanden er omvent proporsjonal med mobiliteten.

Elmore forsinkelses modell

$$\begin{aligned}
t_{pd} &= 6C_{diff-min} \frac{2R}{6} + 6C_{diff-min} \frac{4R}{6} + 9C_{diff-min} \frac{6R}{6} \\
&= 15RC_{diff-min} \\
&= 9ps.
\end{aligned}$$

E. Eksamensoppgave 2005 prøveeksamen

Gitt porten i Fig. 7, der alle transistorene har minimumslengde ($0.2\mu m$) og bredden på pMOS transistorene er P ganger minimumsbredde ($0.4\mu m$) og bredden på nMOS transistorene er N ganger minimum bredde. Finn N og P slik at intrinsikk kapasitans blir minst mulig og at effektiv motstand i opptrekk og nedtrekk blir like ("worst case").

Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

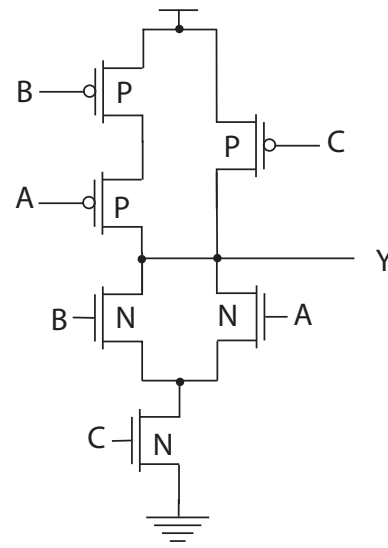


Fig. 7. Komplementær CMOS port.

E.1 Løsningsforslag

$N = 1$ og $P = 2$ gir samme "worst case" effektiv motstand.

Vi antar at et diffusjonsområde for source/drain for en minimumstransistor er $0.4\mu m \cdot 0.2\mu m$. Vi uttrykker diffusjonskapasitanser som funksjon av transistor bredde

$$\begin{aligned}
C_{diff} &= (W \cdot 0.2\mu m) \cdot C_{jbs} + (2W + 0.4\mu m) \cdot C_{jbsw} \\
&= W \cdot (0.2\mu \cdot C_{jbs} + 2 \cdot C_{jbsw}) + 0.4\mu m \cdot C_{jbsw} \\
&= W \cdot (0.3fF/\mu m + 0.2fF/\mu m) + 0.04fF \\
&= W \cdot 0.5fF/\mu m + 0.04fF.
\end{aligned}$$

Vi kan forenke modellen ved å anta at $W \cdot 0.5fF/\mu m \gg 0.04fF$ slik at $C_{diff} \approx W \cdot 0.5fF/\mu m$. Dersom vi uttrykker diffusjonskapasitansen for en minimumstransistor som $C_{diff-min} = 0.4\mu m \cdot 0.5fF/\mu m = 0.2fF$ kan vi uttrykke diffusjonskapasitansen for transistorer med bredde relativt til minimumstransistoren. Dette gir kapasitans på utgangen bestående av diffusjonskapasitanser i porten

$$\begin{aligned}
C_{diff-utgang} &= 2 \cdot 2 \cdot C_{diff-minimum} + 2 \cdot 1 \cdot C_{diff-minimum} \\
&= 6 \cdot C_{diff-min} \\
&= 1.2fF.
\end{aligned}$$

F. Oppgave 4.5

Lag en figur som viser tidsforsinkelse som funksjon av elektrisk effort for en 2inngangs NOR port. Hvordan blir tidsforsinkelsen sammenlignet med 2inngangs NAND port?

F.1 Løsningsforslag

Løsningsforslag er vist i Fig. 8.

G. Oppgave 4.6

Anta en $4x$ inverter med transistorer med bredde 4 ganger en enhetsinverter. Dersom en enhetsinverter har tre enhetskapasitanser ($3C$) som inngangskapasitans og parasittisk tidsforsinkelse p_{inv} , hva blir inngangskapasitansen for $4x$ inverteren? Hva blir logisk effort og parasittisk tidsforsinkelse?

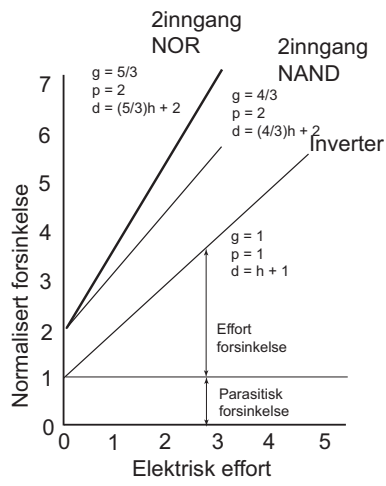


Fig. 8. 2inngangs NOR port sammenlignet med NAND port og inverter.

G.1 Løsningsforslag

Inngangskapasitansen blir $C_{inn} = 4 \cdot 3C = 12C$. Logisk effort er ikke avhengig av kapasitanser, dvs. $g = 1$. Når vi øker bredden på alle transistorer med en faktor x vil parasittisk kapasitans (diffusjonskapasitans) øke med samme faktor. Motstanden derimot blir redusert med samme faktor slik at parasittisk tidsforsinkelse er upåvirket av dimensjoneringen.