

INF3400 Digital Mikroelektronikk

Oppgaver DEL 5

YNGVAR BERG

I. OPPGAVER

A. Oppgave 4.3

Finns tidsforsinkelse for stigende og fallende utgang for en AND-OR-INVERT port med bruk av Elmore forsinkelsesmodell. Estimer diffusjonskapasitanser.

B. Oppgave 4.4

Finns "worst case" tidsforsinkelse for en ninngangs NOR port ved å bruke Elmore forsinkelsesmodell.

C. Eksamensoppgave 2005

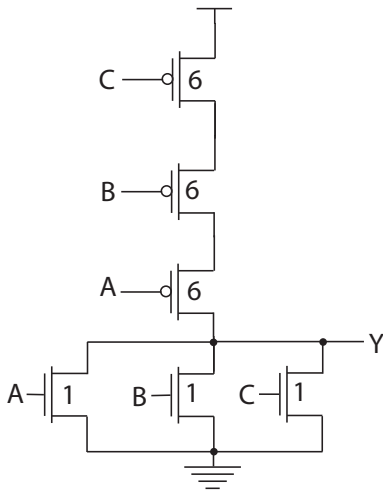


Fig. 1. Komplimentær CMOS port.

Gitt kretsen i Fig. 1, der transistorenes bredde ($W_{relativ}$) er oppgitt relativt til minimumstransistorer $W = 0.4\mu m$ og $L = 0.2\mu m$ i en $0.2\mu m$ CMOS teknologi. Anta at alle transistorer har minimumslengde. Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

D. Eksamensoppgave 2005

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Hvilken prosessparameter vil typisk gi en slik forskjell i motstand for nMOS- og pMOS transistorer som er like store? Anta at $R = 3k\Omega$ og bruk Elmore forsinkelsesmodell til å finne portens (Fig. 1) parasittiske tidsforsinkelse når alle ingangene er 0 ($A=B=C=0$).

E. ksamensoppgave 2005 prøveeksamen

Gitt porten i Fig. 2, der alle transistorene har minimumslengde ($0.2\mu m$) og bredden på pMOS transistorene er P ganger

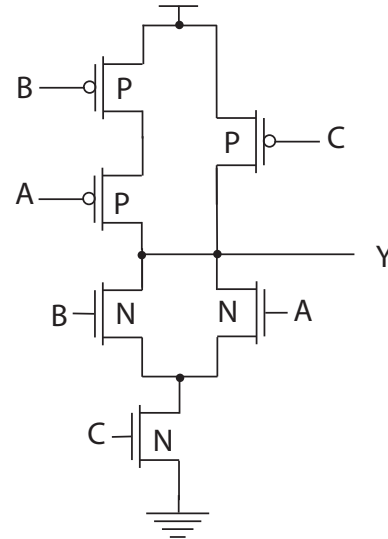


Fig. 2. Komplimentær CMOS port.

minimumsbredde ($0.4\mu m$) og bredden på nMOS transistorene er N ganger minimum bredde. Finn N og P slik at intrinsikk kapasitans blir minst mulig og at effektiv motstand i opptrekk og nedtrekk blir like ("worst case").

Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

F. Oppgave 4.5

Lag en figur som viser tidsforsinkelse som funksjon av elektrisk effort for en 2inngangs NOR port. Hvordan blir tidsforsinkelsen sammenlignet med 2inngangs NAND port?

G. Oppgave 4.6

Anta en $4x$ inverter med transistorer med bredde 4 ganger en enhetsinverter. Dersom en enhetsinverter har tre enhetskapasitanser ($3C$) som inngangskapasitans og parasittisk tidsforsinkelse p_{inv} , hva blir inngangskapasitansen for $4x$ inverteren? Hva blir logisk effort og parasittisk tidsforsinkelse?

H. Oppgave 2

Ved hjelp av Cadence sjematikk editor og spectre skal du finne frekvensen for en ringoscillator bestående av 7 enhetsinvertere. Kan vi dimensjonere transistorene slik at frekvenser øker?