

Formelsamling INF3400 Våren 2014

Del 1 til 8

YNGVAR BERG

I. MOS TRANSISTORER, TABELLENE I - X

Formelsamlingen inneholder de mest aktuelle konstanter (Tabell II), prosessparametre (Tabell III) og elektriske parametre (Tabell IV) tilpasset en 90nm CMOS prosess.

Tre ulike nivåer av transistor modeller (Tabellene V-X) er inkludert:

- 1) **Enkle modeller.** Egnet for enkel håndregning. Tar ikke hensyn til kanalforkortning, body effekt eller hastighetsmetning. Brukes for å modellere motstand i transistorer for bruk i RC modeller og beregning av tidsforsinkelse i porter.
- 2) **Vanlige modeller.** Egnet for håndregning. Tar hensyn til kanalforkortning og body effekt, men ikke hastighetsmetning og svak inversjon. Kan brukes til å modellere forsterkning og støymargin.
- 3) **Avanserte modeller.** Ikke egnet for håndregning. Tar også hensyn til hastighetsmetning, svak inversjon og drain-induced barrier lowering (DIBL).

Funksjon	Enkel	Vanlig	Avansert
Motstand	✓		
Transkonduktans		✓	
Utgangskonduktans		✓	
Kanalforkortning		✓	✓
Body effekt		✓	✓
Drain-induced barrier lowering (DIBL)			✓
Hastighetsmetning			✓
Svak inversjon			✓
Forsterkning		✓	
Støymargin		✓	(✓)
Statisk effekt			✓
Dynamisk effekt		✓	
Tidsforsinkelse	✓		

TABLE I
BRUK AV TRANSISTOR MODELLER.

Ved konstruksjon av digital integrert elektronikk er det transistorenes størrelse, se Fig. 1, som er den viktigste faktoren som avgjør den elektriske responen.

- 1) **W** er bredde på transistor.
- 2) **L** er lengde på transistor.
- 3) **D** er utstrekningen til diffusjonsområder som typisk er lik minimum lengde på transistorer i en gitt teknologi.

I tillegg er ledningsføring, både lokalt mellom porter og mellom blokker, svært viktig. I digital design er det vanlig å bruke korte transistor, dvs liten lengde, for å minimere

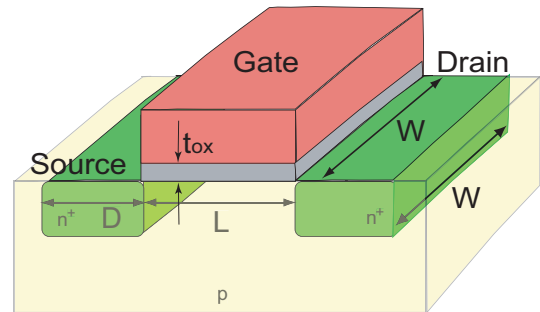


Fig. 1. nMOS transistor.

kapasitans og tidsforsinkelse. Bredden på transistorene som inngår i de ulike portene velges normalt slik at "worst case" tidsforsinkelse for svitsjing fra 0 til og fra 1 til 0 blir like.

II. MODELLER FOR TIDSFORSINKELSE I PORTER

A. Dimensjonering og tidsforsinkelse

Vi har ulike modeller for å beregne tidsforsinkelse for en port, se Tabell XI. I praksis ønsker vi å sammenligne med en enhetsinverter, dvs. en minimumsinverter. Det er derfor vanlig å velge transistorstørrelser slik at *worst case* tidsforsinkelse for opptrekk og nedtrekk blir lik. Vi pleier vanligvis å velge lik transistor bredde for alle transistorer av samme type i en bestemt port.

Generell metode for å dimensjonere transistorer og beregne tidsforsinkelse i en CMOS port:

- 1) **Worst case strømvei.** Finn *worst case* strømvei for opptrekk og nedtrekk. Det vil i praksis si den strømveien fra en utgangen til spenningsreferansene som primært vil gi størst ekvivalent motstand, og dersom flere slike strømveier finnes velges den med størst diffusjonskapasitans (=parasitt eller intrinsikk kapasitans).
- 2) **Dimensjonering av transistorer.** Velg transistor bredder slik at ekvivalent motstand i *worst case* for opptrekk og nedtrekk er lik motstand for en enhetsinverter.
- 3) **Lastkapasitans.** Finn last kapasitansen for opptrekk og nedtrekk. Summen av diffusjonskapasitanser, dvs. såkalte intrinsikk parasitt kapasitanser i selve porten, og gate kapasitans for porter som skal drives (etterfølgende).
- 4) **Tidsforsinkelse.** Tidsforsinkelsen er lik ekvivalentmotstand multiplisert med lastkapasitans. Dersom det ikke er spesifisert porter som skal drives, dvs gate kapasitanser, kaller vi tidsforsinkelsen **parasittisk tidsforsinkelse**.

B. Worst case strømvei

Det er alltid fornuftig å dimensjonere en port ved å minnere worst case tidsforsinkelse. Tidsforsinkelse i en port vil være avhengig av inngangssignalene. For worst case tilfeller antar vi bestemte verdier på inngangssignaler for opptrekk og nedtrekk.

C. Dimensjonering av transistorer

Det er vanlig å dimensjonere transistorene i en port slik at ekvivalent motstand R_{ekv} i nedtrekk og opptrekk blir like slik at svitsjepunktet blir riktig. Dette betyr også at tidsforsinkelse for stigende og fallende utgang (worst case) blir svært like. I tillegg er det vanlig å dimensjonere transistorene slik at ekvivalent motstand er lik som for en minimumsinverter. Når vi dimensjonerer transistorer for en port gitt en bestemt posisjon i en kjede av porter må vi derimot ta hensyn til ekstrinsikk last.

D. Lastkapasitans

1) **Intrinsikk parasittkapasitans (C_{par}):** Med intrinsikk parasittkapasitans menes diffusjonskapasitanser (C_{diff}) i selve porten. Vi bruker vanligvis forenklet minimumskapasitans C fra Tabell IV for å beregne parasittkapasitans for en port. For en minimumstransistor får vi da et bidrag til parasittkapasitans lik C . Kapasitansverdien er proporsjonal med bredden på transistoren.

- For hver elektrisk node beregnes parasittkapasitans for noden. Det vil være summen av alle diffusjonskapasitanser fysisk knyttet til noden. I praksis vil det være slik at diffusjonsområdet mellom to seriekoblede transistorer vil deles av transistorene og da legges bare en C til øvrig parasittkapasitans for noden. Dette gir et **realistisk** estimat for parasittkapasitans. **Det som er viktig er å velge samme metode når man skal sammenligne tidsforsinkelse i ulike løsninger.**
- Beregn total parasittkapasitans i alle noder som kan tenkes å bidra, eller kan nåes via en strømvei fra utgangen.

2) **Ekstrinsikk gatekapasitans (C_{ekst}):** Med ekstrinsikk gatekapasitans (C_{ekst}) menes gatekapasitanser (C_g) for porter som skal drives (etterfølgende). Vi bruker vanligvis forenklet minimumskapasitans C fra Tabell IV for å beregne ekstrinsikk gatekapasitans for en port som skal drives. Som regel bruker vi minimum lengde på alle transistorer og derfor blir kapasitansverdien på gatekapasitans for en transistor proporsjonal med bredden på transistoren. Vi tar ikke hensyn til om transistorene som skal drives er AV eller PÅ.

3) **Total lastkapasitans C_L :** Total lastkapasitans er summen av intrinsikk parasittkapasitanser og ekstrinsikk gatekapasitanser. Vi kan her velge ulike startegier for beregning av total lastkapasitans:

- **Pessimistisk (= worst case).** Vi tar med alle intrinsikk parasittkapasitanser i alle noder som kan sees fra en utgang.
- **Optimistisk (= best case).** Vi tar bare med intrinsikk parasittkapasitanser knyttet til selve utgangen.

E. Tidsforsinkelse

To ulike nivå er av tidsforsinkelsesmodeller er inkludert:

- 1) **Enkel modell.** Vi beregner ekvivalet motstand og total lastkapasitans for opptrekk eller/og nedtrekk. $t = (\tau) = R_{ekv}C_L$.
 - a) **Pessimistisk (worst case).** Bruker pessimistisk (worst case) verdi for intrinsikk parasittkapasitanser. Dette er den **vanligste modellen** som anvendes dersom det ikke er opplagt at andre modeller skal brukes.
 - b) **Optimistisk (best case).** Bruker optimistisk (best case) for intrinsikk parasittkapasitanser, dvs. bare knyttet til selve utgangen. Brukes ved beregning av portforsinkelse ved estimering av tidsforsinkelse i kjeder av porter. **Enklere** enn pessimistisk modell og er derfor nyttig dersom man må frembringe et estimat raskt.
 - c) **Avhengig av inngangsverdier.** Intrinsikk parasittkapasitanser vil være bestemt av interne noder som kan sees fra utgangen (strømveier) fra utgangen.

2) Elmore.

III. TIDSFORSINKELSE I KJEDER AV PORTER

Terminologi	Port	Kjede
Antall porter	1	N
Logisk effort	g	$G = \prod g_i$
Elektrisk effort	$h = \frac{C_{ekstern}}{C_{inngang}}$	$H = \frac{C_{ekstern}(kjede)}{C_{inngang}(kjede)}$
Forgreings-effort	$b = \frac{C_{PA-kjede} + C_{AV-kjede}}{C_{PA-kjede}}$	$B = \prod b_i$
Effort	$f = gh$	$F = GHB$
Effort tidsforsinkelse	f	$D_F = \sum f_i$
Parasittisk tidsforsinkelse	p	$P = \sum p_i$
Tidsforsinkelse	$d = f + p$	$D = D_F + P$

Når man anvender logisk effort er det vanlig å arbeide etter følgende steg:

- 1) Beregn kjede effort: $F = GHB$.
- 2) Estimer minimum tidsforsinkelse: $D = N' F^{\frac{1}{N}} + P$,
der N er antall porter i kjeden i den aktuelle signalveien
- 3) Bestem den beste port effort: $f' = F^{\frac{1}{N}}$.
- 4) Start ved kjedens utgangs og beregn bakover transistor størrelser: $C_{innngang_i} = \frac{C_{ekstern_i} \cdot g_i}{f'}$.

Konstant	Navn	Verdi (typisk)	Benevning		Kommentar
ϵ_0	Permittivitet i vakum	$8.85 \cdot 10^{-14}$	F/cm	Farhad per cm	
ϵ_{ox}	Permittivitet til silisiumdioksid SiO_2	$3.45 \cdot 10^{-13}$	F/cm	Farhad per cm	$\epsilon_{ox} = 3.9 \cdot \epsilon_0$
ϵ_{Si}	Permittivitet til silisium Si	$1.03 \cdot 10^{-12}$	F/cm	Farhad per cm	$\epsilon_{Si} = 11.68 \cdot \epsilon_0$
k	Boltzmanns konstant	$1.380 \cdot 10^{-23}$	J/K	Joule per Kelvin	
T	Temperatur	300	K	Kelvin	
q	Elementærladning	$1.602 \cdot 10^{-19}$	C	Coulomb	elektron

TABLE II
KONSTANTER.

Parameter	Navn	Verdi (typisk)	Benevning	Kommentar
t_{ox}	Tykkelsen på tynnoksid	1.2	nm	Gateoksid
μ_n	Mobilitet elektroner	100	$cm^2/(V \cdot s)$	
μ_p	Mobilitet hull	50	$cm^2/(V \cdot s)$	
λ_n	Kanallengde modulasjonsfaktor nMOS transistor	0.1		
λ_p	Kanallengde modulasjonsfaktor pMOS transistor	0.1		
η	DIBL koefisient	0.05		
N_A	Dopekonsentrasjon n type silisium	$8 \cdot 10^{17}$	cm^{-3}	
N_D	Dopekonsentrasjon p type silisium	$8 \cdot 10^{17}$	cm^{-3}	
n_i	Konsentrasjon av frie ladningsbærere i udopet silisium	$1.45 \cdot 10^{10}$	cm^{-3}	
C_j	Junction kapasitans uten forspenning	$1.2 \cdot 10^{-15}$	$F/\mu m^2$	
M_J	Junction grading koefisient	0.33		
C_{JSW}	Side wall kapasitans uten forspenning	$0.1 \cdot 10^{-15}$	$F/\mu m$	
M_{JSW}	Side wall grading koefisient	0.10		

TABLE III
PROSESPARAMETRE.

Parameter	Navn	Verdi (typisk)	Benevning	Betingelser	Kommentar
C_{ox}	Oksidkapasitans	$2.88 \cdot 10^{-14}$	$F/\mu m^2$	$W = 100nm \quad L = 100nm$	$C_{ox} \equiv \epsilon_{ox}/t_{ox}$
C_g	Oksidkapasitans	$0.288 \cdot 10^{-15}$	F		$C_g = C_{ox}WL$
β_n		288	A/V^2		$\beta_n = \mu_n C_{ox}W/L$
β_p		144	A/V^2		$\beta_p = \mu_p C_{ox}W/L$
V_T	Termisk spenning	26	mV		$V_T = kT/q$
Φ_s	Substratpotensial	0.93	V		$\Phi_s = 2V_T \ln \frac{N_A}{n_i}$
γ	Body effekt koefisient	0.16			$\gamma = \sqrt{2q\epsilon_{Si}N_A/C_{ox}}$
Ψ_0	Innebygd potensiale	0.7	V	$T = 300K$	$\Psi_0 = V_T \ln \frac{N_A N_D}{n_i^2}$
C_{jbs}	Kapasitans per areal	$1.2 \cdot 10^{-15}$	$F/\mu m^2$		$C_{jbs} = C_j \left(1 + \frac{V_{sb}}{\Psi_0}\right)^{-M_J}$
C_{jbssw}	Kapasitans per lengde	$0.1 \cdot 10^{-15}$	$F/\mu m$		$C_{jbssw} = C_{JSW} \left(1 + \frac{V_{sb}}{\Psi_0}\right)^{-M_{JSW}}$
C_{diff}	Diffusjonskapasitans	$0.08 \cdot 10^{-15}$	F	$W = 100nm \quad L = 100nm \quad D = 100nm$	$C_{diff} = WDC_{jbs} + 2(W + D)C_{jbssw}$
$C = C_{min}$	Forenklet enhetskapasitans	$0.288 \cdot 10^{-15}$	F	$W = min \quad L = min \quad D = min$	$C = C_g = C_{diff}$

TABLE IV
ELEKTRISKE PARAMETRE.

Parameter	Navn	Verdi (typisk)	Benevning		Kommentar
V_{DD}	Forsyningsspenning	1.2	V	Volt	Logisk 1
V_{SS}	Jord	0	V	Volt	Logisk 0 gnd
V_g	Gate terminal spenning		V	Volt	
V_d	Drain terminal spenning		V	Volt	
V_s	Source terminal spenning		V	Volt	
V_b	Bulk (body, substrat) terminal spenning		V	Volt	
V_{gs}	Spenningen mellom gate og source		V	Volt	$V_{gs} \equiv V_g - V_s$
V_{gd}	Spenningen mellom gate og drain		V	Volt	$V_{gd} \equiv V_g - V_d$
V_{ds}	Spenningen mellom drain og source		V	Volt	$V_{ds} \equiv V_d - V_s$
V_{sb}	Spenningen mellom source og bulk	0	V	Volt	$V_{sb} \equiv V_s - V_b$
V_{t0n}	Nominell terskelspenning for en nMOS transistor	0.26	V	Volt	
V_{t0p}	Nominell terskelspenning for en pMOS transistor	-0.26	V	Volt	
V_{dsat}	Metningsspenning for en transistor	0.1	V	Volt	
V_{IL}	Høyeste inngang tolkes som logisk 0	0.15	V	Volt	
V_{OL}	Høyesteutgang definert som logisk 0	0.05	V	Volt	
V_{IH}	Laveste inngang tolkes som logisk 1	1.05	V	Volt	
V_{OH}	Laveste utgang definert som logisk 1	1.15	V	Volt	

TABLE V
DEFINISJONER.

Modell	Funksjon	Verdi (typisk)	Benevning	Betingelser	Kommentar
$V_{tn} = V_{tn0}$	Terskelspenning	0.26	V		
$I_{ds} = 0$	AV	0	A	$V_{gs} < V_{tn}$	AV
$I_{ds} = \beta_n \left(V_{gs} - V_{tn} - \frac{V_{ds}}{2} \right) V_{ds}$	PÅ Lineær	10^{-5}	A	$V_{gs} > V_{tn}$ $V_{ds} < V_{gs} - V_{tn}$	PÅ Lineær
$I_{ds} = \frac{\beta_n}{2} (V_{gs} - V_{tn})^2$	PÅ Metning	10^{-5}	A	$V_{gs} > V_{tn}$ $V_{ds} > V_{gs} - V_{tn}$	PÅ Metning
$R_{ds} \approx (\beta_n (V_{gs} - V_{tn}))^{-1}$	Motstand	10^4	Ω	$V_{gs} > V_{tn}$ $V_{ds} < V_{gs} - V_{tn}$	PÅ Lineær
$R_{min} = R$	Enhetsmostand (min)	10^4	Ω		Minimum

TABLE VI
ENKLE MODELLER FOR NMOS TRANSISTOR.

Modell	Funksjon	Verdi (typisk)	Benevning	Betingelser	Kommentar
$V_{tp} = V_{tp0}$	Terskelspenning	-0.26	V		
$I_{sd} = 0$	AV	0	A	$V_{sg} < V_{tn} $	AV
$I_{sd} = \beta_p \left(V_{sg} - V_{tn} - \frac{V_{sd}}{2} \right) V_{sd}$	PÅ Lineær	10^{-5}	A	$V_{sg} > V_{tp} $ $V_{sd} < V_{sg} - V_{tp} $	PÅ Lineær
$I_{sd} = \frac{\beta_p}{2} (V_{sg} - V_{tp})^2$	PÅ Metning	10^{-5}	A	$V_{sg} > V_{tp} $ $V_{sd} > V_{sg} - V_{tp} $	PÅ Metning
$R_{sd} \approx (\beta_p (V_{sg} - V_{tp}))^{-1}$	Motstand	10^4	Ω	$V_{sg} > V_{tp} $ $V_{sd} < V_{sg} - V_{tp} $	PÅ Lineær
$R_{min} = R$	Enhetsmostand (min)	10^4	Ω		Minimum

TABLE VII
ENKLE MODELLER FOR PMOS TRANSISTOR.

Modell	Funksjon	Verdi (typisk)	Benevning	Betingelser	Kommentar
$V_{tn} = V_{tn0} + \gamma (\sqrt{\Phi_s + V_{sb}} - \sqrt{\Phi_s})$	Terskelspenning	0.26	V		
$I_{ds} = 0$	AV	0	A	$V_{gs} < V_{tn}$	AV
$I_{ds} = \beta_n \left(V_{gs} - V_{tn} - \frac{V_{ds}}{2} \right) V_{ds} (1 + \lambda_n V_{ds})$	PÅ Lineær	10^{-5}	A	$V_{gs} > V_{tn}$ $V_{ds} < V_{gs} - V_{tn}$	PÅ Lineær
$I_{ds} = \frac{\beta_n}{2} (V_{gs} - V_{tn})^2 (1 + \lambda_n V_{ds})$	PÅ Metning	10^{-5}	A	$V_{gs} > V_{tn}$ $V_{ds} > V_{gs} - V_{tn}$	PÅ Metning
$g_m \approx \beta_n V_{gs} (1 + \lambda_n V_{ds})$	Transkonduktans	300	A/V	$V_{gs} > V_{tn}$ $V_{ds} > V_{gs} - V_{tn}$	PÅ Metning
$g_{ds} \approx \frac{\lambda \beta_n}{2} V_{gs}^2$	Utgangskonduktans	15	A/V	$V_{gs} > V_{tn}$ $V_{ds} > V_{gs} - V_{tn}$	PÅ Metning

TABLE VIII
VANLIGE MODELLER FOR NMOS TRANSISTOR.

Modell	Funksjon	Verdi (typisk)	Benevning	Betingelser	Kommentar
$V_{tn} = V_{tn0} + \gamma (\sqrt{\Phi_s + V_{sb}} - \sqrt{\Phi_s})$	Terskelspenning	0.26	V		
$V'_{tn} = V_{tn} + \eta V_{ds}$	Drain-induced barrier lowering (DIBL)	0.26	V		
α		1.3		$L \ll 1 \mu m$	
$\frac{P_c}{P_v}$		1		$L \ll 1 \mu m$	
$\frac{P_c}{P_v}$		1		$L \ll 1 \mu m$	
$I_{ds0} = \beta V_T^2 e^{1.8}$	Strøm ved terskelspenningen	10^{-6}	A		
$V_{dsat} = P_v \left(V_{gs} - V'_{tn} \right)^{\frac{\alpha}{2}}$	Metningsspenning for hastighetsmetning	0.05	V		
$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V'_{tn}}{n V_T}} \left(1 - e^{-\frac{V_{ds}}{V_T}} \right)$	AV	10^{-9}	A	$V_{gs} < V'_{tn}$	AV
$I_{ds} = P_c \frac{\beta}{2} \left(V_{gs} - V'_{tn} \right)^{\alpha} \frac{V_{ds}}{V_{dsat}} (1 + \lambda V_{ds})$	PÅ Lineær	10^{-5}	A	$V_{gs} > V_{tn}$ $V_{ds} < V_{gs} - V'_{tn}$	PÅ Lineær
$I_{ds} = P_c \frac{\beta}{2} \left(V_{gs} - V'_{tn} \right)^{\alpha} (1 + \lambda V_{ds})$	PÅ Metning	10^{-5}	A	$V_{gs} > V'_{tn}$ $V_{ds} > V_{gs} - V'_{tn}$	PÅ Metning

TABLE IX
AVANSERTE MODELLER FOR NMOS TRANSISTOR.

Modell	Funksjon	Verdi (typisk)	Benevning	Kommentar
$NM_L = V_{IL} - V_{OL}$	Støymargin lav (0)	0.1	V	
$NM_H = V_{OH} - V_{IH}$	Støymargin høy (1)	0.1	V	
$A = \frac{g_{out}}{g_{in}} \approx \frac{g_m}{g_{ds}}$	Forsterkning	20		
$R_{effektiv} = \sum_{i=1}^n \frac{R_i}{k_i}$	Motstand i n seriekoblede transistorer	R for minimum transistor	Ω	k_i er bredden på den <i>i</i> te.
$R_{effektiv} = R1 R2 = \frac{R1 \cdot R2}{R1 + R2}$	Motstand i 2 parallelkoblede transistorer		Ω	

TABLE X
CMOS PORTER.

Modell	Funksjon	Verdi (typisk)	Benevning	Betingelser	Kommentar
$R_{ekv} = \sum_{i=1}^n \frac{R_i}{k_i}$	Effektiv motstand	R_{min}	Ω	Worst case strømvei	k_i er bredden på den <i>i</i> te transistoren
$C_{utgang} = \sum C_{diff} = \sum_{i=1}^p k_i C$	Diffusjonskapasitans	fF	F	Kunn utgangen	k_i er bredden på den <i>i</i> te transistoren
$C_{par} = \sum_{j=1}^l (\sum_{i=1}^p k_i C)$	Diffusjonskapasitans	fF	F	Alle interne noder	k_i er bredden på den <i>i</i> te transistoren i den <i>j</i> te noden
$C_{ekst} = \sum C_g = \sum_{j=1}^l k_j C$	Gatekapasitans	fF	F	Porter som drives	k_j er bredden på den <i>j</i> te transistoren
$C_L = C_{par} + C_{ekst}$	Last kapasitans	fF	F		Pessimistisk (worst case) verdi
$t = R_{ekv} \cdot (C_{utgang} + C_{ekst})$	Tidsforsinkelse	ps	s		Pessimistisk (worst case) verdi
$t = R_{ekv} \cdot C_L$	Tidsforsinkelse	ps	s		Optimistisk (best case) verdi
$t = \sum_{i=1}^N (C_i \sum_{j=1}^i R_j)$	Tidsforsinkelse	ps	s	Alle noder i en strømvei	Elmore

TABLE XI
MODELLER FOR BEREGNING AV TIDSFORSINKELSE I PORT.