

# UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital mikroelektronikk

Eksamensdag: 8. juni 2016

Tid for eksamen: 14.30–18.30

Oppgavesettet er på 3 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

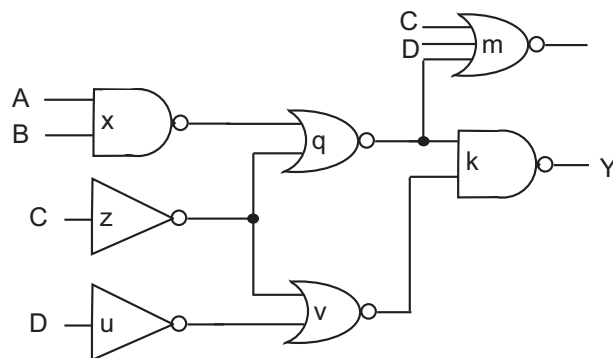
## Oppgave 1

Gitt funksjonen  $F = \overline{AE + C + DE}$ . Tegn transistorskjema for en komplementær CMOS port for funksjonen F.

## Oppgave 2

Hva blir *worst case* og *best case* stige- og falltid for porten i oppgave 1?

## Oppgave 3



Figur 1: Kjede med porter.

(Fortsettes på side 2.)

Finn logisk effort for kritisk signalvei til utgangen Y i Figur 1? Anta at utgangen skal drive en last tilsvarende 9 minimumsinvertere. Finn effort i den kritiske kjeden.

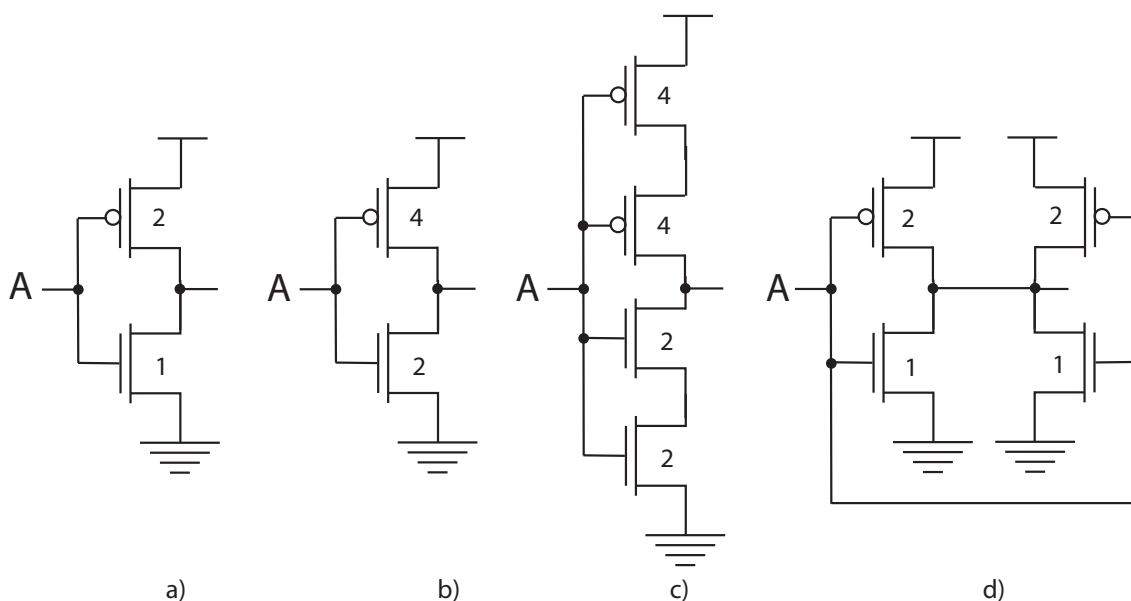
## Oppgave 4

Hva blir optimal effort for portene? Finn minimum kjedeforsinkelse. Finn transistorstørrelser for portene i kritisk signalvei som gir minimum kjedeforsinkelse.

## Oppgave 5

Hvordan kan funksjonen Y fra oppgave 3 implementeres ved hjelp av bare en komplementær CMOS port?

## Oppgave 6

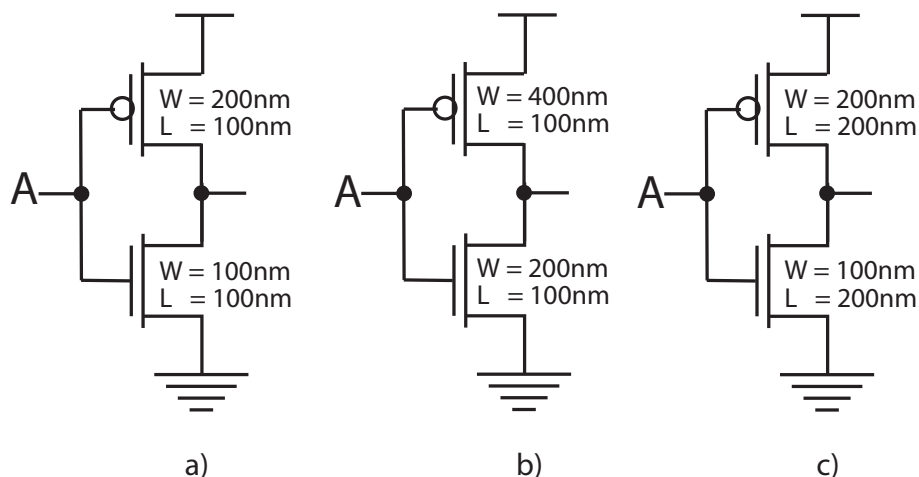


Figur 2: *Invertere.*

Gitt inverterne i Figur 2. Finn logisk effort og parasittisk tidsforsinkelse for portene.

(Fortsettes på side 3.)

## Oppgave 7



Figur 3: *Invertere.*

Gitt inverterne i Figur 3. Finn logisk effort og parasittisk tidsforsinkelse for portene. Hva blir elektrisk effort for portene dersom de skal drive en minimuminverter som i a)? Hvilken av portene har størst forsterkning og best støymargin?

## Oppgave 8

Hva er *latch up* og hvordan påvirkes *latch up* av en reduksjon i transistorstørrelser?

## Oppgave 9

Hva er støymargin og hvordan er sammenhengen med forsterkning? Hvordan påvirkes forsterkning av en reduksjon i  $V_{DD}$ ?