

# UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital nanoelektronikk

Eksamensdag: 13. juni 2017

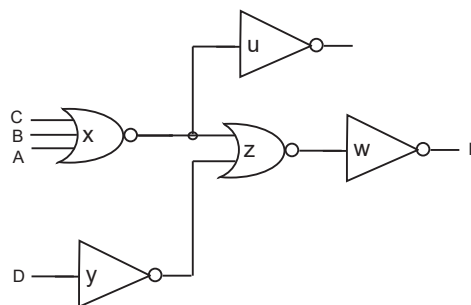
Tid for eksamen: 14.30–18.30

Oppgavesettet er på 3 sider.

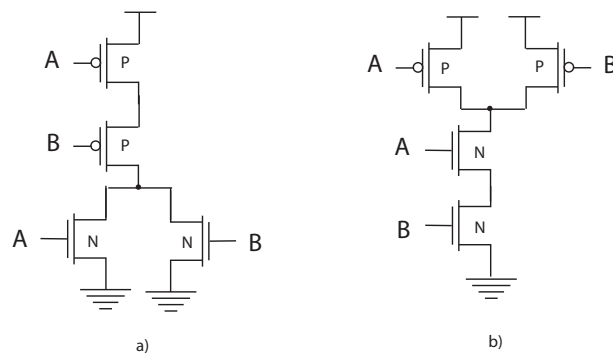
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator.

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.



Figur 1: Kjede med porter.



Figur 2: a) NOR2 og b) NAND2 porter der  $N$  er bredden på  $n$ MOS transistorene og  $P$  er bredden på  $p$ MOS transistorene.

(Fortsettes på side 2.)

## Oppgave 1

Hva blir logisk effort for kritisk signalvei til utgangen F i Figur 1? Anta at utgangen skal drive en last tilsvarende 6 minimumsinvertere. Finn effort i den kritiske kjeden.

## Oppgave 2

Hva blir optimal effort for portene i Figur 1? Finn minimum kjedeforsinkelse. Finn transistorstørrelser for portene i kritisk signalvei som gir minimum kjedeforsinkelse i Figur 1.

## Oppgave 3

Hvordan kan funksjonen F i Figur 1 implementeres ved hjelp av bare en komplementær CMOS port? Hva blir logisk effort og parasittisk tidsforsinkelse for porten?

## Oppgave 4

Gitt funksjonen  $F = \overline{ADCB + B + C}$ . Tegn transistorskjema for en komplementær CMOS port for funksjonen F.

## Oppgave 5

Hva blir parasittisk tidsforsinkelse, *worst case* stige- og falltid for porten i oppgave 4?

## Oppgave 6

Hva blir *best case* stige- og falltid for porten i oppgave 4?

## Oppgave 7

Gitt porten i Figur 2 a). Finn logisk effort og parasittisk tidsforsinkelse for porten for ulike transistor bredder:

1.  $P = 4N$ .
2.  $P = 2N$ .
3.  $P = N$ .

(Fortsettes på side 3.)

4.  $P = \frac{1}{2}N$ .

## Oppgave 8

Gitt porten i Figur 2 b). Finn logisk effort og parasittisk tidsforsinkelse for porten for ulike transistor bredder:

1.  $P = 4N$ .

2.  $P = 2N$ .

3.  $P = N$ .

4.  $P = \frac{1}{2}N$ .

## Oppgave 9

Hvordan kan vi forbedre støymarginen i et system?