

# UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital mikroelektronikk

Eksamensdag: 13. juni 2012

Tid for eksamen: 14.30 – 18.30

Oppgavesettet er på 2 sider.

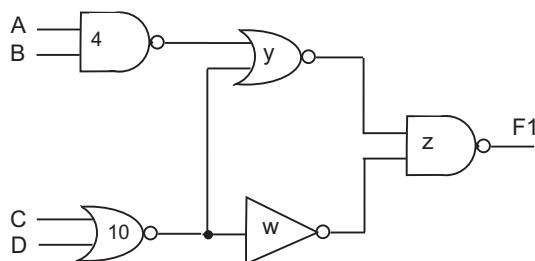
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

## Oppgave 1

1a



Figur 1: *Kjede med porter.*

Finn logisk effort for portene og logisk effort for kritisk signalvei. Anta at utgangen skal drive en last tilsvarende 4 minimumsinverttere. Finn kjedens effort og kjedens elektriske effort. Hva blir optimal effort for portene? Finn minimum kjedeforsinkelse.

1b

Finn transistorstørrelser for minimum kjedeforsinkelse når parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen.

1c

Hvordan kan an kjeden i deloppgave 1a forenkles uten å øke fan-in? Hva blir tidsforsinkelsen for kjeden da?

*(Fortsettes på side 2.)*

### 1d

Hvordan kan F1 implementeres ved hjelp av bare en komplementær CMOS port? Hva blir tidsforsinkelsen for denne porten?

### 1e

Bruk Elmore og finn tidsforsinkelsen for porten i deloppgave 1d når  $A = B = C = D = 1$ .

## Oppgave 2

### 2a

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av  $V_{gs}$  for ulike  $V_{ds}$  spenninger. Mårker terskelspenning, lineært område og metning på skissen.

### 2b

Hva er forskjellen på kanallengdemodulasjon og hastighetsmetning?

### 2c

Skissér strømmen i en transistor som funksjon av  $V_g$  for ulike  $V_{sb}$  spenninger.

### 2d

Hvorfor er forsterkning viktig? Hvordan kan vi øke robustheten i en krets?

### 2e

Tegn transistorskjema for funksjonen  $F2 = A \oplus B$ . Anta at utgangen skal drive en last tilsvarende 4 minimumsinvertere, hva blir tidsforsinkelsen for kretsen?