

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital mikroelektronikk

Eksamensdag: 10. juni 2011

Tid for eksamen: 9.00–13.00

Oppgavesettet er på 5 sider.

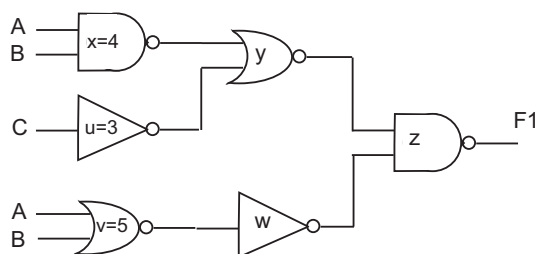
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a



Figur 1: Kjede med porter.

Finn logisk effort for portene og logisk effort for kritisk signalvei.

Anta at utgangen skal drive en last tilsvarende 4 minimumsinvertere.

Finn kjedens effort og kjedens elektriske effort.

Hva blir optimal effort for portene? Finn minimum kjedeforsinkelse.

Løsningsforslag

NAND2 $g = 4/3$, NOR2 $g = 5/3$, Inverter $g = 1$. Kritisk signalvei er fra A til $F1$. Logisk effort for signalveiern er $G = \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} = \frac{5 \cdot 4^2}{3^3}$. Kjødens elektriske effort er $H = \frac{4 \cdot 3}{x} = 3$. Kjødens effort er $F = G \cdot B \cdot H = \frac{5 \cdot 4^2}{3^3} \cdot 1 \cdot 3 = \frac{5 \cdot 4^2}{3^2}$. Optimal porteffort er $f' = F^{\frac{1}{3}} = 2.07$. Parasittisk tidsforsinkelse for kjeden er $P = 2+2+2 = 6$ og minimum kjedeforsinkelse blir $D = 3 \cdot 2.07 + 6 = 12.21$.

(Fortsettes på side 2.)

1b

Finn transistorstørrelser for minimum kjedeforsinkelse når parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen.

Løsningsforslag Parasittisk tidsforsinkelse $P = 6$. Dersom parasittisk tidsforsinkelse skal utgjøre halvparten av kjedeforsinkelsen må vi finne ny verdi på x og sette optimal porteffort $f' = P/N = 6/3 = 2$. Vi starter ved utgangen og finner $z = \frac{4 \cdot 12}{2} = 8$. Dette er en NAND2 port som gir følgende ligningsett; $N + P = 8$ og $P = N$, og løsningen er $N = P = 4$. Vi finner $y = \frac{5 \cdot 8}{2} = \frac{20}{3}$ og for en NOR2 port har vi; $N + P = \frac{20}{3}$ og $P = 4N$, og løsningen er $N = \frac{4}{3}$ og $P = \frac{16}{3}$. Vi kan finne ny verdi for x ved $x = \frac{4 \cdot \frac{20}{3}}{2} = 4.44$, og for en NAND2 port har vi følgende ligningsett; $N + P = 4.44$ og $P = N$, og løsningen er $N = P = 2.22$. Kjedeforsinkelsen blir i dette tilfellet $D = 12$.

1c

Hvordan kan F1 implementeres ved hjelp av bare en komplementør CMOS port?

Løsningsforslag

F1 kan uttrykkes som $F1 = \overline{(\overline{AB + C}) \cdot (\overline{A + B})} = \overline{ABC}$. Dette er en vanlig NAND3 port.

1d

Hvordan kan denne porten, fra oppgave 1c), dimensjoneres slik at tidsforsinkelsen, med ekstern last tilsvarende 4 minimumsinvertere, blir mindre enn minimum kjedeforsinkelse?

Løsningsforslag

Forsinkelse for den nye kjeden (NAND3) blir $D = 1 \cdot F + 3$, der $F = G \cdot B \cdot H = \frac{5}{3} \cdot 1 \cdot \frac{12}{i}$, og i er inngangskapasitans. Vi får ligningen; $\frac{12}{i} + 3 < 12$, som gir $i > \frac{20}{9}$. Minimum tidsforsinkelse har vi for eksempel når $i = 4$. Da er $N + P = 4$ og $P = \frac{2}{3}N$, og løsningen er $N = \frac{12}{5}$ og $P = \frac{8}{5}$. Kjedeforsinkelsen blir i dette tilfellet $D = 6$.

1e

Hvordan påvirkes støymarginer av teknologiutviklingen (liten transistor lengde)?

Løsningsforslag Bare stikkord her; SKRIV NOE MER PÅ EKSAMEN.

(Fortsettes på side 3.)

Foesterkningen reduseres med mindre L. Samtidig vil mindre L tvinge VDD ned slik at forskjellen på logisk 1 og 0 blir mindre. Alt dette går ut over støymarginen.

Hvordan påvirkes latchup av teknologiutviklingen (lav forsyningsspenning V_{DD} og små transistorer)?

Løsningsforslag

Noen PN overgangene er mindre reversforspent slik at latchup er mer sannsynlig. I tillegg vil antallet ladningsbærere som definerer logisk 1 og 0 være mindre pga mindre diffusjonsareal (egentlig volum). Dette betyr at kretsene kan bli mer utsatt for støy osv.

Oppgave 2

2a

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av V_{gs} for ulike V_{ds} spenninger. Mårker terskelspenning, lineært område og metning på skissen.

Løsningsforslag

Helt standard!

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av V_{ds} for ulike V_{gs} spenninger. Mårker terskelspenning, lineært område og metning på skissen.

Løsningsforslag

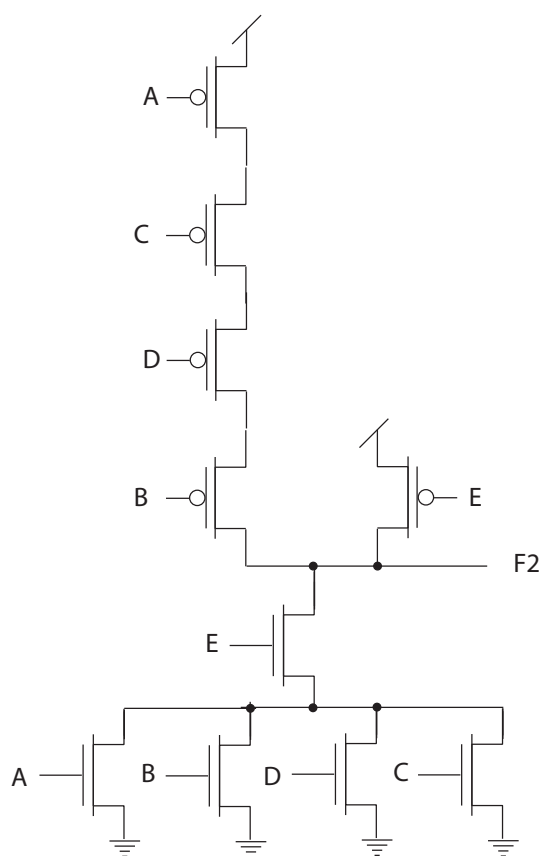
Helt standard!

2b

Tegn transistorskjema for en komplementær CMOS port for funksjonen $F2 = \overline{(A + B + C + D) \cdot E}$.

Løsningsforslag

(Fortsettes på side 4.)

Figur 2: $F2 = \overline{(A + B + C + D) \cdot E}$.**2c**

Gitt $\mu_n = 2\mu_p$. Finn transistorstørrelser slik at “worst case” stige- og falltid blir like.

Løsningsforslag

Vi ser at worst case for opptrekk er bestemt av $A = B = C = D = 0$ og $E = 1$. For worst case nedtrekk har vi $B = C = D = 0$ og $A = E = 1$. Alle interne noder er inkludert i begge tilfeller og dette fornkler oppgaven videre. Vi dimensjonerer som vanlig, $N = 2$ og $P = 8$, som gir effektiv motstand lik R .

2d

Anta at porten skal drive 4 minimumsinvertere.

Bruk Elmore og finn tidsforsinkelse når $A = B = C = D = 0$ og $E = 1$.

Løsningsforslag

$$t = 8C \cdot \frac{R}{4} + 8C \cdot \frac{R}{2} + 8C \cdot \frac{3R}{4} + 10C \cdot R = 22RC$$

(Fortsettes på side 5.)

Bruk Elmore og finn tidsforsinkelse år $D = 0$ og $A = B = C = E = 1$.

Løsningsforslag

$$t = 6C \cdot \frac{R}{6} + 10C \cdot \frac{2}{3}R = \frac{23}{3}RC$$

2e

Hva er forskjellen på kanallengdemodulasjon og hastighetsmetning?

Løsningsforslag

Kanallengdemodulasjon gjelder for lange transistorer ($L \geq 1\mu$) i metning. Hastighetsmetning skyldes ladningsbærere som koliderer i metning for korte transistorer ($L < 1\mu$).

Forklar forskjeller på dynamiske og statiske vipper.

Løsningsforslag

Statiske vipper har tilbakekobling og holder verdi uavhengig av klokkefrekvens. Dynamiske vipper har ikke tilbakekobling og er avhengig av høy klokkefrekvens.