

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital mikroelektronikk

Eksamensdag: 12. juni 2013

Tid for eksamen: 09.00 – 13.00

Oppgavesettet er på 2 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a

Gitt funksjonen $F1 = \overline{AB + CD + EF}$. Tegn transistorskjema for en komplementær CMOS port for funksjonen F1.

1b

Hva blir største (*worst case*) og minste stige- og falltid for en komplementær CMOS implementasjon for F1?

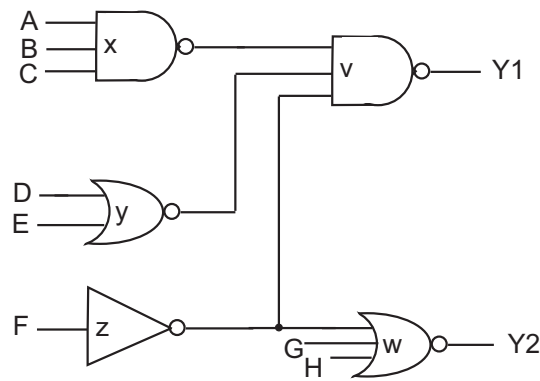
1c

Anta at $A = C = F = 1$ og $B = D = E = 0$. Bruk Elmore forsinkelsesmodell og finn tidsforsinkelsen med de aktuelle inngangene.

1d

Forklar grunnleggende forskjeller, fordeler og ulemper, på differensiell og ikke-differensiell logikk. Vis hvordan den komplementære porten i deloppgave 1a kan implementeres med en differensiell logikkstil.

(Fortsettes på side 2.)



Figur 1: Kjede med porter.

Oppgave 2

2a

Finn logisk effort for kritisk signalvei. Anta at utgangene skal drive last tilsvarende 6 minimumsinvertere. Finn effort i den kritiske kjeden og kjedens elektriske effort.

2b

Hva blir optimal effort for portene? Finn minimum kjedeforsinkelse. Finn transistorstørrelser for portene i kritisk signalvei som gir minimum kjedeforsinkelse.

2c

Hva er crosstalk? Hvordan kan crosstalk påvirke latch up?

2d

Gitt en inverter. Forklar hvordan endring i forsyningsspenningen (V_{DD}) påvirker:

1. Tidsforsinkelse.
2. Forsterkning.
3. Effektforbruk.
4. Støymargin.