

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i: INF3400 — Digital mikroelektronikk

Eksamensdag: 8. juni 2016

Tid for eksamen: 14.30–18.30

Oppgavesettet er på 8 sider.

Vedlegg: Ingen

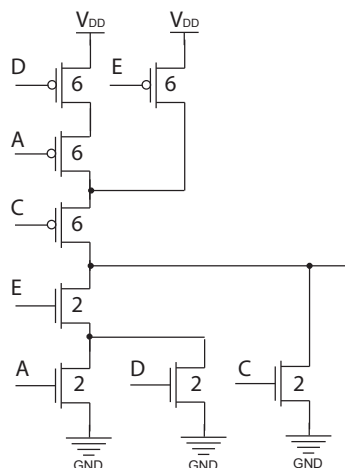
Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

Gitt funksjonen $F = \overline{AE + C + DE}$. Tegn transistorskjema for en komplementær CMOS port for funksjonen F.

Løsningsforslag



Oppgave 2

Hva blir *worst case* og *best case* stige- og falltid for porten i oppgave 1?

(Fortsettes på side 2.)

Løsningsforslag

Worst case stigetid, gitt $A = C = D = 0$ og $E = 1$:

$$t_r = R \cdot (6 + 12 + 6 + 4 + 2)C = 30RC = 10\tau \quad (1)$$

Worst case falltid, gitt $A = C = 0$ og $E = D = 1$:

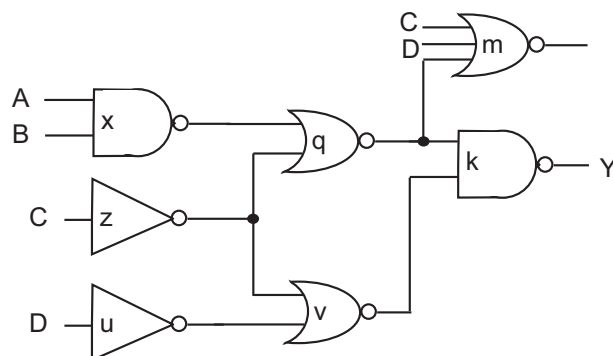
$$t_f = R \cdot (6 + 12 + 6 + 4 + 2)C = 30RC = 10\tau \quad (2)$$

Best case stigetid, gitt $A = C = D = E = 0$:

$$t_r = \left(\frac{2R}{3} \parallel \frac{R}{3} \right) + \frac{R}{3} \cdot (6 + 12 + 6 + 2)C = \frac{5R}{9} \cdot 26C \approx 4.8\tau \quad (3)$$

Best case falltid, gitt $A = C = D = E = 1$:

$$t_f = \left(\left(\left(\frac{R}{2} \parallel \frac{R}{2} \right) + \frac{R}{2} \right) \parallel \frac{R}{2} \right) \cdot (6 + 4 + 2)C = \frac{3R}{10} \cdot 12C = 1.2\tau \quad (4)$$

Oppgave 3

Figur 1: Kjede med porter.

Finn logisk effort for kritisk signalvei til utgangen Y i Figur 1? Anta at utgangen skal drive en last tilsvarende 9 minimumsinvertere. Finn effort i den kritiske kjeden.

Løsningsforslag

Logisk effort for kritisk signalvei, antar fra A til Y:

$$G = \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} = \frac{80}{27} \quad (5)$$

(Fortsettes på side 3.)

Den eksterne lasten er:

$$C_{ekstern} = (9 \cdot 3) C = 27C \quad (6)$$

Vi beregner branch effort for kjeden:

$$B = 1 \cdot \left(\frac{m+k}{k} \right) = \frac{7+4}{4} = \frac{11}{4} \quad (7)$$

Den elektriske efforten for kjeden er:

$$H = \frac{27}{x} \quad (8)$$

Vi finner kjedens effort:

$$F = G \cdot B \cdot H = \frac{80}{27} \cdot \frac{11}{4} \cdot \frac{27}{x} = \frac{220}{x} \quad (9)$$

Oppgave 4

Hva blir optimal effort for portene? Finn minimum kjedeforsinkelse. Finn transistorstørrelser for portene i kritisk signalvei som gir minimum kjedeforsinkelse.

Løsningsforslag

Vi antar at den totale tidsforsinkelsen i kritisk signalvei er det 2 ganger parastitisk tidsforsinkelse, dvs $D = 2P = 12$, effortforsinkelsen er lik halvparten av den totale tidsforsinkelsen, dvs 6. Vi kan anta at optimal porteffort, i kjeden som består av 3 porter, er $\frac{6}{3} = 2$.

Vi kan finne $x = \frac{220}{2} = 110$, som gir transistorstørrelser lik 13.75 for både nMOS og pMOS transistorene i den første porten. Minimum kjedesorsinkelse blir 12 og vi starter fra utgangen:

$$k = \frac{27 \cdot \frac{4}{3}}{2} = 18 \quad (10)$$

og nMOS og pMOS transistorene blir lik 9.

Vi fortsetter til q :

$$q = \frac{\left(1 + \frac{7}{4}\right) \cdot k \cdot \frac{5}{3}}{2} = \frac{\left(\frac{11}{4}\right) \cdot 18 \cdot \frac{5}{3}}{2} = 41.25 \quad (11)$$

som vi fordeler mellom nMOS og pMOS transistorene, nMOS $\frac{41.25}{5} = 8.25$ og pMOS $4 \cdot 8.25 = 33$.

Vi kan kontrollere tilslutt med x :

$$x = \frac{41.25 \cdot \frac{4}{3}}{2} = 27.5 \quad (12)$$

(Fortsettes på side 4.)

Oppgave 5

Hvordan kan funksjonen Y fra oppgave 3 implementeres ved hjelp av bare en komplementær CMOS port?

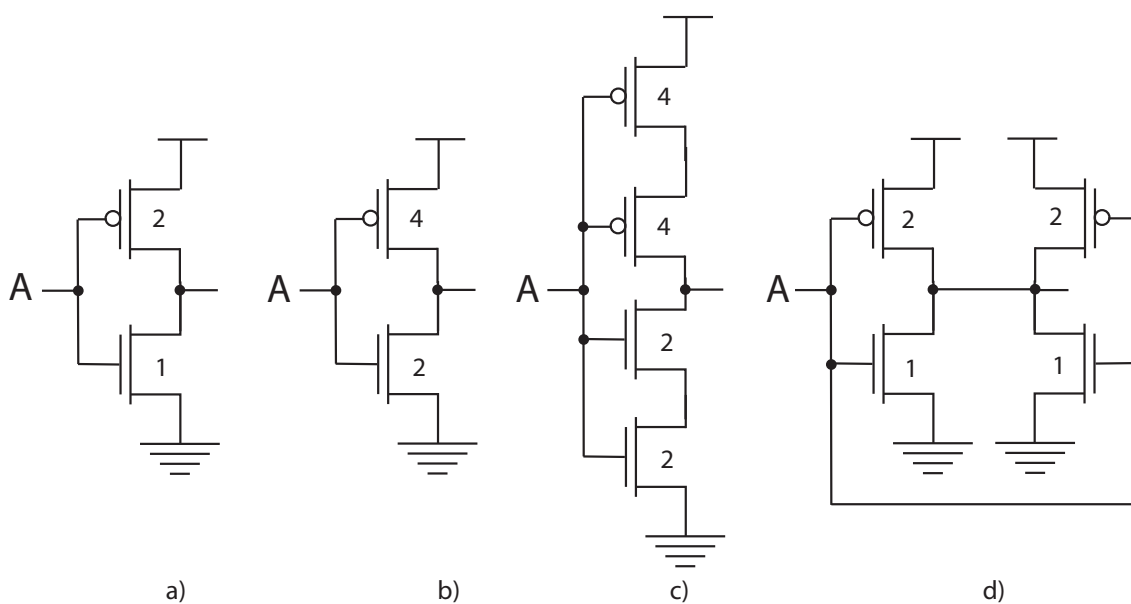
Løsningsforslag

$$Y = \overline{\overline{(A \cdot B + C)} \cdot (\overline{C + D})} \quad (13)$$

$$= \overline{ABCD} \quad (14)$$

Kretsen kan forenkles til en NAND4.

Oppgave 6



Figur 2: Invertere.

Gitt inverterne i Figur 2. Finn logisk effort og parasittisk tidsforsinkelse for portene.

Løsningsforslag

Port a):

$$g = 1 \quad (15)$$

$$p = 1 \quad (16)$$

(Fortsettes på side 5.)

Port b):

$$g = 1 \quad (17)$$

$$p = 1 \quad (18)$$

Port c):

$$g = \frac{12}{3} \quad (19)$$

$$= 4 \quad (20)$$

$$p = \frac{6}{3} \quad (21)$$

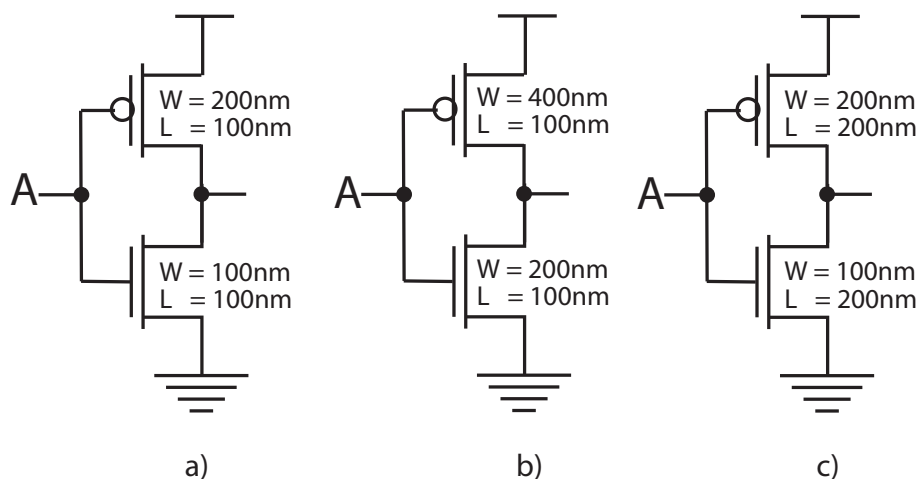
$$= 2 \quad (22)$$

Port d):

$$g = 1 \quad (23)$$

$$p = 1 \quad (24)$$

Oppgave 7

Figur 3: *Invertere.*

Gitt inverterne i Figur 3. Finn logisk effort og parasittisk tidsforsinkelse for portene. Hva blir elektrisk effort for portene dersom de skal drive en minimuminverter som i a)? Hvilken av portene har størst forsterkning og best støymargin?

Løsningsforslag

Port a):

$$g = 1 \quad (25)$$

$$p = 1 \quad (26)$$

$$h = 1 \quad (27)$$

Port b):

$$g = 1 \quad (28)$$

$$p = 1 \quad (29)$$

$$h = \frac{1}{2} \quad (30)$$

Port c), her antar vi at det er naturlig sammenligning med en halvering av bredde i forhold til standard minimumsinverter:

$$g = \frac{6}{1.5} \quad (31)$$

$$= 4 \quad (32)$$

$$p = \frac{3}{1.5} \quad (33)$$

$$= 2 \quad (34)$$

$$h = \frac{1}{2} \quad (35)$$

(Fortsettes på side 7.)

Oppgave 8

Hva er *latch up* og hvordan påvirkes *latch up* av en reduksjon i transistorstørrelser?

Løsningsforslag

Stikkord:

pn overganger Skal være reverforspent, men pga ulike grunner feks, støy kan pn overgangene bli forover forspent og generere latente bipolare transistorer.

Latente bipolare transistorer skal ikke være biaserte, men kan pga forover forspente pn overganger bli aktivert og lage en svak kortslutning mellom vdd og jord. Dersom kortslutningen blir tilstrekkelig sterk kan en ny bipolar transistor bli aktivert og skape en feedback som forsterker kortslutningen.

Kortslutning mellom Vdd og jord kan oppsto når to bipolare transistorer i en feedback og gjensidig forsterkning sørger for en aktiv kortslutning mellom vdd og jord.

Reduksjon i transistorstørrelser vil være mer følsom for støy og dermed øke risikoen for latch-up. Det er færre ladningsbærere i diffusjonsområdene og dermed mer sårbart.

Oppgave 9

Hva er støymargin og hvordan er sammenhengen med forsterkning? Hvordan påvirkes forsterkning av en reduksjon i V_{DD} ?

Løsningsforslag

Støymargin for en port er uttrykk for hvor robust porten er, dvs. hvor god den er til å tolke 0'er og 1'ere. Desuten er også støymarginen avhengig av hvor god den er til å gi godt definerte 0'ere og 1'ere på utgangen. Der hvor den deriverte er -1 i en VV karakteristikk for en port er det definert punkter for støymargin.

Forsterkning, dvs. småsignalforsterkning er definert som absoluttverdien til den deriverte i omslaget for en port, VV karakteristikk. Dersom vi har en uendelig skarp transisjon mellom 0 og 1, eller 1, og 0, betyr det at forsterkningen er uendelig (egentlig minus uendelig) og da vil det

(Fortsettes på side 8.)

ikke kunne forekomme inngangsverdier (mellom 0 og 1) som kan gi noe annet enn 0 eller 1 på utgangen. støymarginen er proporsjonal med absoluttverdien av forsterkningen.

En reduksjon i vdd vil kunne føre til økt forsterkning dersom forsyningspenningen kommer ned mot terskelspenningen for transistorene eller under. I praksis vil da være en eksponensiell sammenheng mellom strøm og inngangsspenningen (vgs) til en port (feks inverter). Vi kan uttrykke forsterkningen slik:

$$A = \frac{gm}{gds} \quad (36)$$

$$= \frac{\frac{gm}{Ids}}{\frac{gds}{Ids}} \quad (37)$$

$$(38)$$

Vi kan anta at f.eks. for en inverter at transistorene er i metning og da vil $\frac{gds}{Ids}$ være lik uansett om transistorene er i svak eller sterk inversjon. Derimot er $\frac{gm}{Ids}$ svært forskjellig avhengig av svak eller sterk inversjon. I svak inversjon er Ids eksponensiell og da blir $\frac{gm}{Ids}$, og dermed forsterkningen A , mye større enn om transistorene er i sterk inversjon. Dersom vdd blir lavere enn terskelspenningen for transistorene vil alle transistorene alltid være i svak inversjon.