

Løsningsforslag DEL1 og 2

INF3400/4400, våren 2006

YNGVAR BERG

I. OPPGAVER

A. Oppgave 1.3

Tegn en CMOS 4-inngangs NOR port på transistor nivå.

A.1 Løsningsforslag

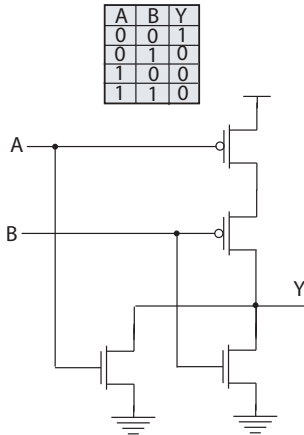


Fig. 1. To inngangs NOR port sjematikk og sannhetstabell. (FIG1.15a og Table 1.4)

Vi starter med å generalisere fra to inngangs NOR porten som er vist i figur 1. Vi husker at CMOS porter er inverterte dvs. dersom vi påtrykker bare logiske 1ere så vil utgangen bli 0. For en to-inngangs NOR port vil det være to transistorer i parallell. Vi kan uttrykke nedtrekket som $Y = 0$ når A eller B er 1, dvs. $A + B = 1$. Herav følger det at når $Y = 0$ så har vi at $A + B = 1 = \overline{Y}$. Dersom vi ser på opptrekket for en to-inngangs NOR port ser vi at de to pMOS transistorene er i serie slik at begge inngangssignalene må være 0 for at utgangen skal kunne trekkes opp til 1. Dette kan uttrykkes som når $Y = 1$ forutsetter at $A + B = 0$, som kan uttrykkes som $A + B = 0 = \overline{Y}$. Dersom vi ser på opptrekk og nedtrekk ser vi at forholdet mellom utgangen og de to inngangene kan uttrykkes som $A + B = \overline{Y}$ som er identisk med $Y = A + B$.

Dersom vi skal utvide NOR porten til en 4-inngangs NOR port kan dette uttrykkes som $Y = \overline{A + B + C + D}$. Y vil bli logisk 1 dersom alle inngangene er 0 og ellers logisk 0. Vi kan derfor generalisere en to-inngangs NOR port til fire-inngangs NOR port ved å sette fire nMOS transistorer i parallell mellom utgangen og logisk 0 (gnd) og fire pMOS transistorer i serie fra utgangen til logisk 1 (V_{DD}) som vist i figur 2.

B. Oppgave 1.4

Gitt funksjonen $Y = \overline{A \cdot (B + C) \cdot D}$, tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

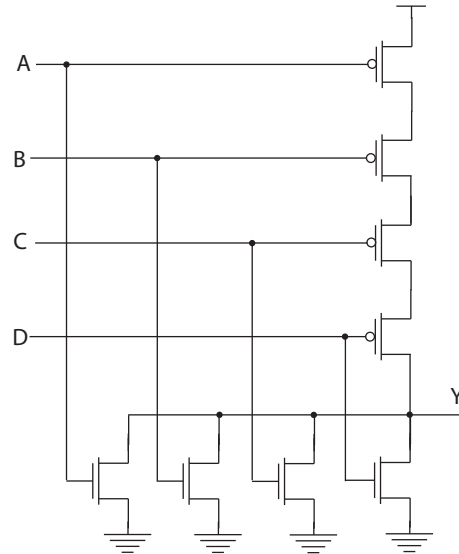


Fig. 2. NOR port med fire innganger.

B.1 Løsningsforslag

Vi kan starte med nedtrekket. Når funksjonen er på formen $Y = \overline{x}$ kan vi starte direkte med plassering av nMOS transistorer i serie og parallell avhengig av x . Dersom den boolske funksjonen ikke er på denne formen vil det lønne seg å bruke boolsk algebra slik at funksjonen kan uttrykkes på en slik form.

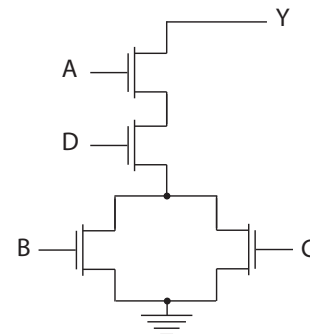


Fig. 3. Nedtrekk for komplementær CMOS port for funksjonen $Y = A \cdot (B + C) \cdot D$.

Av funksjonen ser vi at transistorene med inngangene B og C skal plasseres i parallell. Transistorene med inngangene A og D skal stå i serie og i serie med de to parallelle transistorene. Det vil lønne seg å plassere flest mulig transistorer ned mot logisk 0 eller gnd slik at nedtrekket kan se ut som vist i figur 3

Opptrekket som består av pMOS transistorer blir motsatt av nedtrekket, dvs. de transistorer som står i serie kommer i parallell og omvendt. Gitt funksjonen $Y = \overline{A \cdot (B + C) \cdot D}$ vil da B og C stå i serie, og A og D stå i parallell og i parallell med de to transistorene som står i serie. Dette er vist i figur 4.

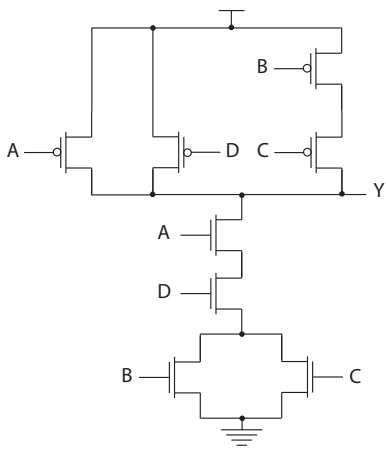


Fig. 4. Komplementær CMOS port for funksjonen $Y = A \cdot (B + C) \cdot D$.

C. Oppgave 1.5

Gitt funksjonen $Y = \overline{(A + B) \cdot (C + D)}$, tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

C.1 Løsningsforslag

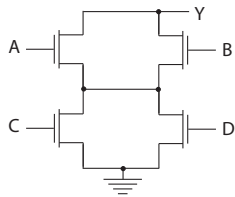


Fig. 5. Nedtrekk for komplementær CMOS port for funksjonen $Y = (A + B) \cdot (C + D)$.

Av funksjonen ser vi nedtrekket består av nMOS transistorer styrt av inngangene A og B i parallell, og nMOS transistorer styrt av inngangene C og D i parallell. Parallell transistorene vil stå i serie som vist i figur 5.

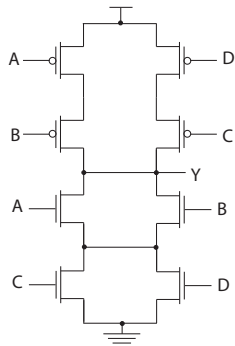


Fig. 6. Komplementær CMOS port for funksjonen $Y = (A + B) \cdot (C + D)$.

I optrekket får vi to parallelle greiner som hver vil bestå av to pMOS transistorer i serie som vist i figur 6.

D. Oppgave 1.6

Gitt funksjonen $Y = \overline{A \cdot B \cdot C + D}$, tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

D.1 Løsningsforslag

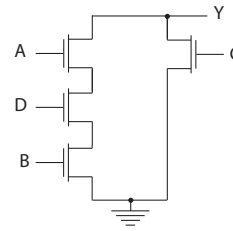


Fig. 7. Nedtrekk for komplementær CMOS port for funksjonen $Y = A \cdot B \cdot C + D$.

Nedtrekket vil bestå av tre nMOS transistorer i serie (A , B og C) som skal stå i parallell med en nMOS transistorer som har D som inngang. Nedtrekket er vist i figur 7.

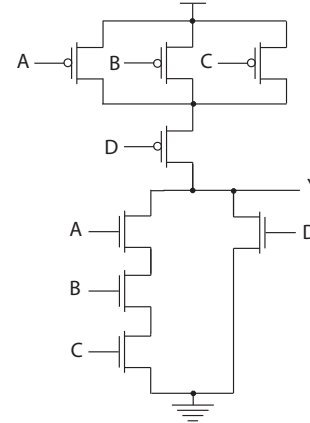


Fig. 8. Komplementær CMOS port for funksjonen $Y = A \cdot B \cdot C + D$.

Optrekket vil da bli tre pMOS transistorer i parallell (A , B og C) som skal stå i serie med en pMOS transistor med inngang D som vist i figur 6. Som vist plasseres flest mulig transistorer mot 0 eller gnd og 1 eller V_{DD} .

E. Oppgave 1.7

Tegn skjematikk på transistornivå for følgende funksjoner. Du kan anta at du også har inverterte signaler tilgjengelig.

- En 2 : 4 dekode definert ved $Y_0 = \overline{A_0} \cdot \overline{A_1}$, $Y_1 = A_0 \cdot \overline{A_1}$, $Y_2 = \overline{A_0} \cdot A_1$ og $Y_3 = A_0 \cdot A_1$.
- En 3 : 2 encode definert ved $Y_0 = \overline{A_0} \cdot (A_1 + \overline{A_2})$ og $Y_1 = \overline{A_0} \cdot \overline{A_1}$.

E.1 Løsningsforslag

En 2 : 4 dekode definert ved $Y_0 = \overline{A_0} \cdot \overline{A_1}$, $Y_1 = A_0 \cdot \overline{A_1}$, $Y_2 = \overline{A_0} \cdot A_1$ og $Y_3 = A_0 \cdot A_1$ er vist i Fig. 9. I løsningsforslaget brukes NAND porter for invertere for å realisere AND funksjon.

Et løsningsforslag for encode definert ved $Y_0 = \overline{A_0} \cdot (A_1 + \overline{A_2})$ og $Y_1 = \overline{A_0} \cdot \overline{A_1}$ er vist i Fig. 10.

E. Eksamensoppgave: Prøveeksamen 2005.

Gitt funksjonen $Y = \overline{(A \cdot B + C \cdot D)} + E$. Tegn et transistor-skjema (sjematikk) i komplementær CMOS for funksjonen.

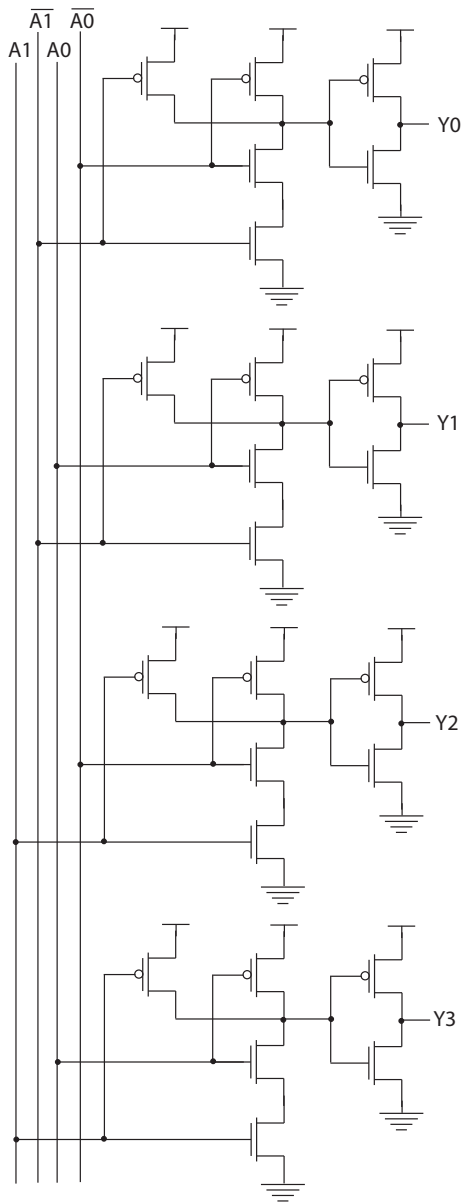


Fig. 9. Dekoder: definert ved $Y0 = \overline{A0} \cdot \overline{A1}$, $Y1 = A0 \cdot \overline{A1}$, $Y2 = A0 \cdot A1$ og $Y3 = \overline{A0} \cdot A1$.

F.1 Løsningsforslag

Som vi ser er funksjonen på en slik form at vi kan starte plasseringen av transistorer direkte. Vi starter med nedtrekket og ser at vi har tre ulike nedtrekksalternativer; 1) transistor styrt av A og B , 2) C og D og 3) E . Dette representerer tre parallelle signalveier fra utgangen Y til 0 (gnd) som vist i Fig. 11.

Vi trenger nå bare å supplere optrekket som består de tre parallelle nedtrekksveiene i parallell, men der seriekoblede transistor i nedtrekket kommer som parallellkoblede pMOS transistorer i optrekket som vist i figur 12.

G. Eksamensoppgave: Eksamen 2005.

Gitt funksjonen $Y = \overline{(A \cdot B + C \cdot D) \cdot E}$. Tegn et transistorkjema (sjematikk) i komplementær CMOS for funksjonen.

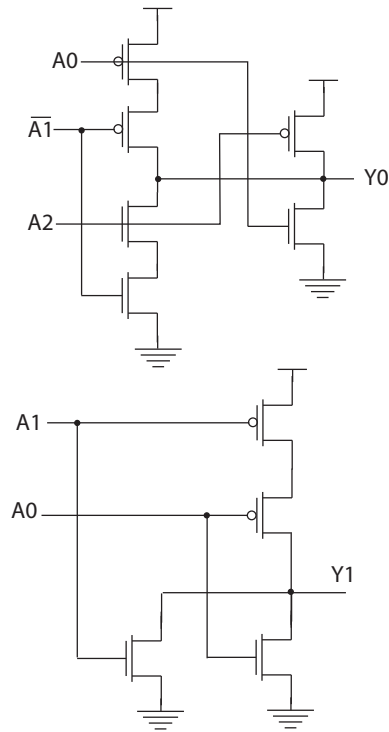


Fig. 10. Enkoder: definert ved $Y0 = \overline{A0} \cdot (A1 + \overline{A2})$ og $Y1 = \overline{A0} \cdot A1$

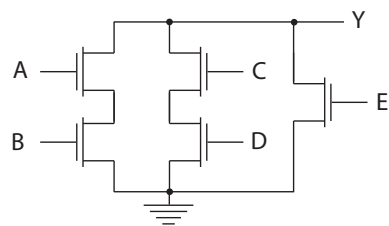


Fig. 11. Nedtrekket for $Y = \overline{(A \cdot B + C \cdot D) + E}$.

G.1 Løsningsforslag

Vi ser at funksjonen $Y = \overline{(A \cdot B + C \cdot D) \cdot E}$ ligner på funksjonen $Y = \overline{(A \cdot B + C \cdot D) + E}$. Ulikeheten er knyttet til inngangen E som skal multipliseres med $(A \cdot B + C \cdot D)$. Dette innebærer at nMOS transistoren i nedtrekket med E som inngang skal plasseres i serie med de to parallelle veiene gitt av A og B , og C og D som vist i Fig. 13.

Nå vil pMOS transistoren som styres av E komme i parallell slik at den danner en direkte kobling fra utgangen Y til logisk 1 (V_{DD}) som vist i Fig.14.

H.

Gitt en nMOS transistor i en 180nm CMOS prosess med bredde (W) lik $0.36\mu m$ og lengde (L) lik $0.18\mu m$. Anta at tykkelsen på tynnoksid (t_{ox}) er 50\AA og at mobiliteten er $200\text{cm}^2/V \cdot s$. Beregn β og gate kapasitans for transistoren.

H.1 Løsningsforslag

$$C_{ox} = \frac{3.9 \cdot 8.85 \cdot 10^{-14}}{50 \cdot 10^{-8}} \frac{F}{\text{cm}^2}$$

$$= 0.690310^{-6} \frac{F}{\text{cm}^2}$$

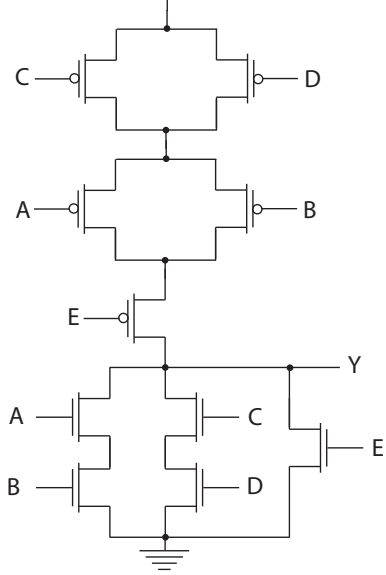


Fig. 12. $Y = (A \cdot B + C \cdot D) + E$.

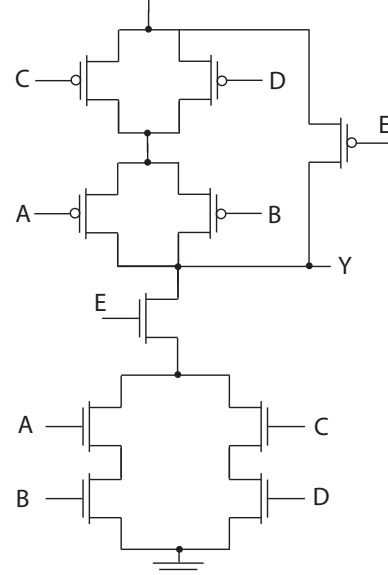


Fig. 14. $Y = (A \cdot B + C \cdot D) \cdot E$.

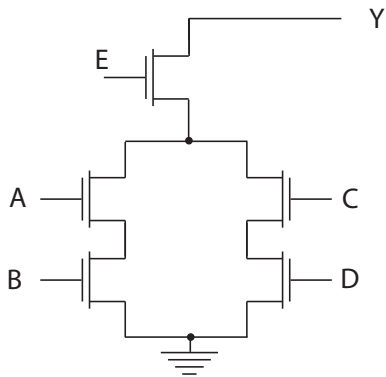


Fig. 13. Nedtrekket for $Y = (A \cdot B + C \cdot D) \cdot E$.

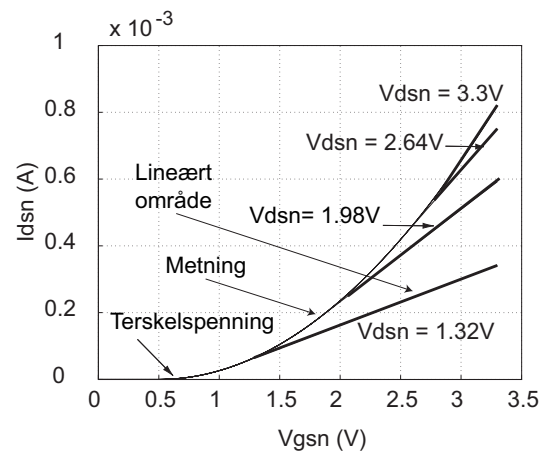


Fig. 15. Strøm som funksjon av V_{gs}

$$\begin{aligned}
 &= 0.690310^{-14} \frac{F}{\mu m^2} \\
 &= 6.903 \frac{fF}{\mu m^2} \\
 \beta &= \mu C_{ox} \frac{W}{L} \\
 &= 200 \cdot 0.690310^{-6} \left(\frac{0.36}{0.18} \right) \left(\frac{cm^2}{V \cdot s} \right) \left(\frac{F}{cm^2} \right) \\
 &= 138 \frac{W \mu A}{L V^2} \\
 &\approx 276 \frac{\mu A}{V^2} \\
 C_g &= C_{ox} W L \\
 &= 6.903 \cdot 0.36 \cdot 0.18 fF \\
 &= 0.44 fF
 \end{aligned}$$

I. Eksamensoppgave: Eksamen 2005.

Gitt enkle transistor modeller for nMOS transistor, skisser strøm som funksjon av V_{gs} for ulike V_{ds} spenninger. Marker terskelspenning, lineært område og metning på skissen.

I.1 Løsningsforslag, Fig. 15

J. Eksamensoppgave: Eksamen 2005.

Gitt enkle transistor modeller for nMOS transistor, skisser strøm som funksjon av V_{ds} for ulike V_{gs} spenninger. Marker lineært område og metning på skissen.

J.1 Løsningsforslag, Fig. 16

REFERENCES

[1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,

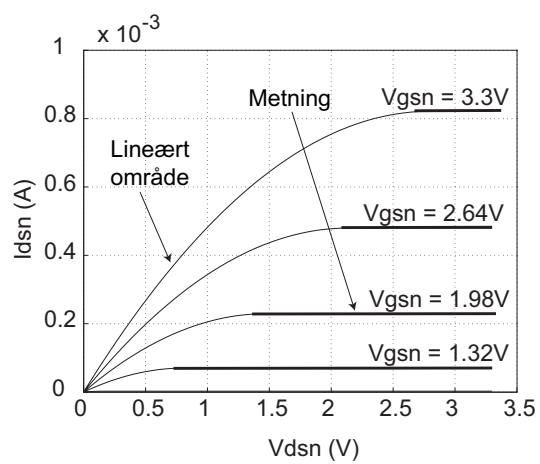


Fig. 16. Strøm som funksjon av V_{ds}