

# INF3400/4400 Digital Mikroelektronikk

## Løsningsforslag Oppgaver DEL 15

### Våren 2006

YNGVAR BERG

#### I. DEL 15

#### Del 15: Avansert CMOS

#### II. OPPGAVER

#### A. Hvordan er fremtiden for CMOS?

#### A.1 Løsningsforslag

#### Teori

Det har i mer enn 30 år vært en utvikling i integrert teknologi som har preg av en stabil forbedring. I 1965 forutså Gordon Moore en eksponensiell vekst i antall transistorer på en integrert krets med en gitt størrelse. Antallet transistorer doubles hver 18nde måned. Veksten avtar noe med moderne teknologier på grunn av meget stort effektforbruk med tilhørende problemer med varmeutvikling. I de siste 10 årene har antall transistorer blitt doblet med noe lengre tidsintervall. Det er forventet at denne utviklingen vil fortsette i 10 år til. Denne utviklingen kalles *Moore's lov*.

Når transistorstørrelsen reduseres vil dette bidra til raskere kretser, flere transistorer, redusert forsyningsspenninger, mindre effektforbruk i porter, men større effektforbruk per arealenhed fordi tettheten øker betydelig. Selv om hver transistor bidrar med mindre effektforbruk vil effekten som forbrukes øke fordi antall transistorer i en integrert krets øker kraftig. Andre effekter ved nedskalering er økt støy, økt mismatch, redusert forsterkning i porter og en rekke elektriske detaljer som bidrar med betydelig lekkasjestrømmer, for eksempel gate lekkasje.

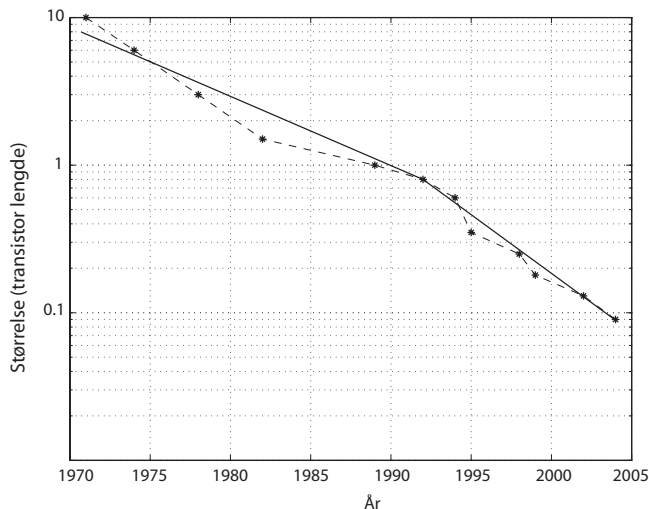


Fig. 1. Introduksjonstidspunkt for ulike prosesser (FIG4.65)

Introduksjon av ulike prosesser er vist i Fig.1

Et begrep som er viktig i skalering av MOS transistorer er såkalt *konstant felt skalering*. For å bevare transistorkarakteristikker til neste generasjon har man tenkt at en lik skalering av noen viktige parametere med en faktor  $S$ . Aktuelle parametere er

- Alle dimensjonene skaleres ( $W$ ,  $L$  og  $T_{ox}$ ).
- Spenninger, dvs. spenningsforsyninger.
- Dopekonsentrasjoner.

En annen tilnærming er *lateral skalering* der bare transistorenes gate lengde skaleres.

Parameter	Følsomhet	Konstant felt	Lateral
$L$ Lengde		$1/S$	$1/S$
$W$ Bredde		$1/S$	1
$t_{ox}$ Gateoksid		$1/S$	1
$V_{DD}$ Forsyningssp.		$1/S$	1
$V_t$ Terskelspenning		$1/S$	1
$N_A$ Substratdoping		$S$	
$\beta$	$\frac{W}{L} \frac{1}{t_{ox}}$	$S$	$S$
$I_{ds}$	$\beta(V_{DD} - V_t)^2$	$1/S$	$S$
$R$ (Motstand)	$\frac{V_{DD}}{I_{ds}}$	1	$1/S$
$C$ Gate kapasitans	$\frac{WL}{t_{ox}}$	$1/S$	$1/S$
$\tau$ Portforsinkelse	$RC$	$1/S$	$1/S^2$
$f$ Klokkefrekvens	$1/\tau$	$S$	$S^2$
$P$ Dyn effekt.	$CV^2f$	$1/S^2$	$S$
$A$ Areal		$1/S^2$	1
Effektetthet	$P/A$	1	$S$
Strømtetthet	$I_{ds}/A$	$S$	$S$

TABLE I

Skalering av MOS transistorer.

Effekten av konstant felt og lateral skalering for transistorer er vist i tabell I.

Prosessindustrien skalering en ny generasjon med  $S = \sqrt{2}$  som vil resultere i en dobling av antall transistorer. Transistorenes ytelse vil doubles for hver annen generasjon. Det er vanlig å gjøre små endringer på modne prosesser ved å skalere med  $S = 1.05$  (5%) for å øke kretsytelsen.

Ved skalering med konstant felt vil alle dimensjoner skaleres med en faktor  $1/S$ . Dette inkluderer transistor lengde og bredde og tykkelse på tynnoksid  $t_{ox}$ . Forsyningsspenning  $V_{DD}$  og terskelspenninger vil også skaleres med en faktor  $1/S$ , mens dopekonsentrasjonen for substratdoping skaleres med en faktor  $S$ . Fordi både avstand ( $L$ ) og spenning ( $V_{DD}$ ) skaleres likt vil elektrisk feltstyrke forbli nesten konstant. Gatekapasitans forblir også nesten upåvirket av skaleringen, dvs.  $1.5 - 2fF/\mu m$ .

Dersom man bare skalering transistorenes lengde og lar alle andre størrelser, spenninger og dopekonsentrasjoner være uendret kan man i utgangspunktet forvente en kvadratisk økning i

ytelse. På grunn av hastighetsmetning vil forbedring i ytelsen likevel bare være omvendt lineært avhengig av  $L$ . Det var vanlig å skalere med såkalt *konstant spenning*, som eksempel var det vanlig å opprettholde en forsynningsspenning på 5V for transistorlengder mellom  $6\mu\text{m}$  til  $1\mu\text{m}$  for å få best mulig ytelse. Dette er nå uvanlig på grunn av frykt for uønskede lekkasjer, ødeleggelse av tynnoksid (hot carriers) som kan føre til at transistorene blir ødelagt.

Det er to vanlige tilnæringer til skalering av interkonnekt; skalering av alle dimensjoner og holde høyden på ledere konstant.

Parameter	Følsomhet	Red.høyde	Konst.høyde
$w$ Bredde		$1/S$	$1/S$
$s$ Avstand		$1/S$	$1/S$
$t$ Tykkelse (høyde)		$1/S$	1
$h$ Oksidtykkelse		$1/S$	$1/S$

TABLE II

Skalering av interkonnekt. Skaleringsparametere.

Skaleringsparametere for skalering av interkonnekt er vist i tabell II.

Parameter	Følsomhet	Red.høyd	Konst.høyd
$R_w$ Motstand per l.		$1/S$	1
$C_{wf}$ Fringe kap. per l.	$t/s$	$S^2$	$S$
$C_{wp}$ Parallell pl. kap. per l.	$w/h$	1	$S$
$C_w$ tot. kap. per l.	$C_{wf} + C_{wp}$	1	$1...S$
$RC$ per l. $t_{wu}$	$R_w C_w$	$S^2$	$S...S^2$
$RC$ per l. $t_{wr}$	$\sqrt{RCR_w C_w}$	$\sqrt{S}$	$1... \sqrt{S}$
ant. konst. felt sk.			
Crosstalk støy	$\frac{1}{s}$	1	$S$

TABLE III

Skalering av interkonnekt. Karakteristikker per enhetslengde.

Karakteristikker per enhetslengde ved skalering av interkonnekt er vist i tabell III.

Parameter	Følsomhet	Red.høyde	Konst.høyde
$l$ lengde		$1/S$	$1/S$
$RC$ forsinkelse	$l^2 t_{wu}$	1	$1/S...1$
$RC$ forsinkelse ant. konst. felt sk.	$l t_{wr}$	$\sqrt{1/S}$	$1/S... \sqrt{1/S}$

TABLE IV

Skalering av interkonnekt. Lokale/skalerte interkonnekt karakteristikk.

Lokal/skalerte interkonnekt karakteristikk for skalering av interkonnekt er vist i tabell IV.

Globale interkonnekt karakteristikk for skalering av interkonnekt er vist i tabell V.  $D_c$  står for en skalert chip (die) størrelse, typsik 1.1.

Dersom interkonnekt skaleres tilsvarende som transistorer vil mer og mer av tidsforsinkelen ligge i interkonnekt og ikke i portene. I gamle prosesser der avstand mellom ledere og bredden på ledere var mye større enn tykkelsen på lederne, var det fordelaktig å skalere bredden og ikke tykkelsen på lederne.

Parameter	Følsomhet	Red.høyde	Konst.høyde
$l$ lengde		$D_c$	$D_c$
$RC$ forsinkelse	$l^2 t_{wu}$	$S^2 D_c^2$	$S D_c^2 ... S^2 D_c^2$
$RC$ forsinkelse ant. konst. felt sk.	$l t_{wr}$	$D_c \sqrt{S}$	$D_c ... D_c \sqrt{S}$

TABLE V

Skalering av interkonnekt. Globale interkonnekt karakteristikk.

$D_c$  står for en skalert chip (die) størrelse, typsik 1.1

Dette betyr at det ikke var en kvadratisk økning i motstand per lengdeenhet og som samtidig var samtidig akseptabelt med hensyn på kantkapasitans (fringe) som er avhengig av tykkelsen på lederne. I moderne prosesser er kantkapasitans (fringe) for ledere en viktig del av den totale kapasitans i en krets. I tillegg er crosstalk et betydelig større problem i moderne prosesser. Det er derfor vanlig å redusere tykkelsen på metalledere.

Internasjonal teknologi roadmap for halvledere (ITRS) er utviklet og blir oppdatert av Semiconductor Industry Association. Poenget med dette er å holde en oversikt over teknologiutviklingen og å bidra til at systemer er kompatible.

ITRS spår generasjonsskifte i halvlederteknologi hvert tredje år. Et slikt generasjonsskifte kalles også *teknologi node*. Skalering mellom generasjoner er tradisjonelt  $S = \sqrt{2}$ , som betyr at antall transistorer doubles for hver generasjon.

	2001	2004	2007	2010	2013	2016
Størrelse (nm)	130	90	65	45	32	22
$V_{DD}$	1.1-1.2	1-1.2	0.7-1.1	0.6-1.0	0.5-0.9	0.4-0.9
Transistorer (millioner)	193	385	773	1564	3092	6184
Metallag	8-10	9-13	10-14	10-14	11-15	11-15
Pitch (nm)	450	275	195	135	95	65
Interk. dielectr.	3 3.6	2.6- 3.1	2.3- 2.7	2.1	1.9	1.8
I/O sign.	1024	1024	1024	1280	1408	1472
Klokkef. (MHz)	1684	3990	6739	11511	19348	28751
FO4 forsin/cycl	13.7	8.4	6.8	5.8	4.8	4.7
Max effekt (W)	130	160	190	218	251	288
DRAM (Gbits)	0.5	1	4	8	32	64

TABLE VI

Forventet utvikling fra ITRS.

Forventet utvikling fra ITRS er vist i tabell VI.

### Utviklingen fremover

Forventet transistorlengde, wire pitch og maks. effekt er vist i Fig. 2.

Antall metallag er vist i Fig. 3.

Dielektrisk konstant for interkonnekt er vist i Fig. 4.

Forventet utvikling av DRAM (Gbits) er vist i Fig. 5.

Forventet frekvens er vist i Fig. 6.

Maks. effekt er vist i Fig. 7.

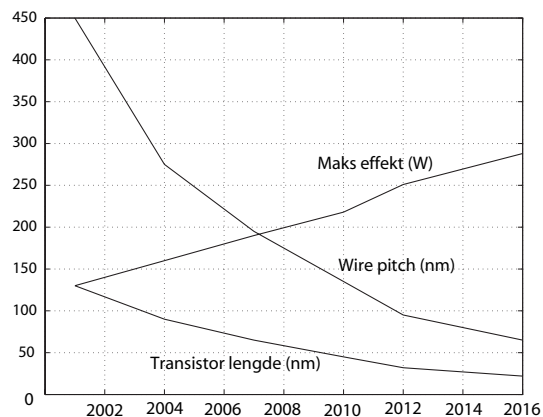


Fig. 2. Forventet transistorlengde, wire pitch og maks. effekt.



Fig. 4. Dielektrisk konstant for interkonnekt.



Fig. 3. Antall metallag.

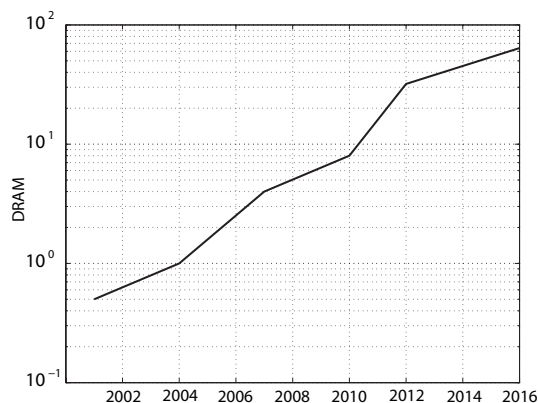


Fig. 5. Dram (Gbits).

## B. Hvordan vil teknologitvillingen påvirke design?

### B.1 Løsningsforslag

#### Teori

Det er i første rkke økt ytelse som er viktig ved skalering av teknologi. Transistorene blir billigere fordi man kan integrere langt flere transistorer på samme areal. Dette forholdet bør i sterkere grad påvirke systemdesignere til å utnytte både økt ytelse og økt kompleksitet gjennom nye produkttyper og designmetoder.

I Fig. 9 er antall transistorer som produseres vist. Som vi ser er det en stabil eksponensiell økning i antall integrerte transistorer fra 1968.

Pris per integrert transistor er vist i Fig. 10. Selv om prisen for en integrert krets kan stige ved overgang til en ny generasjon vil prisen per transistor gå ned.

Mens transistorene og portene får en betydelig økt ytelse ved nedskalering, gjelder dette ikke i samme grad for interkonnekt. Det motsatte kan faktisk være tilfellet.

Endring i tidsforsinkelse for porter og ledere er vist i Fig. 11. Tidsforsinkelsen i porter går ned fra ca.  $23ps$  for  $650nm$  til ca  $3ps$  for  $100nm$ . For aluminiumledere med lengde  $43\mu m$  vil derimot tidsforsinkelsen øke fra ca.  $2ps$  til ca.  $41ps$ . Vi ser at kobber med lav  $k$  har mindre tidsforsinkelse, men også her er en betydelig økning fra ca.  $1ps$  til ca.  $11ps$ . Dersom vi ser på en port og en leder vil tidsforsinkelsen tilsammen synke for teknologier ned til ca.  $350 - 250nm$  for så å stige for mer

moderne teknologier. Nå er det grunn til å bemerke at en leder på  $43\mu m$  er relativt lenger i en moderne teknologi enn i en gammel teknologi, men det er ikke alltid lett å skalere lengden på ledere på samme måten som bredden skaleres. Det vil imidlertid legge press på designerne til å konsentrere mer av designarbeidet mot effektiv signalføring i ledere. Korte ledere som brukes til svært lokal ruting av signaler er fortsatt neglisjerbar. I moderne teknologier er antall metallag meget høyt, og de øverste lagene kan brukes til å lage lav-ohmig raske ledere ved å skalere de motsatt av resten av skaleringsparameterne.

Effektforbruk, eller presist effekttettheten, i integrerte kretser har økt dramatisk med nye teknologier. Dette kommer av at klokkefrekvensen øker sterkt. Dynamisk effektforbruk er som kjent proporsjonal med frekvensen. Man kunne tro at statisk effektforbruk ville gå ned fordi forsyningsspenningen går ned, men dette blir oppveid av en kraftig stigning i lekkasjestrømmer gjennom transistorer som er skrudd av. Husk at terskelspenningen går ned og at dette vil heve strømnivået for transistorer som er skrudd av. I moderne teknologier er avstrømmen i nano ampere området.

Effektforbruket i Intel prosessorer ifra tidlig på syttitallet og frem mot 2010 er vist i Fig. 12. Det økte effektforbruket er en kritisk faktor som kan begrense en naturlig utvikling av integrerte kretser framover. Det er grunn til å regne med at økning i klokkefrekvenser ikke kommer til å fortsette i samme takt som før, fordi klokkesignalene vil ligne mer og mer på en sinus. Det er vanskelig å få kretser som er avhengig av klokkeflanker for synkronisering til å fungere optimalt med sinus signaler som klokker. I moderne teknologier vil transistorer med ulike terskel-

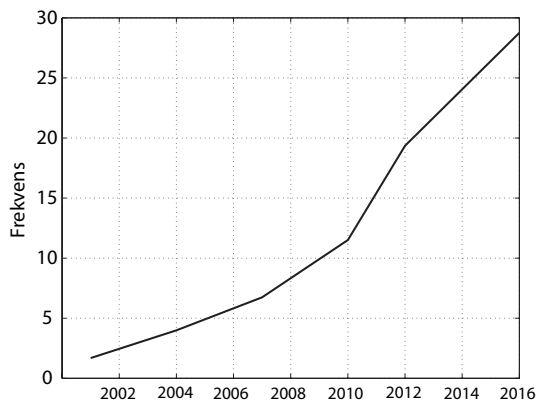


Fig. 6. Forventet frekvens.

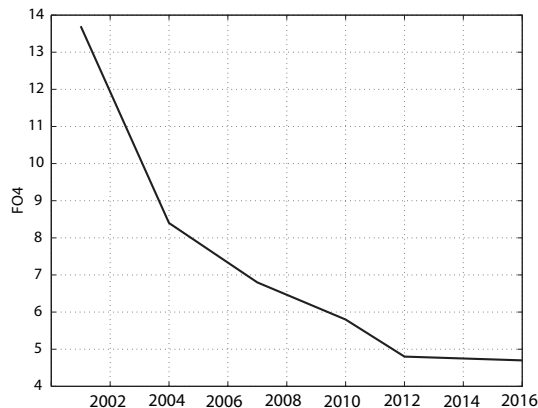


Fig. 8. .

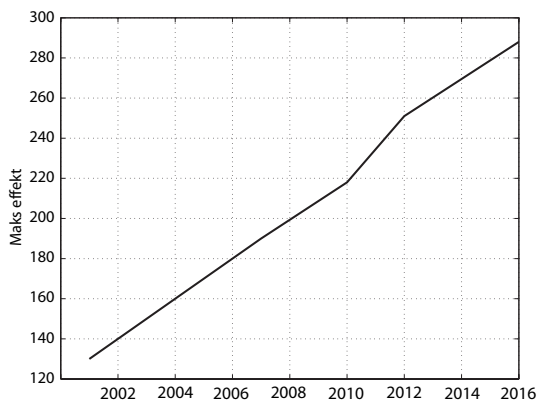


Fig. 7. Maks. effekt.

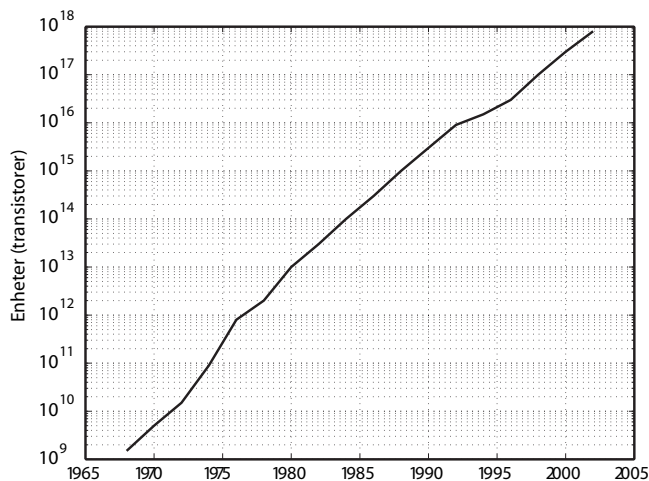


Fig. 9. Antall transistorer som produseres på integrerte kretser.

spenninger være tilgjengelig.

Antallet transistorer som er tilgjengelig for designere øker langt raskere enn designernes produktivitet. I praksis vil det være mangel på designere når økonomien er god. Det er derfor lagt stor vekt på å utvikle metoder for å øke produktiviteten i designfasen, ofte på bekostning av areal og ytelse. Det er vanlig å designe digitale integrerte systemer ved hjelp av syntese og automatisk plassering og ruting. Dette betyr at det er en forskyvning fra kretsdesign til systemdesign. På den andre siden vil det være en rekke systemer der ytelsen er svært avgjørende og vil kreve en god del detaljdesign. For utvikling av komplekse digitale systemer kreves ofte meget store team.

Hvor langt vil CMOS skalere? Det er åpenbart at skaleringen ikke kan fortsette uendelig lenge. Dagens transistorer vil ikke kunne fungere med en oksidtykkelse som er mindre enn et atom, kanaler som er kortere enn et atom og med ladning mindre enn et elektron. CMOS teknologiens endelikt har blitt spådd en rekke ganger. I 1972 trodde man at den nedre grensen var  $250nm$  pga. av uheldige elektriske karakteristikk som oppstår. Samtidig ble det anslått at frekvensen ville være  $10 - 30MHz$ . I 1999 antok man at den nedre grensen på  $100nm$  ville bli nådd i 2004.

Det er en rekke faktorer som vil påvirke ytelsen i negativ retning fremover

- Dynamisk effektforbruk.
- Lekkasje i svak inversjon for lav  $V_{DD}$  og lav  $V_t$ .
- Tunnellering gjennom tynt tynnoksid.
- Lav spenningsforsterkning pga. kortkanalseffekter.
- Optikk for fremstilling av integrerte kretser.

- Elektromigrasjon.
- Tidsforsinkelse i interkonnekt.

Det ser nå ut til at det ikke er noen fundamental barriere før  $35nm$  i 2013.



Fig. 10. Pris per integrert transistor.

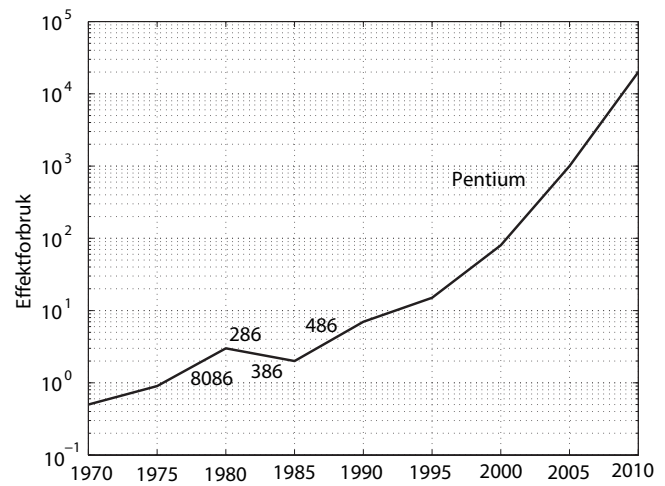


Fig. 12. Effektforbruk i Intel prosessorer.

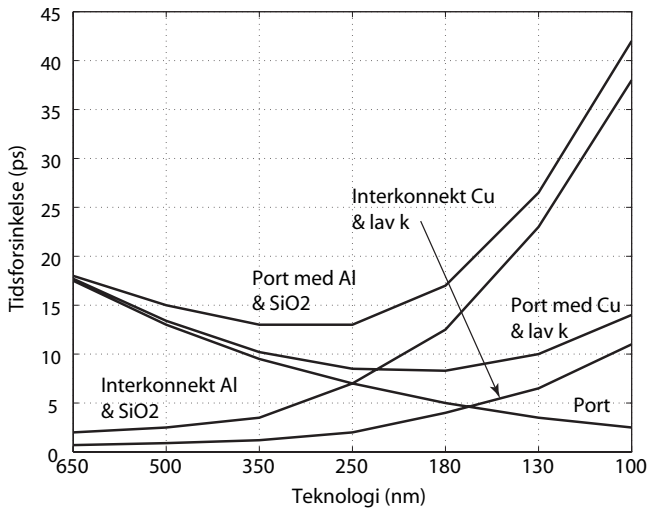


Fig. 11. Skalering av tidsforsinkelse i porter og ledere. Al  $3.0\mu\Omega\text{-cm}$ , Cu  $1.7\mu\Omega\text{-cm}$ ,  $\text{SiO}_2$   $k = 4.0$ , Lav  $k$   $k = 2.0$ , Al og Cu tykkelse  $0.8\mu\text{m}$  og Al og Cu leder  $43\mu\text{m}$  lang.

### C. Hva er de viktigste kretsprobleme for moderne CMOS?

Designere har en tendens til å bruke enkle kretser fordi de er robuste. Statisk CMOS er mest robust og bør brukes når det er mulig. Det er en rekke forhold som kan få kretser til å feile.

- Terskelfall.
- Nivåfeil.
- Lekasje.
- Laddningsdeling.
- Støy på spenningsforsyningen.
- Cross talk.
- Injeksjon av miniritetsbærere.
- Back-gate variasjon.
- Følsomhet for støy i diffusjonsområder.
- Race tilstander.
- Matching av tidsforsinkelser.
- Metastabilitet.
- Hot spots.
- soft errors.
- Prosess følsomhet.

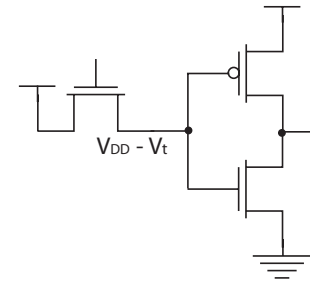


Fig. 13. Passtransistor med terskelfall.

Passtransistorer er gode til å trekke noder i en bestemt retning, nMOS ned og pMOS opp. I motsatt retning vil passtransistoren bli skrudd av når source spenningen nærmer seg gate-spenningen. En nMOS passtransistor som skal drive en port er vist i Fig.13. Utgangen av passtransistoren kan bare trekkes opp til  $V_{DD} - V_t$ . Vi får derfor et *terskelfall* over en passtransistor. Dette er egentlig for optimistisk fordi body effekten vil begrense spenningsvinget på utgangen på passtransistoren ytterligere. Spenningen blir for lav til at pMOS transistoren i porten, dvs. inverteren, blir skrudd helt av. Dette resulterer i statisk effektforbruk i porten. Dersom  $V_{DD}$  er svært lav kan til og med nivåfeil på utgangen forekomme. I eldre prosesser med høy forsyningsspenning kunne et terskelfall tolereres.

Pseudo nMOS logikk illustrerer nivåbegrensinger som oppstår når en node trekkes opp og ned samtidig. Svake transistorer må være så svake at utgangsnivået faller under  $V_{IL}$  for neste port på grunn av støymarginer. Nivålogikk bør simuleres i SF og FS hjørner.

Et annet eksempel på nivåfeil er knyttet til kretser med tilbakekobling, for eksempel dynamiske keepers, SRPL[2] og LEAP[3] med nivå restaurering.

For kretser med input i diffusjon ( $D$ ) er det spesielt viktig å være oppmerksom på mulige nivåfeil. I FIG. 14 er det vist en statisk latch med en svak tilbakekoblingsinverter. Det er viktig at tilbakekoblingsinverteren er så svak at den ikke overstyrer signalet som kommer fra inngangen  $D$  via transmisjonsporten.

I FIG. 15 er det vist en statisk latch der inngangen  $D$  er styrket for å motstå tilbakekoblingsinverteren.

I FIG. 15 er det vist en statisk latch der inngangen  $D$  er styrket for å motstå tilbakekoblingsinverteren og modell for motstand og kapasitans i ledere er inkludert.

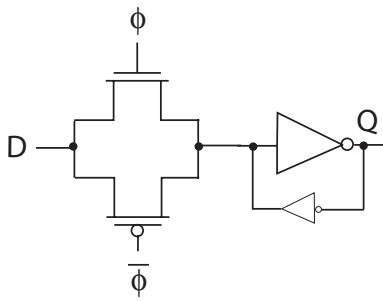


Fig. 14. Statisk latch med svak tilbakekoblingsinverter.

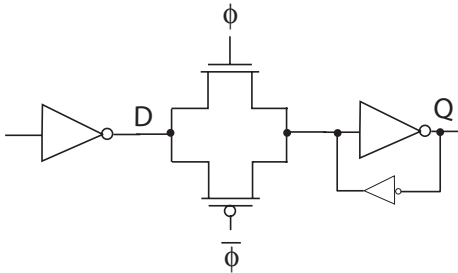


Fig. 15. Statisk latch med styrket inngangsdriever.

Lekkasjeprosblemer blir et stadig et større og større problem. Lekkasjestrømmer er knyttet til strøm gjennom transistorer som er skrudd av (av-strøm), gate tunnelering og reversstrøm gjennom dioder. Av-strømmene blir stadig større fordi terskelspenningene reduseres og fordi antall transistorer øker. Gate lekkasje vil bli mer signifikant når tykkelsen på tynnoksid reduseres. I tillegg til at lekkasje bidrar til statisk effektforbruk kan nivåfeil oppstå. Dette gjelder spesielt for elektriske noder som er svakt drevet. Tiden som trengs for at en dynamisk node skal endres spenningsmessig med  $\Delta V$  som følge av lekkasjestrøm  $I_{lekkasje}$  kan uttrykkes som

$$t = \frac{C_{node}\Delta V}{I_{lekkasje}}. \quad (1)$$

Av-strømmer vil gradvis bidra til at nodespenninger endres gjennom transistorer som er av. Fullstendig dynamiske kretser er ofte ikke mulige å bruke i de fleste moderne prosesser. Problemet med lekkasjestrømmer og logisk nivå blir større når det er flere transistorer i serie, som for eksempel i NOR porter. Av-strømmer blir mye mindre når det er to transistorer i serie som er skrudd av fordi den transistoren som er koblet mot spenningsreferansen vil ha en mye mindre drain-source spenning og dermed mindre DIBL[4] effekt. Det blir etterhvert vanlig med teknologier der man har et utvalg av transistorer som har forskjellig terskelspenning.

Fig. 17 viser en dynamisk port som skal drive en transmisjonsport. Anta at den dynamiske porten har blitt precharget og utgangen X er høy, men udrevet eller flytende. Dersom transmisjonsporten er av kan vi anta at  $Y = 0$ . Dersom transmisjonsporten blir skrudd på kan vi anta at både X og Y er udrevet slik at spenningsnivået på disse nodene vil nærme hverandre på grunn av ladningsdeling.

$V_{DD}$  og  $GND$  er ikke konstant over en hel integrert krets. Begge forsyningslinjene vil bli påvirket av støy som følge av fall i  $IR$  og  $di/dt$  støy.  $IR$  fall skjer fordi det er motstand i forsyningsledere mellom eksterne innganger (selve forsyningen) og ulike blokker som trekker strøm i den integrerte kretsen.

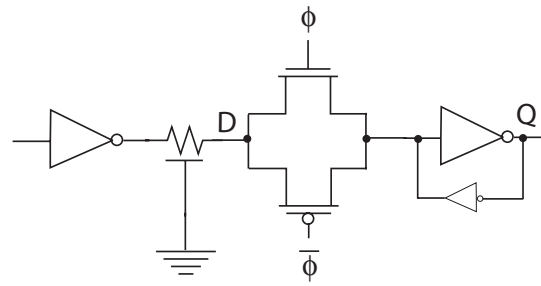


Fig. 16. Statisk latch med modellering av leder.

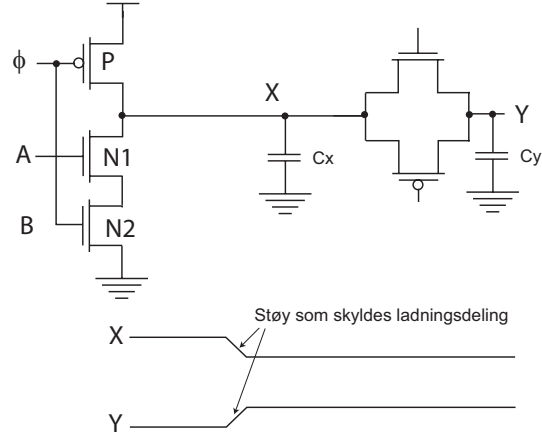


Fig. 17. Ladningsdeling.

Dette er vist i Fig. 18.  $di/dt$  støy oppstår i forsyningsledere på grunn av induktans og strømmer i rask endring.

Støy i forsyningsledere vil påvirke ytelse i en krets negativt. Typisk vil støy på forsyningsledere resultere i 5% – 10% avik for  $V_{DD}$ .

Transistorenes ytelse, dvs. som strømkilde, avtar med økende temperatur[6]. Ujevn temperatur og såkalte *hot spots* i en integrert krets kan forekomme fordi det vil være ujevn strømmtrekk eller effektforbruk i ulike deler av en krets. Dette fører til at tidsforsinkelse vil variere avhengig av lokale temperaturer. Det vil være fordelaktig å designe kretser der effektforbruket blir jevnest mulig over hele kretsarealet, eller i det minste at man simulerer effekten av lokal temperaturvariasjoner på kretsens ytelse.

Det vil kunne forekomme spenninger som ikke ligger innenfor begrensningene gitt av forsyningspenningene, dvs. intervallet  $GND$  til  $V_{DD}$ . Slike spenninger kan genereres via kapasitive koblinger og induksjon i I/O drivere. Disse spenningsverdiene kan i noen tilfeller, som regel tidsbegrenset, resultere i at pn overganger (dioder) blir foroverforspent typisk ved uheldig spenningsforskjeller mellom drain på MOS transistorer og substrat. Resultatet av dette blir at det vil gå en lekkasjestrøm til substrat. Denne effekten kalles *injeksjon av minoritetsbærere*. Resultatet kan også bli latchup[7].

I Fig. 19 er injeksjon av minoritetsbærere i en nMOS transistor vist. Elektroner er majoritetsbærere fra source til drain og minoritetsbærere fra drain til substrat (eller source).

I Fig. 20 er det vist et eksempel på injeksjon av minoritetsbærere til substrat og til en dynamisk elektrisk node i form av et drain/source område på en nærliggende nMOS transistorer. Dette er et problem som er spesielt viktig for dynamiske porter og følsomme analoge kretser.

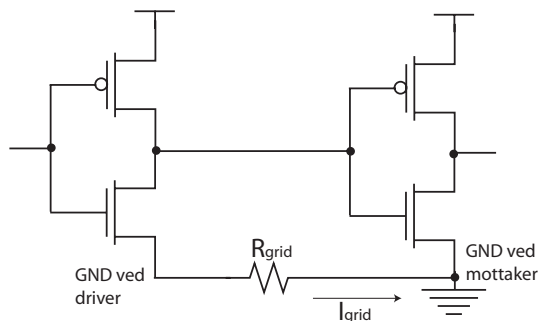


Fig. 18. IR problemer.

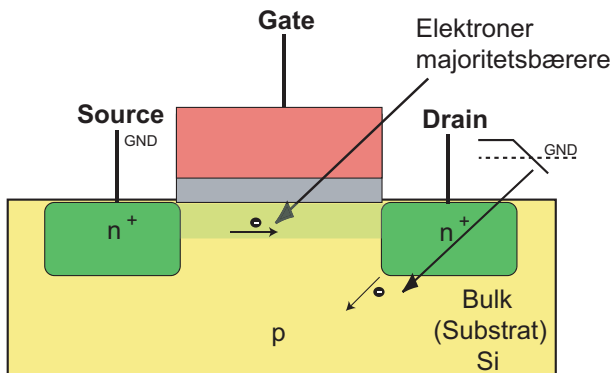


Fig. 19. Injeksjon av minoritetsbærere..

I Fig. 21 er det vist hvordan dynamiske noder kan beskyttes mot injeksjon av minoritetsbærere. Et  $p^+$  område koblet til GND vil effektivt beskytte en dynamisk node mot minoritetsbærere.

Dynamiske porter som skal drive statiske porter med flere innganger er følsomme for en effekt som kalles *back-gate*<sup>1</sup>.

Et eksempel på back-gate kobling er vist i Fig. 22 der en dynamisk NAND port skal drive en statisk NAND port. Gate til source kapasitans  $C_{gs1}$  for transistor N1 er vist eksplisitt i figuren. Dersom den dynamiske NAND porten precarges til 1 og en av eller begge inngangene er 0 skal utgangen X på porten forbli 1. Dersom utgangen på den statiske porten Y er 1 og inngang B er 0 vil den elektriske noden W være nesten logisk 1, begrenset av bodyeffekt i transistor N1. Dersom B endres fra 0 til 1 vil W trekkes ned til 0 slik X endres, dvs. trekkes noe ned, på grunn av en kapasitiv kobling mellom X og W.

Fig. 23 viser en latch med et diffusjonsområde på inngangen som er eksponert for støy. Når verdien i latchen skal være stabilt er transmisjonsporten skrudd av. Q vil da ligge stabilt på 0. Dersom inngangen D faller under 0, dvs. ca. 2 ganger terskelspenningen, på grunn av lokal støy vil nMOS transistoren i transmisjonsporten skrus på og den lagrede verdien  $V_{DD} = \bar{Q}$  påvirkes og trekkes ned mot  $-2V_t$ . Dette kan videre føre til at Q endres fra 0 til  $V_{DD}$ . Dermed er latchens verdi eller tilstand endret dramatisk med en bitfeil.

Kretser som er lite robuste kan fungere under normale prosessforhold, dvs. med typiske parameterverdier, men feile i ulike prosesshjørner. Alle kretser bør simuleres i alle hjørner for å redusere sannsynligheten for at kretsene feiler. Vi kaller slike design for lite følsomme for prosessvariasjoner. Det kan også være fornuftig å ta hensyn til prosessmigrasjon ved design. Dette

<sup>1</sup>Back-gate brukes også om substrattilkobling på MOS transistorer.

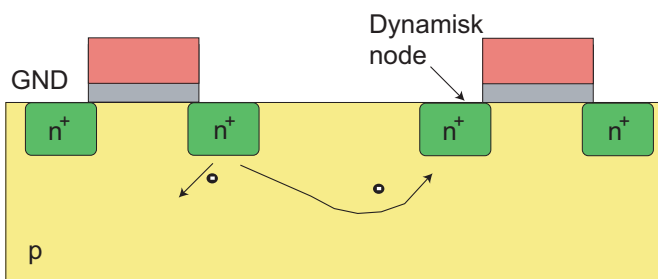


Fig. 20. Injeksjon av minoritetsbærere og problemer med dynamiske noder.

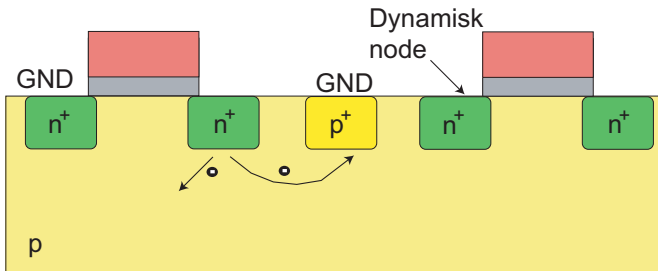


Fig. 21. Beskyttelse av dynamiske noder.

dreier seg også om robusthet i forhold til prosessvariasjoner. Det er en rekke faktorer som er predikterbare ved prosessmigrasjon, for eksempel økt lekkasje, lavere terskelspenning, lavere forsyningsspenning, mindre forsterkning osv.

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,
- [2] Yngvar Berg "Andre pass transistor familier, INF3400 Del:12 kapittel V"
- [3] Yngvar Berg "Lean integration med pass transistorer (LEAP), INF3400 Del:12 kapittel IV"
- [4] Yngvar Berg "Svak inversjon, INF3400 Del:8 kapittel II"
- [5] Yngvar Berg "Ladningsdeling, INF3400 Del:9 kapittel V"
- [6] Yngvar Berg "Temperaturavhengighet for MOS transistorer, INF3400 Del:14 kapittel XI"
- [7] Yngvar Berg "Latchup, INF3400 Del:14 kapittel IXX"
- [8] Yngvar Berg "Domino logikk, INF3400 Del:9 kapittel III"

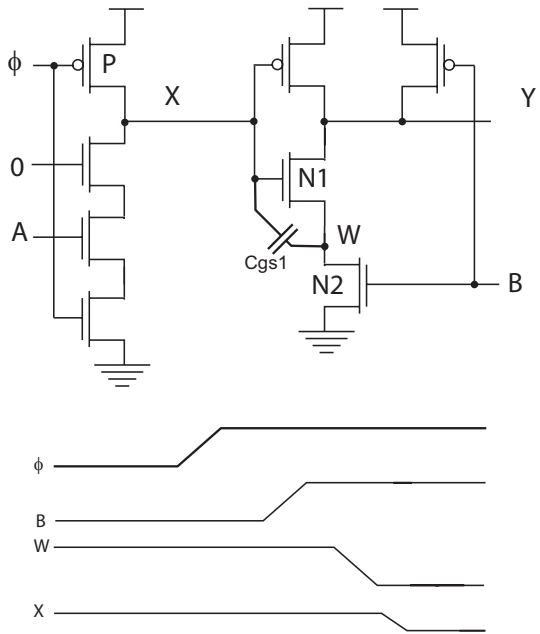


Fig. 22. Back-gate kobling.

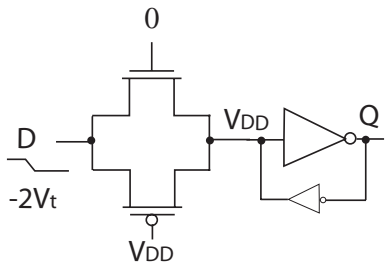


Fig. 23. Støy i diffusjon på inngangen til en latch.