

# INF3400/4400 Digital Mikroelektronikk

## Løsningsforslag DEL 7

### Våren 2006

YNGVAR BERG

#### I. DEL 7

#### Del 7: CMOS fabrikkasjonsprosess og utleggsregler

#### II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 7 (og DEL 8) blir gjennomgått 17 mars. Arbeid med obligatoriske deloppgaver i DEL 7 kan påbegynnes i uke 12 og bør avsluttes i løpet av uke 13.

#### III. OPPGAVER

##### A. Oppgave 1.8

Lag et stick diagram for en 4inngangs NOR port.

##### A.1 Løsningsforslag

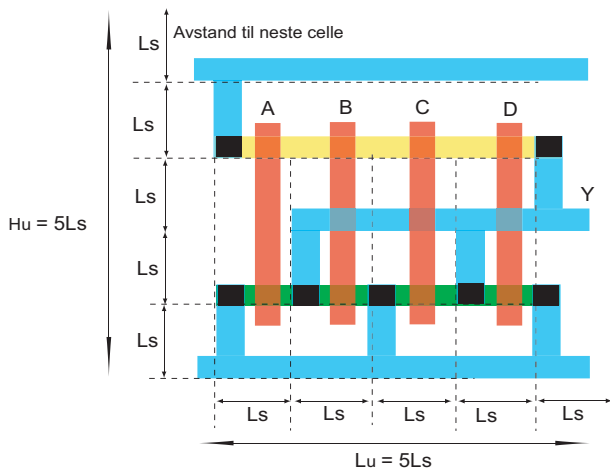


Fig. 1. Stick diagram av 4inngangs NOR port.

Det å lage utlegg for hånd tar mye tid. Det er hensiktsmessig å kunne planlegge et utlegg og beregne arealbehov før utleggsdetaljene bestemmes. Vi kaller et slikt mellomnivå. Et stick diagram for en inverter og 4inngangs NOR port er vist i Fig. 1.

##### B. Oppgave 1.9

Estimer arealet til en 4 inngangs NOR port.

##### B.1 Løsningsforslag

Det er enkelt å beregne arealet for utlegget for en gitt prosess ved å se på noen få grunnleggende utleggsregler. De konkrete utleggsreglene for en gitt prosess bestemmer de faktiske avstandene mellom lag eller aktive områder som er aktuelle. Det er verdt å merke seg at utleggsregler kan variere mye mellom ulike prosesser. Vi kan se på transistorene som komponenter med

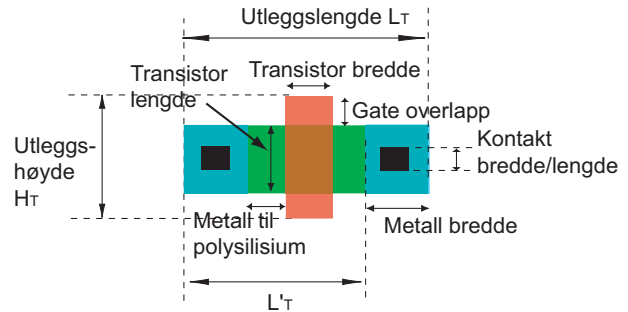


Fig. 2. Standard utlegg for minimums nMOS transistor. (FIG1.44b)

et utlegg for en minimumsstørrelse som vist i Fig. 2. Arealet som en transistor trenger kan da beregnes til transistor areal ( $A_T$ ) = (2 Metall bredder + 2 metall til polysilisium avstander + transistor bredde) x (transistor lengde + 2 gate overlapp). Vi ser at utstrekningen for en transistor vil være: Lengde ( $L_T$ ) = 2 Metall bredder + 2 metall til polysilisium avstander + transistor bredde. Transistoren vil ha et behov i høyden gitt som: Lengde ( $H_T$ ) = transistor lengde + 2 gate overlapp. Dersom vi skal legge flere transistorer i samme diffusjonsområde, som for eksempel for NAND port, er det hensiktsmessig å definere arealbehovet mellom transistorene som felles. Vi ser da at en tilleggs transistor vil medføre en lengdeøkning i utlegg: Lengde' = ( $L'_T$ ) = Metall bredde + 2 metall til polysilisium avstander + transistor bredde. Vi kan definere et horisontalt utleggsspør som lengden  $L_s = L'_T$ . De spesifikke utleggsregler for minimums størrelser og avstander representerer arealbehovet for en minimums transistor i en gitt prosess.

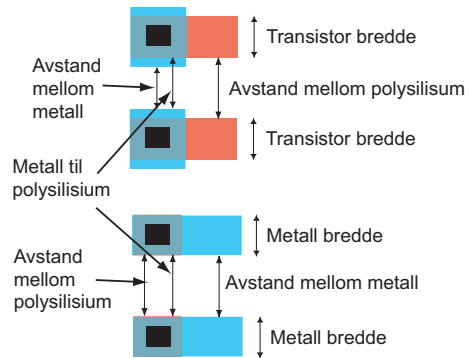


Fig. 3. Utleggsregler for polysilisium og metall med kontakter. (FIG1.44a)

I tillegg til areal til transistorer vil det være noen sentrale utleggsregler som vi må ta hensyn til. Dette er blant annet minimumsavstand mellom polysilisium og avtand mellom metalledere som vist i Fig. 3. Vi kan definere noen størrelser i høyderetningen som er praktisk for beregning av areal for en

port.

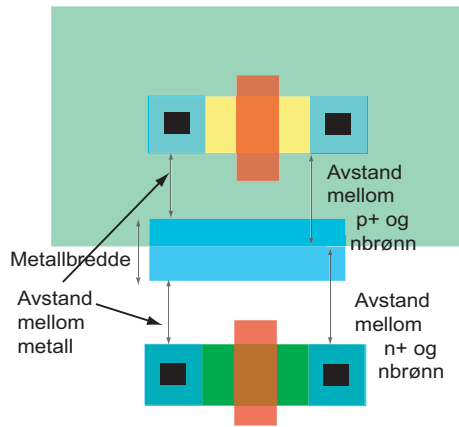


Fig. 4. Utleggsregler for diffusjon og brønn. (FIG1.45b)

Utleggsavstander for brønn og diffusjoner er vist i Fig. 4.

I tillegg til avstander mellom ulike lag i en port må vi også definere minimumsavstand mellom standard celler i vertikal retning som vist i Fig. 1. Standard celler kan settes helt inntil hverandre i horisontal retning, men må ha en avstand i vertikal retning. Vi ser av figuren at den totale lengden for en 4inngangs NOR port vil være  $5L_s$  og høyden vil være  $5L_s$ .

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,