

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i INF3400 — Løsningsforslag

Eksamensdag: 10. juni 2005

Oppgavesettet er på 7 sider.

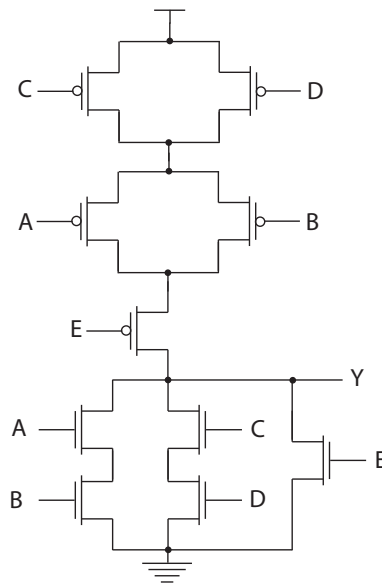
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a

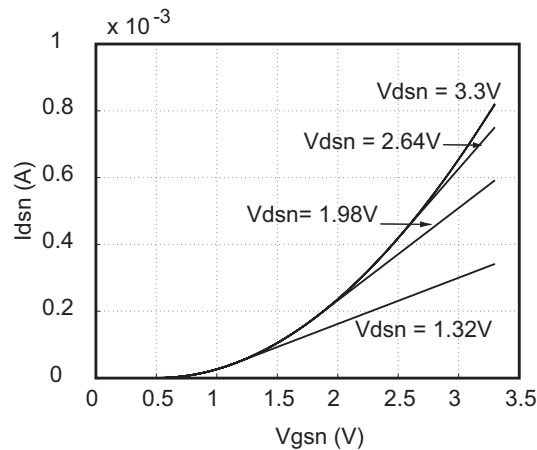


Figur 1: $Y = \overline{(A \cdot B + C \cdot D) + E}$

1b

Strøm som funksjon av V_{gs} er vist i figut 2.

(Fortsettes på side 2.)

Figur 2: Strøm som funksjon av V_{gs} **1c**

Antar en nMOS transistor. Body effekt bidrar til å redusere strømmen i en transistor som funksjon av økende V_{sb} (source bulk spenning). Vi kan modellere dette som en økning i terskelspenning

1d

Kanallengde modulasjon er en modell for strømøkning i metningsområdet som funksjon av økende V_{ds} . En strømøkning som skyldes stor spenningsforskjell mellom drain og kanal (og mellom drain og source) kan modelleres ved en reduksjon i lengden eller et ledd som øker med økende V_{ds}

$$I_{ds} = \beta \frac{(V_{gs} - V_t)^2}{2} (1 + \lambda V_{ds}),$$

der λ er kanallengde modulasjonsfaktor. Kanallengdemodulasjon påvirker støymarginer negativt, dvs. For store verdier for λ vil forsterkningen reduseres og støymarginer blir redusert når forsterkningen blir redusert. Svært korte transistorer ($< 1\mu$) vil typisk gå i hastighetsmetning og ikke metning (som beskrevet over). Hastighetsmetning skyldes kollisjoner blant de frie ladningsbærerne i kanalen på grunn av kraftig elektrisk felt over en kort kanal. Metning kommer av at spenningsforskjellen mellom drain og kanal blir so stor at området under gate på drain siden av kanalen ikke blir invertert. Dette betyr at kanalen ikke vil strekke seg helt til drain.

Oppgave 2**2a**

Vi antar at et diffusjonsområde for source/drain for en minimumstransistor er $0.4\mu m \cdot 0.2\mu m$. Vi uttrykker diffusjonskapasitanser som funksjon av transistor

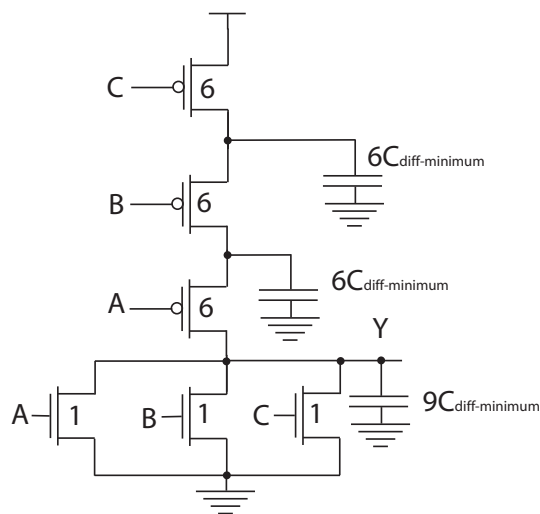
(Fortsettes på side 3.)

bredde

$$\begin{aligned}
 C_{diff} &= (W \cdot 0.2\mu m) \cdot C_{jbs} + (2W + 0.4\mu m) \cdot C_{jbssw} \\
 &= W \cdot (0.2\mu \cdot C_{jbs} + 2 \cdot C_{jbssw}) + 0.4\mu m \cdot C_{jbssw} \\
 &= W \cdot (0.3fF/\mu m + 0.2fF/\mu m) + 0.04fF \\
 &= W \cdot 0.5fF/\mu m + 0.04fF.
 \end{aligned}$$

Vi kan forenke modellen ved å anta at $W \cdot 0.5fF/\mu m \gg 0.04fF$ slik at $C_{diff} \approx W \cdot 0.5fF/\mu m$. Dersom vi uttrykker diffusjonskapasitansen for en minimumstransistor som $C_{diff-min} = 0.4\mu m \cdot 0.5fF/\mu m = 0.2fF$ kan vi uttrykke diffusjonskapasitansen for transistorer med bredde relativt til minimumstransistoren. Dette gir kapasitans på utgangen bestående av diffusjonskapasitanser i porten

$$\begin{aligned}
 C_{utgang} &= 6 \cdot C_{diff-minimum} + 3 \cdot 1 \cdot C_{diff-minimum} \\
 &= 9C_{diff-min} \\
 &= 1.8fF.
 \end{aligned}$$



Figur 3: Komplementær CMOS port med diffusjonskapasitanser.

Porten med diffusjonskapasitanser er vist i Fig. 3.

2b

Mobiliteten er typisk dobbelt så stor for nMOS transistorer som for pMOS transistorer. Motstanden er omvent proporsjonal med mobiliteten.

Elmore forsinkelses modell

(Fortsettes på side 4.)

$$\begin{aligned}
 t_{pd} &= 6C_{diff-min} \frac{2R}{6} + 6C_{diff-min} \frac{4R}{6} + 9C_{diff-min} \frac{6R}{6} \\
 &= 15RC_{diff-min} \\
 &= 9ps.
 \end{aligned}$$

2c

Logisk effort for 3 input NOR port er $g=7/3$. Parasittisk tidsforsinkelse for porten blir lik $9CR = 3\tau$.

Dersom vi halverer bredden på alle pMOS transistorene får vi en "LO-skew" port. Dette gir parasittisk tidsforsinkelse for nedtrekk lik $(3+3)CR = 2\tau$ og parasittisk tidsforsinkelse for opptrekk lik $6C2R = 12RC = 4\tau$ som gir gjennomsnittelig parasittisk tidsforsinkelse lik 3τ .

2d

Vi må finne den nye lasten for utgangen Y ved å inkludere gate kapasitansene som de tre inverterene representerer. Vi antar at en minimumstransistor representerer en last lik

$$\begin{aligned}
 C_{g-minimum} &= C_{ox} W_{minimum} L_{minimum} \\
 &= \left(\frac{3.9 \cdot 8.85 \cdot 10^{-14} F/cm}{50 \cdot 10^{-8} cm} \right) 0.4\mu m 0.2\mu m \\
 &= 0.866 \cdot 10^{-14} \frac{F}{\mu m^2} \cdot 0.08\mu m^2 \\
 &= 8.66 \frac{fF}{\mu m^2} \cdot 0.08\mu m^2 \\
 &\approx 0.7fF.
 \end{aligned}$$

Vi får da total last for inverterne

$$\begin{aligned}
 C_{utgang} &= 9C_{diff-minimum} + 3(3 \cdot C_{g-minimum}) \quad (1) \\
 &= 9 \cdot 0.2fF + 9 \cdot 0.7fF \\
 &= 8.1fF,
 \end{aligned}$$

som gir en tidsforsinkelse $t_{pd} = 3k\Omega \cdot 8.1fF = 24.3ps$.

Oppgave 3

3a

NAND portene har logisk effort lik $4/3$, NOR porten har logisk effort lik $5/3$ og inverteren har logisk effort lik 1. Logisk effort for kjeden blir

(Fortsettes på side 5.)

$$\begin{aligned}
 G &= \frac{4}{3} \cdot \frac{5}{3} \cdot 1 \cdot \frac{4}{3} \\
 &= \frac{80}{27} \\
 &\approx 3.
 \end{aligned}$$

Den første NAND porten har elektrisk effort lik y/x , NOR porten har elektrisk effort lik z/y , inverteren har logisk effort lik w/z og den siste NANDporten har logisk effort lik $12/w$. Kjedens elektriske effort blir lik $H = 4 \cdot 3/x = 12/x$.

$$\text{Kjedens effort } F = GH = (80/27) \cdot (12/x).$$

3b

Kjedens optimale port effort blir $f' = (80 \cdot 12/x \cdot 27)^{1/4}$. Parasittisk tidsforsinkelse for kjeden blir $P = 2+2+1+2 = 7$. Minimum kjedeforsinkelse blir $D = 4 \cdot f' + P = 4 \cdot (80 \cdot 12/x \cdot 27)^{1/4} + 7$. Vi antar at parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse, som gir

$$\begin{aligned}
 4 \cdot \left(\frac{80 \cdot 12}{27}\right)^{1/4} x^{-1/4} &= P \\
 x^{1/4} &= \left(\frac{80 \cdot 12}{27}\right)^{1/4} \cdot \left(\frac{4}{P}\right) \\
 x &= \left(\frac{80 \cdot 12 \cdot 4^4}{27}\right) P^{-4} \\
 &= \frac{80 \cdot 12 \cdot 256}{27 \cdot 2401} \\
 &= 3.79 \\
 &\approx 4.
 \end{aligned} \tag{2}$$

3c

Vi starter med å finne optimal port effort

$$\begin{aligned}
 f' &= \left(\frac{80 \cdot 12}{27 \cdot 4}\right)^{1/4} \\
 &= 1.73.
 \end{aligned}$$

Vi starter bakerst i kjeden

(Fortsettes på side 6.)

$$w = \frac{12 \cdot \frac{4}{3}}{f'}$$

$$\approx 9.3,$$

som gir transistorstørrelse $4\frac{1}{2}$ og pMOS- nMOS transistorene som tilsvarer $w = 9$.

Videre har vi

$$z = \frac{9}{f'}$$

$$\approx 5.2,$$

som gir nMOS transistorstørrelse $1\frac{3}{4}$ og pMOS transistorstørrelse $3\frac{1}{2}$ som tilsvarer $z = 5.25$.

$$z = \frac{5.25 \cdot \frac{5}{3}}{f'}$$

$$\approx 5,$$

som gir nMOS transistorstørrelse 1 og pMOS transistorstørrelse 4 som tilsvarer $z = 5$.

Som kontroll kan vi sjekke x .

$$x = \frac{5 \cdot \frac{4}{3}}{f'}$$

$$\approx 4,$$

som gir nMOS transistorstørrelse 2 og pMOS transistorstørrelse 2 som tilsvarer $x = 4$.

3d

Statiske porter holder en verdi så lenge spenningsforsyningen er tilkoblet. Dynamisk CMOS er avhengig av et klokkesignal med høy frekvens som sørger for å holde en verdi til feks. logisk 1 (precharge). Årsaken til at utgangssignalet må friskes opp er lekasjestrømmer som er signifikant når utgangen ikke er drevet. Latcher og vipper kan være statiske eller dynamiske, og da er det snakk om oppfrisking av signaler for statisk porter ved hjelp av tilbakekobling.

(Fortsettes på side 7.)

3e

Vi har

$$\begin{aligned}\frac{l}{N} &= \sqrt{\frac{2RC_p}{R_w C_w}} \\ &= \sqrt{\frac{2 \cdot 3k\Omega \cdot \mu m \cdot 4.5 \frac{f}{\mu m}}{0.15 \frac{\Omega}{\mu m} \cdot 0.2 \frac{fF}{\mu m}}} \\ &= 948.7 \\ &\approx 950\mu m\end{aligned}$$

Dette gir $N=2$, dvs. to buffere.

Størrelsen for nMOS transistoren blir

$$\begin{aligned}W &= \sqrt{\frac{RC_w}{R_w C_p}} \\ &= \sqrt{\frac{3k\Omega \cdot \mu m \cdot 0.2 \frac{f}{\mu m}}{0.2 \frac{\Omega}{\mu m} \cdot 4.5 \frac{fF}{\mu m}}} \\ &= 25.8 \\ &\approx 26\mu m\end{aligned}$$