

INF3400/4400 Digital Mikroelektronikk

Oppgaver DEL 12

Våren 2006

YNGVAR BERG

I. DEL 12

Del 12: Passtransistor- og differensiell CMOS logikk

II. INNHOLD

CMOS med transmisjonsporter blir presentert, herunder komplementær pass transistor logikk (CPL), lean integration med pass transistorer (LEAP) og andre pass transistor logikk typer. Ulike differensielle logikkstiler blir introdusert inkludert sample set differensiell logikk (SSDL), enable/disable CMOS differensiell logikk (ECDL), latched CMOS differensiell logikk (LCDL) og differensiell strøm svitsj logikk (DCSL). BiCMOS logikk blir overfladisk presentert. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *CMOS med transmisjonsporter.* Kapittel 6.2.5.1 side 347 - 348.
3. *Komplementær pass transistor logikk (CPL).* Kapittel 6.2.5.2 side 348 - 349.
4. *Lean integration med pass transistorer (LEAP).* Kapittel 6.2.5.3 side 349 - 350.
5. *Andre pass transistor familier.* Kapittel 6.2.5.4 side 350.
6. *Differensielle kretser.* Kapittel 6.4.1 side 359 - 360.
7. *Sense-amplifier kretser.* Kapittel 6.4.2 side 360 - 362.
8. *Sample set differensiell logikk (SSDL).* Kapittel 6.4.2.1 side 362 - 363.
9. *Enable/Disable CMOS differensiell logikk (ECDL).* Kapittel 6.4.2.2 side 363 - 364.
10. *Latched CMOS differensiell logikk (LCDL).* Kapittel 6.4.2.3 side 364.
11. *Differensiell strøm svitsj logikk (DCSL).* Kapittel 6.4.2.4 side 364.
12. *BiCMOS kretser.* Kapittel 6.4.3 side 365.
13. *Sammenligning av CMOS logikk typer.* Kapittel 6.6 side 367 - 369.

III. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 12 blir gjennomgått 12 mai. Arbeid med obligatoriske deloppgaver i DEL 12 kan påbegynnes i uke 19 og bør avsluttes i løpet av uke 20.

IV. OPPGAVER

A. *Forklar hvordan en statisk latch virker*

B.

Tegn sjematikk for en 4:1 multiplekser med innganger D0, D1, D2 og D3, og to selekt signaler S0 og S1, i følgende logikkstiler:

1. CPL.
2. LEAP.

3. DPL.
4. EEPL.
5. PPL.
6. SRPL.
7. DCVSPG.
8. Statisk CMOS.

C. *Oppgave 6.39*

Tegn sjematikk for en XOR port i følgende logikkstiler:

1. CPL.
2. LEAP.
3. DPL.
4. EEPL.
5. PPL.
6. SRPL.
7. DCVSPG.
8. Statisk CMOS.

D.

Tegn skjematikk for en 3inngangs NAND port i følgende logikkstiler:

1. SSDL.
2. ECDL.
3. LCDL.
4. DCL.
5. BiCMOS.

V. OBLIGATORISKE DELOPPGAVER

Oppgavene skal utføres av to studenter i samarbeid.

A. *Simulering av 4:1 multiplekser*

Bruk Cadence og AMS $0.35\mu\text{m}$ og simuler sjematikk for en 4:1 multiplekser i to passtransistor logikkstiler (valgfritt). Anta at utgangene skal drive en minimumsinverter (enhetsinverter) og dimensjoner transistorene slik at multiplekserne fungerer på høyest mulig klokkefrekvens. Sammenlign resultatet for de to logikkstilene.

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,