

# INF3400/4400 Digital Mikroelektronikk

## Oppgaver DEL 14

### Våren 2006

YNGVAR BERG

#### I. DEL 14

##### Del 14: Design av ledere og design marginer

#### II. INNHOLD

TR ansistor Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Bredde og avstand for ledere.* Kapittel 4.6.1 side 219 - 220.
3. *Valg av metallag for ledere.* Kapittel 4.6.2 side 219 - 221.
4. *Beskyttelse av ledere.* Kapittel 4.6.3 side 221.
5. *Repeatere.* Kapittel 4.6.4 side 221 - 226.
6. *Interkonnekt og logisk effort.* Kapittel 4.6.5 side 227.
7. *Kontroll av crosstalk.* Kapittel 4.6.6 side 227 - 229.
8. *Lav-sving signalering.* Kapittel 4.6.7 side 229 - 231.
9. *Designmarginer og variasjoner.* Kapittel 4.7.1-3 side 231 - 233.
10. *Forsyningsspennning.* Kapittel 4.7.1 side 232.
11. *Temperaturavhengighet for MOS transistorer.* Kapittel 2.4.7 side 90 - 92.
12. *Geometriavhengighet for MOS transistorer.* Kapittel 2.4.8 side 92.
13. *Designhjørner.* Kapittel 4.7.4 side 233 - 235.
14. *Matching.* Kapittel 4.7.5 side 235 - 237.
15. *Pålitelighet.* Kapittel 4.8.1 side 239 - 240.
16. *Elektromigrasjon.* Kapittel 4.8.2 side 240.
17. *Varmeutvikling.* Kapittel 4.8.3 side 241.
18. *Hot carriers.* Kapittel 4.8.4 side 241 - 242.
19. *Latchup.* Kapittel 4.8.5 side 242 - 244.

#### III. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 14 blir gjennomgått 19 mai.

#### IV. OPPGAVER

##### A. Ledere

Finn den optimale avstanden mellom repeaterne for en minimum pitch metall 2 leder i en 180nm prosess. Anta at tettheten til metall i andre lag er stor. Transistor motstand er  $3k\Omega \cdot \mu m$  og gatekapasitans  $C = 1.7fF/\mu m$ . Anta at kapasitansen til en minimum pitch metall 2 leder til plan over og under er  $C_w = 0.21fF/\mu m$  og at egenmotstanden er  $0.05\Omega/kvadrat$ . Minimum bredde på en metall 2 leder i 180nm prosess er 320nm.

1. Finn optimal avstand mellom repeaterne?
2. Hvor brede bør transistorene i repeaterne være?
3. Hva er signalhastigheten for lederen?
4. Hvordan påvirkes resultatet når vi øker bredde og avstand med 50%? Kapasitansen vil da bli  $C_w = 0.18fF/\mu m$ .

5. Hvordan blir resultat dersom vi bruker metall 5 med kapasitans  $C_w = 0.24fF/\mu m$  og at egenmotstanden er  $0.025\Omega/kvadrat$  når minimum bredde på en metall 5 leder i 180nm prosess er 800nm?

##### B. Mellomlang leder

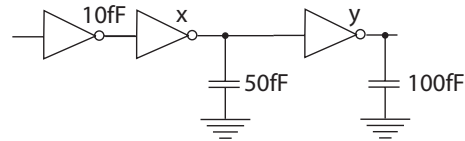


Fig. 1.

Anta lederen i Fig.1 som er en mellomlang leder modellert med lastkapasitanser. Finn ligning for forsinkelse som funksjon av  $x$  og  $y$ . Hvor stor bør  $x$  og  $y$  inverterne være for å få minimum forsinkelse i lederen? Hva er trinneffort i hvert trinn?

C. Hvilke prosessvariasjoner kan påvirke transistorenes virkemåte?

D. Hvordan påvirker temperatur transistorkarakteristikker?

E. Hva er latchup?

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,