

# INF3400/4400 Digital Mikroelektronikk

## Oppgaver DEL 1 og 2

### Våren 2006

YNGVAR BERG

#### I. UKE 5

**Del 1: Grunnleggende Digital CMOS og Del 2: Enkel elektrisk transistor modell og introduksjon til CMOS prosess.**

##### A. Temaer

Transistor som bryter anvendt i enkle logiske CMOS porter. Serie- og parallellkobling av nMOS- og pMOS transistorer. Inverter, NAND, NOR og generelle porter. Komplementær CMOS med opptrekk og nedtrekk. Serie- og parallellkopling av nMOS- og pMOS transistorer. Pass transistorer og transmisjonsporter, tristate buffer og tristate inverter. Ulike typer multipleksere, latcher og vipper.

Gjennomgang av CMOS prosess, tversnitt av nMOS- og pMOS og tversnitt av CMOS inverter. Enkel forklaring på begreper som akkumulasjon, deplesjon og inversjon. Enkel fysisk forklaring på transistor som er i lineært område og metning. Enkle førsteordens strømligninger for nMOS- og pMOS transistorer.

1. *Transistor som bryter*. Kapittel 1.3 side 9.
2. *CMOS inverter*. Kapittel 1.4.1 side 10.
3. *NAND port*. Kapittel 1.4.2 side 10 - 11.
4. *Kombinatorisk logikk*. Kapittel 1.4.3 side 11 - 12.
5. *NOR port*. Kapittel 1.4.4 side 12 - 13.
6. *Komplementær logikk*. Kapittel 1.4.5 side 13 - 14.
7. *Pass transistorer og transmisjonsporter* Kapittel 1.4.7 side 17 - 18.
8. *Multipleksere*. Kapittel 1.4.8 side 18 - 20.
9. *Latcher*. Kapittel 1.4.9 side 20 - 21.
10. *Vipper*. Kapittel 1.4.9 side 22 - 23.
11. *MOS transistor i tversnitt*. Kapittel 1.3 side 7 - 9.
12. *CMOS Inverter tversnitt*. Kapittel 1.5.1 side 23 - 24.
13. *Akkumulasjon, deplesjon og inversjon*. Kapittel 2.1 side 67 - 68.
14. *Enkel beskrivelse av MOS transistor*. Kapittel 2.1 side 68 - 71.
15. *Enkel MOS transistor modell*. Kapittel 2.2 side 71 - 75.

#### II. GJENNOMFØRING 3 FEBRUAR 2006

Teori, eksempler og oppgaver knyttet til DEL 1 og 2 blir gjennomgått.

#### III. OPPGAVER

##### A. Oppgave 1.3

Tegn en CMOS 4-inngangs NOR port på transistor nivå.

##### B. Oppgave 1.4

Gitt funksjonen  $Y = \overline{A \cdot (B + C) \cdot D}$ , tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

##### C. Oppgave 1.5

Gitt funksjonen  $Y = \overline{(A + B) \cdot (C + D)}$ , tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

##### D. Oppgave 1.6

Gitt funksjonen  $Y = \overline{A \cdot B \cdot C + D}$ , tegn et transistor skjema (sjematikk) i komplementær CMOS logikk for funksjonen.

##### E. Oppgave 1.7

Tegn skjematikk på transistornivå for følgende funksjoner. Du kan anta at du også har inverterte signaler tilgjengelig.

1. En 2 : 4 dekode definert ved  $Y0 = \overline{A0} \cdot \overline{A1}$ ,  $Y1 = A0 \cdot \overline{A1}$ ,  $Y2 = \overline{A0} \cdot A1$  og  $Y3 = A0 \cdot A1$ .
2. En 3 : 2 encoder definert ved  $Y0 = \overline{A0} \cdot (A1 + \overline{A2})$  og  $Y1 = \overline{A0} \cdot \overline{A1}$ .

##### F. Eksamensoppgave: Prøveeksamen 2005

Gitt funksjonen  $Y = \overline{(A \cdot B + C \cdot D) \cdot E}$ . Tegn et transistor skjema (sjematikk) i komplementær CMOS for funksjonen.

##### G. Eksamensoppgave: Eksamen 2005.

Gitt funksjonen  $Y = \overline{(A \cdot B + C \cdot D) \cdot E}$ . Tegn et transistor skjema (sjematikk) i komplementær CMOS for funksjonen.

##### H.

Gitt prosessparameterverdier for en 350nm med CMOS prosess, med  $V_{DD} = 3.3V$  :

$t_{ox} = 40\text{\AA}$ ,  $\mu_n = 170 \frac{cm^2}{V \cdot s}$ ,  $\mu_p = 60 \frac{cm^2}{V \cdot s}$ ,  $V_{tn} = 0.5V$ ,  $V_{tp} = -0.5V$ , og transistorstørrelser  $\frac{W_n}{L_n} = \frac{0.35\mu}{1.4\mu}$  for nMOS transistoren og  $\frac{W_p}{L_p} = \frac{1.0\mu}{1.4\mu}$  for pMOS transistoren. Finn  $\beta$  for nMOS og pMOS transistoren.

##### I. Eksamensoppgave: Eksamen 2005.

Gitt enkle transistor modeller for nMOS transistor, skisser strøm som funksjon av  $V_{gs}$  for ulike  $V_{ds}$  spenninger. Marker terskelspenning, lineært område og metning på skissen.

##### J. Eksamensoppgave: Eksamen 2005.

Gitt enkle transistor modeller for nMOS transistor, skisser strøm som funksjon av  $V_{ds}$  for ulike  $V_{gs}$  spenninger. Marker lineært område og metning på skissen.

#### IV. Obligatoriske deloppgaver

Gitt prosessparameterverdier for en  $350nm$  med CMOS prosess, med  $V_{DD} = 3.3V$  :

$t_{ox} = 40\text{\AA}$ ,  $\mu_n = 170 \frac{cm^2}{V \cdot s}$ ,  $\mu_p = 60 \frac{cm^2}{V \cdot s}$ ,  $V_{tn} = 0.5V$ ,  $V_{tp} = -0.5V$ , og transistorstørrelser  $\frac{W_n}{L_n} = \frac{0.35\mu}{1.4\mu}$  for nMOS transistoren og  $\frac{W_p}{L_p} = \frac{1.0\mu}{1.4\mu}$  for pMOS transistoren. Modeller nMOS og pMOS transistor ned hjelp av førsteordens modeller i **matlab**:

1. Plott nMOS transistorstrøm  $I_{dsn}$  som funksjon av  $V_{dsn}$ . Velg gate source spenninger:
  - (a)  $V_{gsn} = 3.3V$ .
  - (b)  $V_{gsn} = 1.6V$ .
  - (c)  $V_{gsn} = 0.1V$ .
2. Plott nMOS transistorstrøm  $I_{dsn}$  som funksjon av  $V_{gsn}$ . Velg drain source spenninger:
  - (a)  $V_{dsn} = 3.3V$ .
  - (b)  $V_{dsn} = 1.6V$ .
  - (c)  $V_{dsn} = 0.1V$ .
3. Plott pMOS transistorstrøm  $I_{sdp}$  som funksjon av  $V_{sdp}$ . Velg source gate spenninger:
  - (a)  $V_{sgp} = 3.3V$ .
  - (b)  $V_{sgp} = 1.6V$ .
  - (c)  $V_{sgp} = 0.1V$ .
4. Plott pMOS transistorstrøm  $I_{sdp}$  som funksjon av  $V_{sgp}$ . Velg source drain spenninger:
  - (a)  $V_{sdp} = 3.3V$ .
  - (b)  $V_{sdp} = 1.6V$ .
  - (c)  $V_{sdp} = 0.1V$ .

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, *Addison Wesley*,