

INF3400/4400 Digital Mikroelektronikk

Oppgaver DEL 3

Våren 2006

YNGVAR BERG

I. DEL 3

Del 3: Utvidet transistormodell og DC karakteristikk for inverter og pass transistor

A. Temaer

CMOS inverter DC karakteristikk og hvordan transistorstørrelser påvirker karakteristiken. Definisjon og beregning av støymarginer. Transistormodellen utvides med kanallengdemodulasjon og body effekt. DC karakteristikk for pass transistorer og transmisjonsporter. DC karakteristikk for ulike typer invertere, invertere med statisk last og pseudo nMOS invertere. Praktisk arbeid er knyttet til DC simulering av ulike typer av invertere. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. Innhold.
2. CMOS inverter DC karakteristikk. Kapittel 2.5.1 side 94 - 97.
3. Transistor størrelser. Kapittel 2.5.2 side 97.
4. Støymargin. Kapittel 2.5.3 side 98 - 99.
5. Kanallengdemodulasjon eller kanalforkortning Kapittel 2.4.2 side 86 - 87.
6. Inverter med statisk last Kapittel 2.5.4 side 100.
7. Pseudo nMOS inverter Kapittel 2.5.4 side 100 - 101.
8. Body effekt Kapittel 2.4.3 side 87 - 88.
9. Pass transistor DC karakteristikk Kapittel 2.5.5 side 101 - 102.
10. Tristate inverter Kapittel 2.5.6 side 102 - 103.
11. Kretssimulering DC. Kapittel 5.1 - 5.2.1 side 273 - 279.

II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 3 (og DEL 4) blir gjennomgått 17 februar. Arbeid med obligatoriske deloppgaver i DEL 3 påbegynnes i uke 7 og avsluttes i løpet av uke 8.

III. OPPGAVER

A. Oppgave 2.14

Petter Fallgruve tilbyr lisens på sin nye patenterte ikke-inverterende buffer som er vist i figur 1. Hvordan vil DC karakteristikken til denne kretsen se ut? Hvorfor representerer dette en dårlig ide?

B. Oppgave

Anta en ideel nMOS transistor i en 350nm CMOS prosess. Bruk matlab og lag et plott som viser DC karakteristikk for en inverter med $\beta_p = 0.1\beta_n$, $\beta_p = \beta_n$ og $\beta_p = 5\beta_n$.

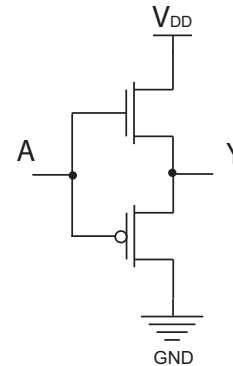


Fig. 1. CMOS ikke-inverterende buffer.

C. Oppgave 2.17

Finne støymarginen for en CMOS inverter ved å bruke analytiske uttrykk for utgangsspenning som funksjon av inngangsspenning. Anta at spenningsforsyningen er $V_{DD} = 3.0V$ og $V_{tn} = -V_{tp} = V_t = 0.5V$, og $\beta_p = \beta_n$.

D. Oppgave 2.20

Finne et analytisk uttrykk for V_{ut} som funksjon av V_{tn} , V_{tp} , β_n og β_p for en pseudo-nMOS inverter. Anta at inngangsspenningen er lik V_{DD} .

E. Oppgave 2.6

Anta en nMOS transistor i en 0.6μ prosess med en gateoksid tykkelse på 100\AA . Anta at dopenivået er $N_A = 2 \cdot 10^{17} \text{cm}^{-3}$ og at nominell terskelspenning er $0.7V$. Anta at substratet er jordat. Hva blir endringen i terskelspenningen ved romtemperatur når source økes fra $0V$ til $4V$?

F. Oppgave 2.21

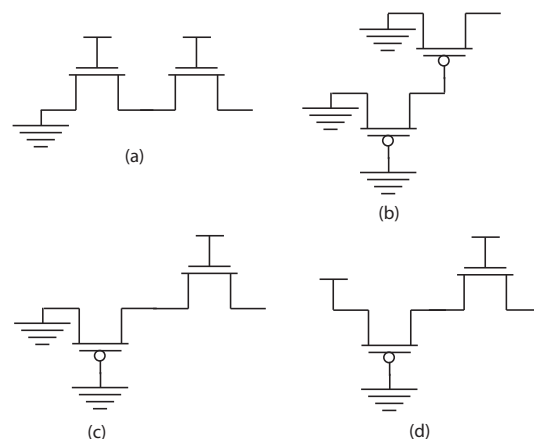


Fig. 2. Pass transistor kretser.

Finn uttrykk for utgangsspenningen i pass transistor kretsene i Fig. 2.

IV. Obligatoriske deloppgaver

A. Oppgave 1

1. Ta utgangspunkt i transistormodeller i matlab fra Del 2. Skisser en inverter DC karakteristik (V-V) ved hjelp av transistormodellene.

(a) Marker på karakteristikken ulike operasjonsområder for nMOS- og pMOS transistoren.

(b) Hva blir forsterkningen for inverteren, forsterkning kan uttrykkes som $\Delta V_{ut}/\Delta V_{in}$ der $\Delta V_{in} < V_{DD}$.

2. Hva blir inverterens inngangsterskel?

B. Notater

C. Oppgave 2

Gitt prosessparameterverdier for en 350nm CMOS prosess:

$t_{ox} = 40\text{\AA}$, $\mu_n = 170 \frac{cm^2}{V \cdot s}$, $\mu_p = 60 \frac{cm^2}{V \cdot s}$, $V_{tn} = 0.5V$, $V_{tp} = -0.5V$, $\lambda_n = 0.1V^{-1}$, $\lambda_p = 0.1V^{-1}$ og transistorstørrelser $\frac{W_n}{L_n} = \frac{0.35\mu}{1.4\mu}$ for nMOS transistoren og $\frac{W_p}{L_p} = \frac{1.0\mu}{1.4\mu}$ for pMOS transistoren. Modeller nMOS og pMOS transistor ned hjelp av transistormodeller med kanallengdemodulasjon i **matlab**:

1. Plott nMOS transistorstrøm I_{dsn} som funksjon av V_{dsn} . Velg gate source spenninger:

(a) $V_{gsn} = 3.3V$.

(b) $V_{gsn} = 1.6V$.

(c) $V_{gsn} = 0.1V$.

2. Plott pMOS transistorstrøm I_{sdp} som funksjon av V_{sdp} . Velg source gate spenninger:

(a) $V_{sgp} = 3.3V$.

(b) $V_{sgp} = 1.6V$.

(c) $V_{sgp} = 0.1V$.

D. Oppgave 3

Oppgavene utføres i grupper på 2 studenter. Ved hjelp av Cadence sjematikk editor og spectre, med $W_n/L_n = 0.35\mu/1.4\mu$, skal følgende simuleringer utføres

1. DC simulering av CMOS inverter (komplementær inverter), der pMOS transistoren har størrelsen $W_p/L_p = 1\mu/1.4\mu$.

2. DC simulering av inverter med lastmotstand, der $R_{last} = 4k\Omega$.

3. DC simulering av CMOS inverter med en laststrøm, der $I_{last} = 400\mu A$.

4. DC simulering av pseudo nMOS inverter, der pMOS transistoren har størrelsen $W_p/L_p = 2\mu/1.4\mu$.

Lag plot som viser utgangsspenningen som funksjon av inngangsspenningen, strømmen gjennom nMOS transistoren som funksjon av inngangsspenningen, og finn forsterkningen og støymarginer for de ulike kretsene.

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,