

# INF3400/4400 Digital Mikroelektronikk

## Oppgaver DEL 4

### Våren 2006

YNGVAR BERG

#### I. DEL 4

##### Del 4: Moderne MOS transistor modell, transient simulering og enkle utleggsregler

###### A. Temaer

Enkle modeller for MOS transistor kapasitanser gjennomgås, herunder gate- og diffusjonskapasitanser. En kort introduksjon til utleggsregler blir presentert. RC modeller for beregning av tidsforsinkelser for inverter og komplekse logiske porter blir gjennomgått. Hastighetsmetning gjennomgås og transistormodeller med hastighetsmetning introduseres. Transientsimulering ved hjelp av spectre inngår som obligatorisk deloppgave.

Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Introduksjon til utleggsregler.* Kapittel 1.5.3 side 28 - 32.
3. *Enkle MOS kapasitans modeller.* Kapittel 2.3.1 side 75 - 77.
4. *Gatekapasitans detaljer.* Kapittel 2.3.2 side 77 - 80.
5. *Diffusjonskapasitans.* Kapittel 2.3.3 side 80 - 83.
6. *Enkle RC modeller.* Kapittel 2.6 side 103 - 105.
7. *RC Forsinkelsesmodeller.* Kapittel 4.2.1 side 158 - 161.
8. *Hastighetsmetning.* Kapittel 2.4.2 side 84 - 86.
9. *Transientsimulering.* Kapittel 5.2.3 side 280 - 281.

#### II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 4 (og DEL 3) blir gjennomgått 17 februar. Arbeid med obligatoriske deloppgaver i DEL 4 påbegynnes i uke 8 og bør avsluttes i løpet av uke 8.

#### III. OPPGAVER

##### A. Oppgave 2.4

En transistor med lengde  $90nm$  har en tykkelse på gateoksid ( $t_{ox}$ ) lik  $16\text{\AA}$ . Hva blir gatekapasitans per mikrometer?

##### B. Oppgave 2.5

Beregn diffusjonskapasitans  $C_{db}$  for en transistor med en (minimum) kontakt på drain i en  $0.6\mu$  prosess når drainspenningen er  $0V$  og  $V_{DD} = 5V$ . Anta at substratet er jordet. Parameterverdier er  $C_J = 0.42fF/\mu m^2$ ,  $M_J = 0.44$ ,  $C_{JSW} = 0.33fF/\mu m$ ,  $M_{JSW} = 0.12$  og  $\Psi_0 = 0.98V$  ved romtemperatur.

##### C. Oppgave

Tegn transistorsjematikk for en toinngangs NOR port med transistor bredder slik at effektiv motstand i nedtrekket blir lik en enhetsinverter. Beregn stige og fall forsinkelse når porten skal drive  $h$  identiske NOR porter ved å bruke enkle RC modeller.

#### IV. Obligatoriske deloppgaver

##### A. Oppgave 1

Gitt prosessparameterverdier for en  $350nm$  CMOS prosess:

$t_{ox} = 40\text{\AA}$ ,  $\mu_n = 170 \frac{cm^2}{V \cdot s}$ ,  $V_{tn} = 0.5V$ ,  $P_c = 1$ ,  $p_v = 0.65$ ,  $\alpha = 1.3$  og transistorstørrelse  $\frac{W_n}{L_n} = \frac{0.35\mu}{0.35\mu}$  for en nMOS transistoren. Modeller en nMOS transistor ned hjelp av transistormodeller med hastighetsmetning i **matlab**:

1. Plott nMOS transistorstrøm  $I_{dsn}$  som funksjon av  $V_{dsn}$ . Velg gate source spenninger:

- (a)  $V_{gsn} = 3.3V$ .
- (b)  $V_{gsn} = 1.6V$ .
- (c)  $V_{gsn} = 0.1V$ .

Sammenlign med strøm gjennom samme transistor uten modell for hastighetsmetning.

##### B. Oppgave 2

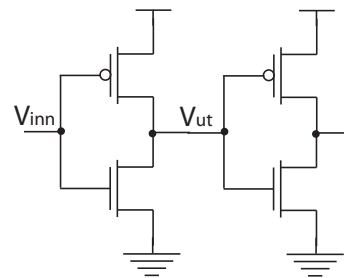


Fig. 1. Inverter med last.

Oppgavene utføres i grupper på 2 studenter. Benytt ett inngangssignal som har svært kort stige- og falltid ( $< 1ps$ ). Benytt samme transistorstørrelser på begge pMOS transistorene, og samme størrelse på de to nMOS transistorene. Ved hjelp av Cadence sjematikk editor og spectre skal følgende simulering utføres:

1. *Transient simulering* av CMOS inverter ( $V_{ut}$ ) som vist i Fig. 1, med transistor størrelser  $W_n/L_n = 1\mu m/1.4\mu m$  og  $W_p/L_p = 1\mu m/1.4\mu m$ . Finn stigetid, falltid og tidsforsinkelse.
2. Velg transistorstørrelser  $W_n/L_n = 1\mu m/0.35\mu m$  og  $W_p/L_p = 1\mu m/0.35\mu m$ . Utfør en transient simulering, finn stigetid, falltid og tidsforsinkelse.
3. Dimensjoner transistorene slik at stigetid og falltid blir like.

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,