

INF3400/4400 Digital Mikroelektronikk

Oppgaver DEL 5

Våren 2006

YNGVAR BERG

I. DEL 5

Del 5: Statisk digital CMOS

A. Temaer

MOS eller for tidsforsinkelse i logiske porter blir gjennomgått. I tillegg til enkel lineær modell for tidsforsinkelse blir Elmore tidsforsinkelsesmodell gjennomgått. Begreper som logisk effort, elektrisk effort, parasitisk tidsforsinkelse og fanout blir introdusert. Ulike effekter som virker inn på tidsforsinkelse blir gjennomgått, herunder transisjonstidspunkt på innganger, stige- og falltid for innganger og bootstrapping. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Elmore forsinkelsesmodell.* Kapittel 4.2.1.3 side 161 - 164.
3. *Lineær forsinkelsesmodell.* Kapittel 4.2.2 side 165 - 166.
4. *Logisk effort.* Kapittel 4.2.3 side 166 - 167.
5. *Parasitisk tidsforsinkelse.* Kapittel 4.2.4 side 167 - 169.
6. *Stige og falltidforsinkelse for inngang.* Kapittel 4.2.5.1 side 169 - 170.
7. *Ulik transisjonstidspunkt for innganger.* Kapittel 4.2.5.2 side 170 - 171.
8. *MOS kapasitanser for inverter ved transisjoner.*
9. *Gate source kapasitans.* Kapittel 4.2.5.3 side 171 - 172.
10. *Bootstrapping.* Kapittel 4.2.5.4 side 172 - 173.
11. *Tidsforsinkelse i en logisk port.* Kapittel 4.3.2 side 173 - 174.

II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 5 blir gjennomgått 24 februar. Arbeid med obligatoriske deloppgaver i DEL 5 påbegynnes i uke 9 og bør avsluttes i løpet av uke 9.

III. OPPGAVER

A. Oppgave 4.3

Finn tidsforsinkelse for stigende og fallende utgang for en AND-OR-INVERT port med bruk av Elmore forsinkelsesmodell. Estimer diffusjonskapasitanser.

B. Oppgave 4.4

Finn “worst case” tidsforsinkelse for en ninngangs NOR port ved å bruke Elmore forsinkelsesmodell.

C. Eksamensoppgave 2005

Gitt kretsen i Fig. 1, der transistorenes bredde ($W_{relativ}$) er oppgitt relativt til minimumstransistorer $W = 0.4\mu m$ og $L = 0.2\mu m$ i en $0.2\mu m$ CMOS teknologi. Anta at alle transistorer har minimumslengde. Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten

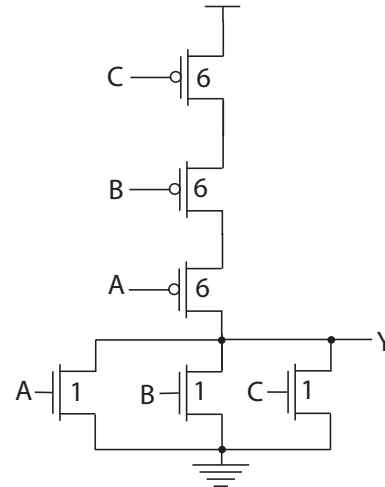


Fig. 1. Komplementær CMOS port.

ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

D. Eksamensoppgave 2005

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Hvilken prosessparameter vil typisk gi en slik forskjell i motstand for nMOS- og pMOS transistorer som er like store? Anta at $R = 3k\Omega$ og bruk Elmore forsinkelsesmodell til å finne portens (Fig. 1) parasitiske tidsforsinkelse når alle inngangene er 0 ($A=B=C=0$).

E. ksamensoppgave 2005 prøveeksamen

Gitt porten i Fig. 2, der alle transistorene har minimumslengde ($0.2\mu m$) og bredden på pMOS transistorene er P ganger minimumsbredde ($0.4\mu m$) og bredden på nMOS transistorene er N ganger minimum bredde. Finn N og P slik at intrinsikk kapasitans blir minst mulig og at effektiv motstand i opptrekk og nedtrekk blir like (“worst case”).

Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

F. Oppgave 4.5

Lag en figur som viser tidsforsinkelse som funksjon av elektrisk effort for en 2inngangs NOR port. Hvordan blir tidsforsinkelsen sammenlignet med 2inngangs NAND port?

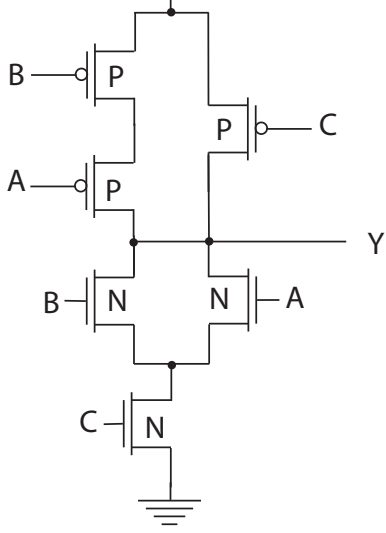


Fig. 2. Komplementær CMOS port.

G. Oppgave 4.6

Anta en $4x$ inverter med transistorer med bredde 4 ganger en enhetsinverter. Dersom en enhetsinverter har tre enhetskapasitanser ($3C$) som inngangskapasitans og parasittisk tidsforsinkelse p_{inv} , hva blir inngangskapasitansen for $4x$ invertieren? Hva blir logisk effort og parasittisk tidsforsinkelse?

IV. Obligatoriske deloppgaver

Oppgavene utføres i grupper på 2 studenter.

A. Oppgave 1

Benytt inngangssignaler som har svært kort stige- og falltid ($< 1ps$). Benytt samme transistorstørrelser på pMOS transistorene, og samme størrelse på nMOS transistorene. Bruk en enhetsinverter som ekstern last og dimensjoner transistorene slik at tidsforsinkelse for opptrekk og nedtrekk blir like. Anta at $L_n = L_p = 0.35\mu m$. Ved hjelp av Cadence sjematikk editor og spectre skal følgende simuleringer utføres:

1. *Transient simulering* av 2inngangs NOR port. Finn “worst case” stigetid, falltid og tidsforsinkelse.
2. *Transient simulering* av 2inngangs NAND port. Finn “worst case” stigetid, falltid og tidsforsinkelse.

B. Oppgave 2

Ved hjelp av Cadence sjematikk editor og spectre skal du finne frekvensen for en ringoscillator bestående av 7 enhetsinvertere. Kan vi dimensjonere transistorene slik at frekvenser øker?

REFERENCES

- [1] Neil H.E. Harris og David Harris “CMOS VLSI DESIGN, A circuit and system perspective” tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,