

# INF3400/4400 Digital Mikroelektronikk

## Oppgaver DEL 8

### Våren 2006

YNGVAR BERG

#### I. DEL 8

##### Del 8: Effektforbruk og statisk CMOS

###### A. Temaer

TR ansistormodellen utvides med en modell for strøm i svak inversjon, dvs. når gate source spenningen er lavere enn terskelspenningen. Lekkasjemodeller for pn-overganger introduseres og lekkasje mellom gate og kanal diskuteres. Effektförbruk, både statisk- dynamisk- og kortslutningseffekt blir gjennomgått. En rekke CMOS logikk stiler blir gjennomgått. Pseudo nMOS, ganged CMOS og source følger opptrekslogikk (SFPL) har alle signifikant statisk effektforbruk avhengig av inngangsmønstre. Kaskode spenning svitsj logikk (CVSL) har ikke signifikant statisk effektforbruk. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Svak inversjon.* Kapittel 2.4.4 side 88 - 89.
3. *Lekkasje i pn-overganger.* Kapittel 2.4.5 side 89 - 90.
4. *Tunnelering.* Kapittel 2.4.6 side 90.
5. *Introduksjon til effektforbruk.* Kapittel 4.4 side 187 - 188.
6. *Statisk effektforbruk.* Kapittel 4.4.1 side 188 - 190.
7. *Dynamisk effektforbruk.* Kapittel 6.2.2.1 side 190 - 191.
8. *Pseudo nMOS.* Kapittel 6.2.2.1 side 327 - 330.
9. *Ganged CMOS.* Kapittel 6.2.2.2 side 330 - 331.
10. *Source følger opptrekslogikk.* Kapittel 6.2.2.3 side 331.
11. *Kaskode spenning Svitsj logikk.* Kapittel 6.2.3 side 331 - 332.

#### II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 8 (og DEL 7) blir gjennomgått 17 mars. Arbeid med obligatoriske deloppgaver i DEL 7 bør avsluttes i løpet av uke 13.

#### III. OPPGAVER

###### A. Oppgave 2.11

Finn strømlekkasje i svak inversjon i en inverter ved romtemperatur når inngangen er 0. Anta at  $\beta_n = 2\beta_p = 1mA/V^2$ ,  $n = 1.4$  og  $|V_{tp}| = V_{tn} = 0.4V$ . Anta at bodyeffekt og DIBL koefisient  $\gamma = \eta = 0$ .

###### B. Oppgave 4.28

Du vurderer å senke  $V_{DD}$  for å redusere effektforbruket i en statisk CMOS port. Du vil også skalere  $V_t$  proporsjonalt. Vil dynamisk effektforbruk gå opp eller ned? Vil statisk effektforbruk gå opp eller ned?

###### C. Oppgave 6.18

Tegn transistorskjema for pseudo-nMOS 3inngangs NAND og NOR porter. Angi transistorstørrelser og finn logisk effort for nedtrekk og opptrekk og gjennomsnitt for portene.

###### D. Oppgave 6.19

Tegn transistorskjema for en pseudo-nMOS port som implementerer funksjonen  $F = \overline{A(B + C + D)} + E \cdot F \cdot G$ .

###### E. Oppgave 6.25

Sammenlign gjennomsnittelig tidsforsinkelse i 2, 4, 8 og 16 inngangs pseudo nMOS og SFPL NOR porter når vi antar at portene skal drive fire identiske porter.

###### F. Oppgave 6.26

Tegn transistorskjema for en 3inngangs CVSL OR /NOR port.

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,