

INF3400/4400 Digital Mikroelektronikk

Oppgaver DEL 9

Våren 2006

YNGVAR BERG

I. DEL 9

Del 9: Dynamisk CMOS

A. Temaer

DYNAMISKE RETSER BLIR GJENNOMGÅTT. Problemer *E* med dynamiske kretser diskuteres. Domino logikk og dual-rail domino logikk blir presentert. Problemer med ladningsdeling blir diskutert og en forenklet modell blir presentert. Ulike metoder for precharge blir introdusert. Kretser med blødertransistorer (keepers) blir diskutert i tillegg til NP domino- og Zipper domino logikk. Modeller for beregning av logisk effort og tidsforsinkelse i kjeder med dynamiske porter blir introdusert. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. Innhold.

2. *Introduksjon til dynamiske kretser.* Kapittel 6.2.4 side 332 - 334.
3. *Domino logikk.* Kapittel 6.2.4.1 side 334 - 336.
4. *Dual-rail domino logikk.* Kapittel 6.2.4.2 side 336 - 337.
5. *Ladningsdeling.* side 340.
6. *Precharge av interne noder i nedtrekket.* Kapittel 6.2.4.4 side 340 - 341.
7. *Bødere (keepers).* Kapittel 6.2.4.3 side 338 - 340.
8. *Logisk effort i dynamiske kjeder.* Kapittel 6.2.4.5 side 341 - 343.
9. *NP og Zipper domino.* Kapittel 6.2.4.7 side 343 - 345.

II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 9 blir gjennomgått 31 mars. Arbeid med obligatoriske deloppgaver i DEL 9 påbegynnes og bør avsluttes i løpet av uke 14.

III. OPPGAVER

A. Oppgave 6.27

Tegn transistorskjema for dynamisk footed 3inngangs NAND og NOR porter. Angi bredde på transistorene. Hva blir logisk effort for portene.

B.

Tegn transistorskjema for funksjonen $F = A \cdot B \cdot (C + D)$ ved å bruke domino logikk.

C. Oppgave 6.28

Tegn transistorskjema for en 3inngangs dual-rail domino OR/NOR port.

D.

Tegn transistorskjema for funksjonen $F = A \cdot B \cdot (C + D)$ med en differensiell dynamisk port med dynamisk bløder. Diskuter fordeler og ulemper med denne implementasjon i forhold til domino logikk.

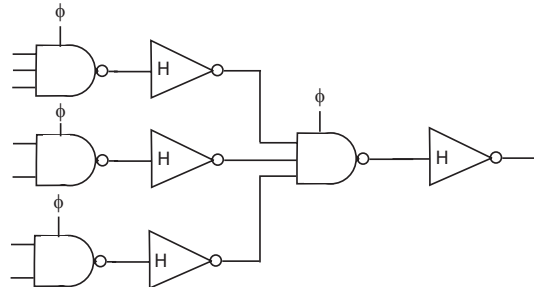


Fig. 1. Dynamisk kjede.

Finn tidsforsinkelse i den dynamiske kjeden som er vist i Fig. 1.

F. Eksamensoppgave 2005

Tegn transistorskjema for en 3inngangs dynamisk footed NAND port. Anta at bredden på pMOS transistoren er 1, finn fornuftige verdi på bredden (N) på nMOS transistorene.

G. Eksamensoppgave 2005

Hva blir parasittisk tidsforsinkelse for nedtrekket for 3inngangs dynamisk footed NAND porten?

IV. OBLIGATORISKE DELOPPGAVER

A. Oscillator

Bruk utlegg av en CMOS inverter til å lage en oscillator bestående av 7 invertere i ring. Finn oscillator frekvens basert på simulering av ekstrahert utlegg. Hva tror du vil skje med frekvensen dersom man dobler bredden på alle transistorene?

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,