

Del 3: Utvidet transistormodell og DC karakteristikk for inverter og pass transistor

YNGVAR BERG

I. INNHOLD

CMOS INVERTER DC karakteristikk og hvordan transistorstørrelser påvirker karakteristikken. Definisjon og beregning av støymarginer. Transistormodellen utvides med kanallengdemodulasjon og body effekt. DC karakteristikk for pass transistorer og transmisjonsporter. DC karakteristikk for ulike typer invertere, invertere med statisk last og psuedo nMOS inverter. Praktisk arbeid er knyttet til DC simulering av ulike typer av invertere. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. Innhold.
2. CMOS inverter DC karakteristikk. Kapittel 2.5.1 side 94 - 97.
3. Transistor størrelser. Kapittel 2.5.2 side 97.
4. Støymargin. Kapittel 2.5.3 side 98 - 99.
5. Kanallengdemodulasjon eller kanalforkortning Kapittel 2.4.2 side 86 - 87.
6. Inverter med statisk last Kapittel 2.5.4 side 100.
7. Psudo nMOS inverter Kapittel 2.5.4 side 100 - 101.
8. Body effekt Kapittel 2.4.3 side 87 - 88.
9. Pass transistor DC karakteristikk Kapittel 2.5.5 side 101 - 102.
10. Tristate inverter Kapittel 2.5.6 side 102 - 103.
11. Kretssimulering DC. Kapittel 5.1 - 5.2.1 side 273 - 279.

II. CMOS INVERTER DC KARAKTERISTIKK (Kapittel 2.5.1 side 94 - 97)

* Forutsetter en enkel forståelse av førsteordens transistor ligninger. (INF3400 Del 2: Enkel MOS transistor modell, Kapittel 2.2 side 71 - 75)

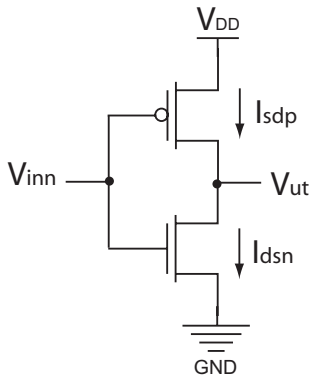


Fig. 1. CMOS Inverter med positiv strømretning for pMOS- og nMOS transistor. Merk forskjellen fra læreboken ved at vi definerer positiv strømretning og kaller strømmen I_{sdp} istedet for I_{dsp} som vil være negativ. (FIG2.23)

En CMOS inverter er vist i Fig. 1, der positive strømretninger er vist. Merk forskjellen fra læreboken (FIG2.23) ved at vi definerer positiv strømretning for pMOS transistoren og kaller strømmen I_{sdp} istedet for I_{dsp} som vil være negativ.

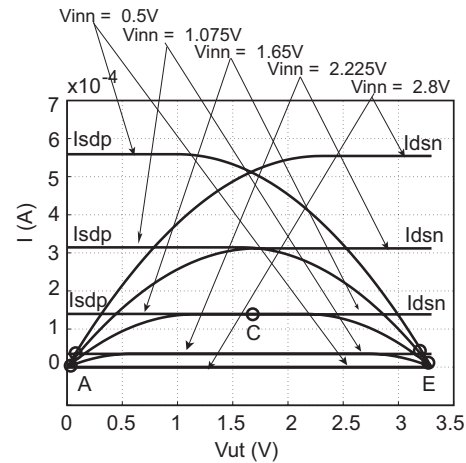


Fig. 2. Transistor strømmer som funksjon av utgangsspenning for ulike inngangsspenninger.

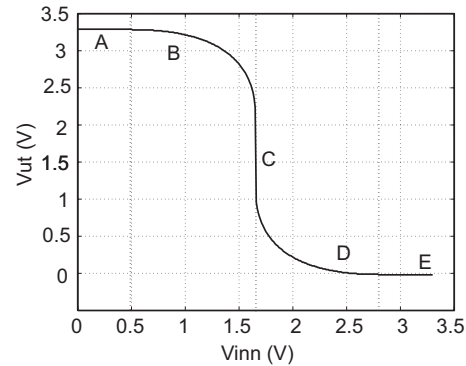


Fig. 3. CMOS Inverter DC (V-V) karakteristikk

Med utgangspunkt i førsteordens transistormodeller for pMOS- og nMOS transistorene skal vi finne inverterens DC karakteristikk, dvs. utgangen som funksjon av inngangen eller V_{ut} som funksjon av V_{inn} . Vi lager et plott som viser strømmen gjennom transistorene som en funksjon av utgangen på inverteren for ulike inngangsspenninger. For nMOS transistoren tilsvarer dette I_{dsn} som funksjon av V_{dsn} fordi $V_{dsn} = V_{ut}$. For pMOS transistore derimot må vi se på I_{sdp} som funksjon av $V_{ut} = V_{DD} - V_{sdp}$. Dette vil i praksis si at vi flytter kurven som vist i Fig. 2. Der hvor strømkurven for nMOS transistoren gitt en spesifikk $V_{inn} = V_{gsn}$ krysser strømkurven for pMOS transistor med samme inngangsspenning $V_{inn} = V_{DD} - V_{sgp}$ får vi et DC punkt (V_{ut}, V_{inn}). Med andre ord en gitt inngangsspenning vil gi ekvivalente strømmer i nMOS- og pMOS transistorene for en bestemt utgangsspenning. På denne måten kan vi finne transfer, eller V-V (DC) karakteristikk for inverteren som vist i Fig. 3.

For pMOS transistoren i inverteren har vi:

$$V_{sgp} = V_{sp} - V_{gp} \quad (1)$$

$$\begin{aligned}
&= V_{DD} - V_{inn} \\
V_{sdp} &= V_{sp} - V_{dp} \\
&= V_{DD} - V_{ut}.
\end{aligned}$$

AV	LINEÆR	METNING
$V_{gsn} < V_{tn}$	$V_{gsn} > V_{tn}$	$V_{gsn} > V_{tn}$
$V_{inn} < V_{tn}$	$V_{inn} > V_{tn}$	$V_{inn} > V_{tn}$
	$V_{dsn} < V_{gsn} - V_{tn}$	$V_{dsn} > V_{gsn} - V_{tn}$
	$V_{ut} < V_{inn} - V_{tn}$	$V_{ut} > V_{inn} - V_{tn}$

TABLE I

Operasjonsområder for nMOS transistor i en inverter (Tabell 2.2 side 94).

AV	LINEÆR	METNING
$V_{sgp} < V_{tp} $	$V_{sgp} > V_{tp} $	$V_{sgp} > V_{tp} $
$V_{inn} > V_{DD} + V_{tp}$	$V_{inn} < V_{DD} + V_{tp}$	$V_{inn} < V_{DD} + V_{tp}$
	$V_{sdp} < V_{dsat}$	$V_{sdp} > V_{dsat}$
	$V_{sdp} < V_{sgp} - V_{tp} $	$V_{sdp} > V_{sgp} - V_{tp} $
	$-V_{ut} < V_{tp} - V_{inn}$	$-V_{ut} > V_{tp} - V_{inn}$
	$V_{ut} > V_{inn} - V_{tp}$	$V_{ut} < V_{inn} - V_{tp}$

TABLE II

Operasjonsområder for pMOS transistor i en inverter (Tabell 2.2 side 94).

Tabell I og II viser de tre operasjonsområdene for transistorene i en inverter. Som vist i Fig. 3 får vi en inverter DC karakteristikk med forskjellige områder der forsterkningen varierer. Inverterens forsterkning er definert i området C.

A. Område A, se Fig. 3

Inngangsspenningen er lavere enn terskelspenningen for nMOS transistoren, dvs. $0 \leq V_{inn} < V_{tn}$. nMOS transistoren vil da være AV og pMOS transistoren vil være PÅ fordi $V_{inn} < V_{DD} + V_{tp}$. Dette må resultere i at utgangen trekkes til V_{DD} på grunn av at $I_{dsn} = 0$ og dermed $I_{sdp} > I_{dsn}$. Med utgang $V_{ut} \approx V_{DD}$ vil pMOS transistoren åpenbart være i det lineære området fordi $V_{ut} > V_{inn} - V_{tp}$. Vi har da at:

$$\begin{aligned}
I_{sdp} &= I_{dsn} \\
\beta_p \left(V_{sgp} - |V_{tp}| - \frac{V_{sdp}}{2} \right) V_{sdp} &= 0 \\
V_{ut} &= V_{DD}.
\end{aligned}$$

B. Område B, se Fig. 3

Inngangsspenningen er høyere enn terskelspenningen for nMOS transistoren, dvs. $V_{tn} \leq V_{inn} < V_{DD}/2$. nMOS transistoren vil da være PÅ og pMOS transistoren vil også være PÅ fordi $V_{inn} < V_{DD} + V_{tp}$. Begge transistorene er PÅ og det vil nå gå en strøm mellom V_{DD} og $V_{SS}(GND)$. Dersom vi antar at $\beta_n = \beta_p$, dvs transistorene er like sterke og $V_{inn} < V_{DD}/2$, som betyr at $V_{gsn}(= V_{inn}) < V_{sgp}(= V_{DD} - V_{inn})$, medfører dette at pMOS er kraftigere biasert og leverer mer strøm enn nMOS transistoren. Utgangen vil derfor ligge nærmere V_{DD} enn V_{SS} . Kriteriet for at nMOS transistoren skal være i metning er at $V_{ut} > V_{inn} - V_{tn}$ som betyr at $V_{inn} < V_{ut} + V_{tn}$. Det spesifikke punktet der nMOS transistoren går fra metning til

lineært område er gitt av $V_{ut} = V_{inn} - V_{tn}$. For pMOS transistoren har vi at metning forutsetter $V_{ut} < V_{inn} - V_{tp}$ som betyr at $V_{inn} > V_{ut} + V_{tp}$ (husk at V_{tp} er negativ). Dette gir en spesifikt punkt for pMOS skifte mellom lineært område og metning $V_{ut} = V_{inn} - V_{tp}$. Som Fig. 3 viser vil nMOS transistoren være i metning og pMOS transistoren være i det lineære området. Vi har da følgende:

$$\begin{aligned}
I_{dsn} &= I_{sdp} \\
\frac{\beta_n}{2} (V_{gsn} - V_{tn})^2 &= \beta_p \left(V_{sgp} - |V_{tp}| - \frac{V_{sdp}}{2} \right) V_{sdp} \\
V_{ut} &= V_{inn} + V_t + \sqrt{(V_{DD} - 2V_{inn})(V_{DD} - 2V_t)},
\end{aligned}$$

der $-V_{tp} = V_{tn} = V_t$ og $\beta_p = \beta_n$.

C. Område C, se Fig. 3

Inngangsspenningen er nær svitsjepunktet til inverteren, dvs. $V_{inn} = V_{DD}/2$. Vi har da at begge transistorene er i metning fordi $V_{inn} - V_{tn} \leq V_{ut} \leq V_{inn} - V_{tp}$. Her er det svært stor forsterkning fordi transistorstrømmene ikke er avhengig av utgangsspenningen i dette området. Stor forsterkning betyr kraftig fall i utgangsspenningen. Vi har:

$$\begin{aligned}
I_{dsn} &= I_{sdp} \\
\frac{\beta_n}{2} (V_{gsn} - V_{tn})^2 &= \frac{\beta_p}{2} (V_{sgp} - |V_{tp}|)^2 \\
(V_{inn} - V_t) &= (V_{DD} - V_{inn} - V_t) \\
V_{inn} &= \frac{V_{DD}}{2},
\end{aligned}$$

der $-V_{tp} = V_{tn} = V_t$ og $\beta_p = \beta_n$.

D. Område D, se Fig. 3

Inngangsspenningen er høyere enn $V_{DD}/2 < V_{inn} < V_{DD} + V_{tp}$. nMOS transistoren er opplagt PÅ og pMOS transistoren er også PÅ fordi $V_{inn} < V_{DD} - V_{tp}$. nMOS transistoren er i lineært område fordi $V_{ut} < V_{inn} - V_{tn}$, og pMOS transistoren er i metning fordi $V_{ut} < V_{inn} - V_{tp}$, se figur 3. Vi har da at:

$$\begin{aligned}
I_{dsn} &= I_{sdp} \\
\left(V_{inn} - V_{tn} - \frac{V_{ut}}{2} \right) V_{ut} &= \frac{1}{2} (V_{DD} - V_{inn} - |V_{tp}|)^2 \\
V_{ut} &= V_{inn} - V_t - \sqrt{(2V_{inn} - V_{DD})(V_{DD} - 2V_t)},
\end{aligned}$$

der $-V_{tp} = V_{tn} = V_t$ og $\beta_p = \beta_n$.

E. Område E, se Fig. 3

Inngangen er nå nær V_{DD} dvs. $V_{inn} > V_{DD} + V_{tp}$. nMOS transistoren er da PÅ og i metning, mens pMOS transistoren er AV. Utgangen vil da være svært nær V_{SS} , dvs. $V_{ut} \approx V_{SS}$. Vi har

$$\begin{aligned}
I_{dsn} &= I_{dsn} \\
\beta_p \left(V_{inn} - V_{tn} - \frac{V_{ut}}{2} \right) V_{ut} &= 0 \\
V_{ut} &= 0
\end{aligned}$$

der $-V_{tp} = V_{tn} = V_t$ og $\beta_p = \beta_n$.

I Fig. 4 er en DC karakteristikk modellert ved hjelp av ligningene for utgangsspenning i områdene A, B, C, D og E vist sammen med karakteristikken fra figur 3. Som vi ser gir dette selvfølgelig samme resultat.

F. Strøm mellom spenningsreferansene

Når en inverter endrer utgangsverdi vil det i løpet av transisisjonen være korte perioder der både pMOS- og nMOS transistoren er på. I slike tilfeller vil det gå en strøm mellom V_{DD} og GND som vist i Fig. 5.

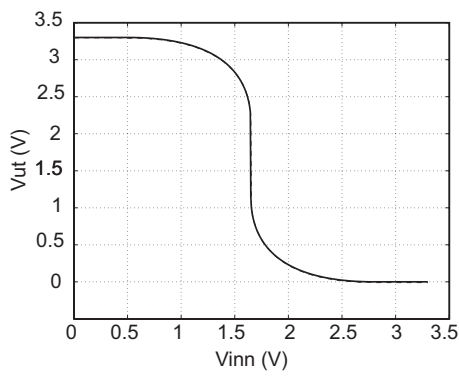


Fig. 4. CMOS Inverter DC (V-V) karakteristik og DC karakteristikk gitt av uttrykk for utgangsspenning i områdene A, B, C, D og E.

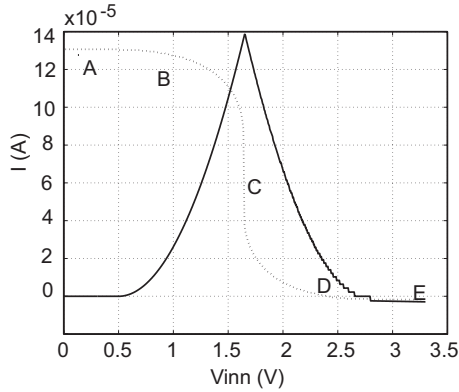


Fig. 5. I en inverters utgangsstransisjon vil både pMOS- og nMOS transistoren være på samtidig slik at det vil gå en strøm mellom V_{DD} og GND.

G. Inngangsterskel

En oppsummering av inverterens operasjonsområder er vist i tabell III. Inverterens inngangsterskel er definert som $V_{inv} = V_{inn} = V_{ut}$.

H. Mål

Fortå hvordan CMOS inverterens transfer-, eller DC (V-V), karakteristikk ser ut, og kunne lokalisere områder der nMOS-, og pMOS transistorene er AV og PÅ, i lineært område eller metning.

		pMOS	nMOS	utgang
A	$0 \leq V_{inn} < V_{tn}$	lineær	av	$V_{ut} = V_{DD}$
B	$V_{tn} \leq V_{inn} < V_{DD}/2$	lineær	metning	$V_{ut} > V_{DD}/2$
C	$V_{inn} = V_{DD}/2$	metning	metning	V_{ut} faller
D	$V_{DD}/2 < V_{inn} \leq V_{DD} - V_{tp} $	metning	lineær	$V_{ut} < V_{DD}/2$
E	$V_{inn} > V_{DD} - V_{tp} $	av	lineær	$V_{ut} = 0$

TABLE III

CMOS inverter (Tabell 2.3 side 96).

III. TRANSISTORSTØRRELSER

(Kapittel 2.5.2 side 97)

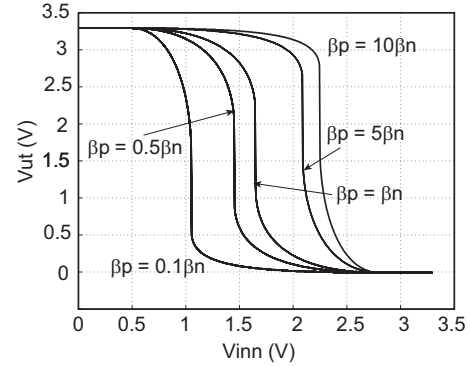


Fig. 6. CMOS Inverter DC (V-V) karakteristik for forskjellige transistorstørrelser.

Transferkarakteristikker for invertere med ulike transistorstørrelser er vist i figur 6. Vi kan se hvordan forholdet i størrelse mellom de to transistorene påvirker inverterens transferkarakteristikk. Derksom vi gjør pMOS transistoren sterkere enn nMOS transistoren vil svitsjepunktet, inngangsterskel, flyttes mot høyre fordi det blir tyngre å dra utgangen ned til 0 gjennom en svak nMOS transistor. Likeledes vil inngangsterskelen flyttes mot venstre når nMOS transistoren styrkes i forhold til pMOS transistoren.

A. Mål

Forstå hvordan transistorstørrelse, spesielt forholdet mellom nMOS- og pMOS transistorer, påvirker inverterens transfer karakteristikk.

B. Notater

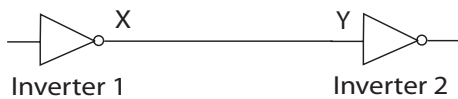


Fig. 7. CMOS Invertere der utgang X skal drive neste inverter og tolkes som inngang Y.

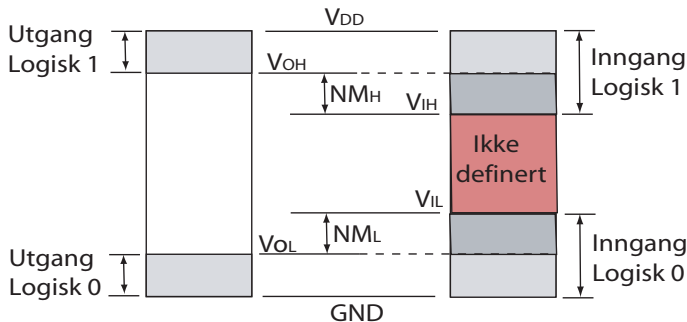


Fig. 8. Støymarginer (FIG2.27)

Støymargin har med robusthet å gjøre. Utgangen på en port må være tilstrekkelig nær de logiske verdiene 0 eller 1 (GND eller V_{DD}) slik at porter som skal tolke signalet i form av en inngang, tolker signalet riktig. Vi må definere sikkerhetsmarginer slik at alle porter fungerer riktig logisk. I Fig. 7 skal inverter 1 med utgang X drive inverter 2 med inngang Y. Vi forutsetter at $Y = X$. Det kritiske for inverter 2 er at inngangen Y er definert som et lovlig signal som vil gi en riktig logisk utgang på inverter 2. Dersom inverter 1 alltid produserer gode signaler som kan defineres som godkjent 0 eller 1 er situasjonen tilfredstillende. For å være sikker på å ikke generere uriktige logiske verdier er det fornuftig å legge et sterkere krav på utgangssignaler enn på inngangssignaler, dvs. dersom inverter 2 kan tolke signaler med dårlige kvalitet (svak 0 eller 1) enn inverter 1 kan produsere får vi en *støymargin*.

Definisjoner, se Fig. 8:

$$NM_L = V_{IL} - V_{OL},$$

der

$$V_{IL} = \text{høyeste inngang tolkes som 0,}$$

$$V_{OL} = \text{høyeste utgang definert som 0}$$

$$NM_H = V_{OH} - V_{IH},$$

der

$$V_{OH} = \text{laveste utgang definert som 1,}$$

$$V_{IH} = \text{laveste inngang tolkes som 1}$$

Støymarginer er vist i Fig. 8 og for en inverter i Fig. 9.

A. Mål

Forstå hvordan støymarginer defineres og hvorfor det er nødvendig med støymarginer

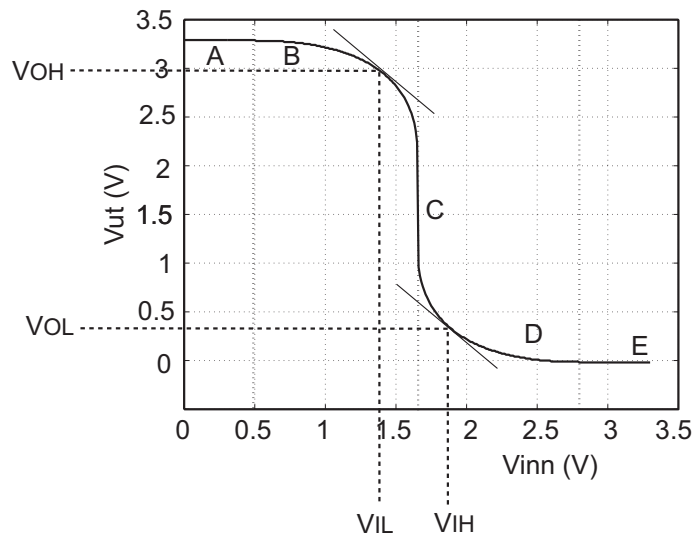


Fig. 9. CMOS Inverter DC (V-V) karakteristikk med støymarginer. Der hvor forsterkningen er -1, dvs. der den deriverte av $V_{ut} = -1$ får vi V_{IH} , V_{IL} , V_{OH} og V_{OL} . (FIG2.28)

B. Notater

* Forutsetter en enkel forståelse av førsteordens transistor ligninger. (INF3400 Del 2: Enkel MOS transistor modell, Kapittel 2.2 side 71 - 75)

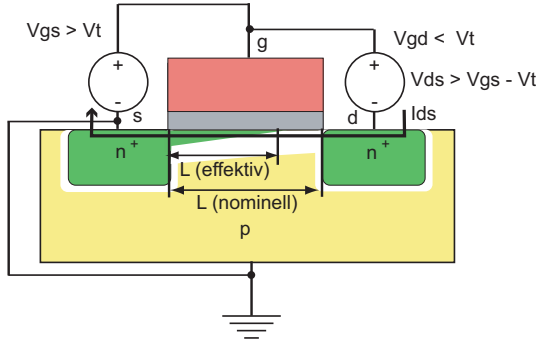


Fig. 10. Tverrsnitt av transistor i metning. (FIG2.3d)

I Del 2 har vi beskrevet en transistor som en (ideell) strømkilde i metning, dvs det er ingen endring i strømmen når vi øker drain source spenningen fra metningsspenningen ($V_{dsat} = V_{gsn} - V_{tn}$). Utgangsimpedansen (motstanden) blir da uendelig stor. Dette er en forenkling som ikke tar hensyn til at den effektive kanallengden blir redusert i metning. Som vist i Fig. 10 vil ikke kanalen strekke seg helt til drain siden. Effekten av dette er at den effektive kanallengden blir kortere og at strømmen øker i metning når drain source spenningen øker. Vi kan modellere den effektive kanallengden som:

$$L_{eff} = L - L_d,$$

der L_d er avstanden fra drain til kanal og L nominell kanallengde. L_d vil øke når drain source spenningen øker. Vi kan modellere strømmen i metning, inkludert kanallengdemodulasjon:

$$I_{ds} = \frac{\beta}{2}(V_{gs} - V_t)^2(1 + \lambda V_{ds}).$$

der λ er en empirisk verdi¹. For å få en kontinuerlig modell multipliseres kanalmodulasjonsleddet også med strømmen i lineært område slik at transistormodellen for nMOS transistor blir:

AV

$$I_{ds} = 0$$

LINEÆR

$$I_{ds} = \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} (1 + \lambda_n V_{ds})$$

METNING

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2 (1 + \lambda_n V_{ds}). \quad (2)$$

Tilsvarende modeller for pMOS transistor med kanalforkortning er:
AV

$$I_{sdp} = 0$$

LINEÆR

$$I_{sdp} = \beta_p \left(V_{sgp} - |V_{tp}| - \frac{V_{sdp}}{2} \right) V_{sdp} (1 + \lambda_p V_{sdp})$$

METNING

$$I_{sdp} = \frac{\beta_p}{2} (V_{sgp} - |V_{tp}|)^2 (1 + \lambda_p V_{sdp}). \quad (3)$$

A. I-V karakteristikker for nMOS transistor med kanallengdemodulasjon

Fig. 11 viser transistorstrøm med og uten kanalmodulasjon.

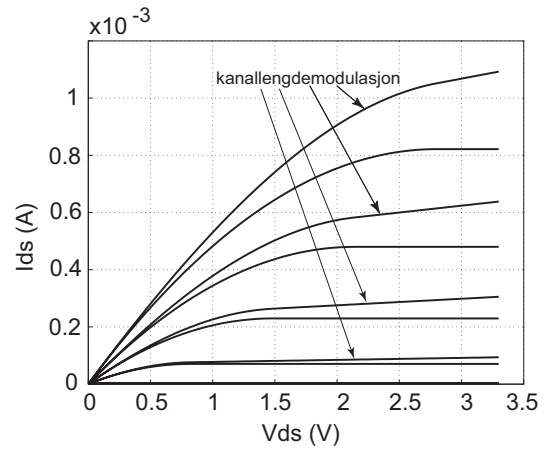


Fig. 11. Transistorstrømm med og uten kanallengdemodulasjon. (FIG2.18)

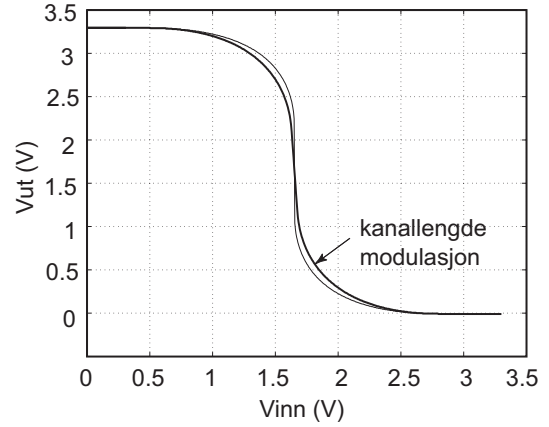


Fig. 12. Inverter DC karakteristikk med og uten kanallengdemodulasjon.

B. Transferkarakteristikk for inverter med kanallengdemodulasjon

Fig. 12 viser DC karakteristikk for CMOS inverter med og uten modell for kanallengdemodulasjon. Som vi ser vil kanallengde modulasjon redusere forsterkningen i forhold til en inverteren modellert med førsteordens transistormodeller.

C. Mål

Forstå og kunne modellere kanallengdemodulasjon.

D. Notater

¹I noen bøker beskrives kanalmodulasjonsfaktor λ analytisk.

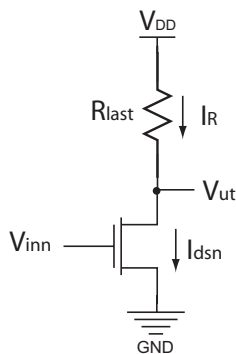


Fig. 13. Inverter med lastmotstand. (FIG2.29a venstre)

Det er to grunnleggende typer statiske eller passive laster som er aktuelle i CMOS

1. Motstand som kalles R_{last} .
2. Strømkilde som kalles I_{last} .

I Fig. 13 er det vist en inverter med en lastmotstand. Strømmen gjennom nMOS transistoren vil ved et stabilt DC punkt alltid være lik strømmen gjennom lastmotstanden. Med andre ord; for en gitt inngangsspenning vil det finnes en utgangsspenning som tilfredstiller kravet $I_R = I_{dsn}$. I motsetning til en vanlig inverter vil denne inverteren ikke ha en aktiv last som endres med inngangssignalet (pMOS transistoren i vanlig inverter), men vil ha en last som ikke er avhengig av inngangssignalet og som vil variere lineært mhp. på utgangen, dvs.

$$R_{last} = \frac{(V_{DD} - V_{ut})}{I_{dsn}} \quad (4)$$

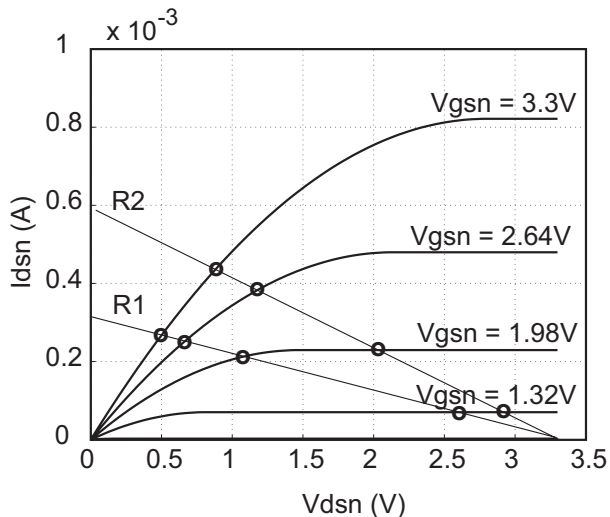


Fig. 14. Transistorstrømmer for inverter med lastmotstand. (FIG2.29b)

Transistorstrømmer i en inverter med en motstand som last er vist i Fig. 14, og en DC karakteristikk for inverter med lastmotstand lik $15k\Omega$ er vist i Fig. 15. Som vi ser er det tynge å dra utgangen lav gjennom nMOS transistoren fordi strømmen i lastmotstanden øker når utgangen faller. I en komplementær inverter vil pMOS strømmen avta når utgangen faller fordi et fall i utgangen er avhengig av en økning i inngangsspenningen som direkte reduserer pMOS strømmen.

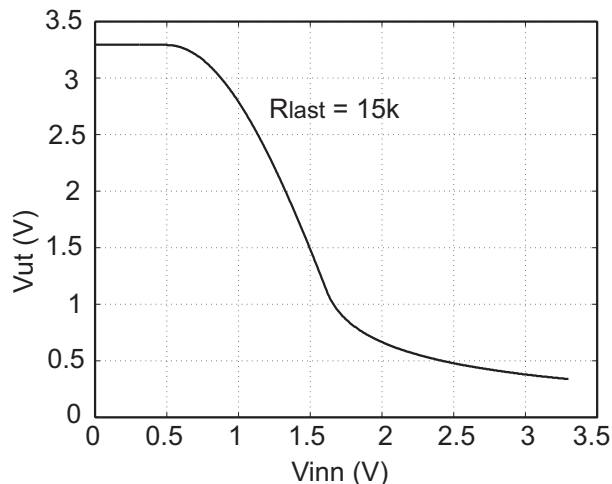


Fig. 15. DC karakteristikk for inverter med lastmotstand. (FIG2.29c)

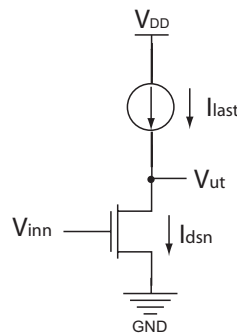


Fig. 16. Inverter med ideell strømkilde som last. (FIG2.29a høyre)

I Fig. 16 er det vist en inverter med en laststrøm. Strømmen gjennom nMOS transistoren vil ved et stabilt DC punkt alltid være lik laststrømmen. Med andre ord; for en gitt inngangsspenning vil det finnes en utgangsspenning som tilfredstiller kravet $I_{dsn} = I_{last}$. I motsetning til en vanlig inverter vil denne inverteren ikke ha en aktiv last som endres med inngangssignalet (pMOS transistoren i vanlig inverter), men vil ha en last som ikke er avhengig av inngangssignalet eller utgangssignalet. For en ideell strømkilde vil vi anta uendelig impedans (motstand), som betyr at laststrømmen er konstant og dermed uavhengig av utgangs- og inngangsspenningen. En DC karakteristikk for en inverter med strømlest lik $200\mu A$ er vist i Fig. 17.

A. Sammenligning med vanlig inverter

For inverttere med statisk last vil det alltid gå en strøm mellom V_{DD} og GND som vil medføre at porten vil ha en betydelig statisk strøm som gir et statisk *effektforbruk* eller *strømforbruk* som vist i Fig. 18. Dette er en klar ulempe i forhold til en vanlig (komplementær) CMOS inverter der den statiske strømmen er neglisjerbar fordi pMOS transistoren (aktiv) vil skrus av når inngangen er 1.

B. Mål

Forstå hvordan inverter med ulike typer statisk last, motstand, strømkilde, fungerer.

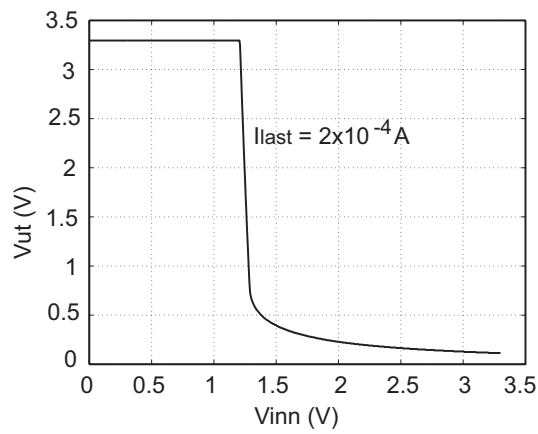


Fig. 17. DC karakteristik for inverter med ideell strømkilde ($200\mu A$) som last.

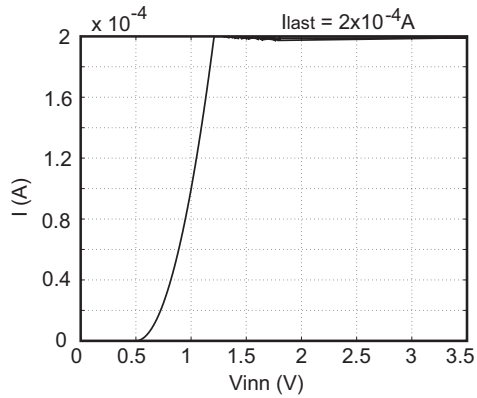


Fig. 18. Strømførbbruk for inverter med ideell strømkilde ($200\mu A$) som last.

C. Notater

VII. PSEUDO NMOS INVERTER (Kapittel 2.5.4 side 101)

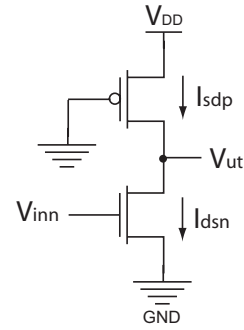


Fig. 19. Pseudo nMOS inverter. (FIG2.30a)

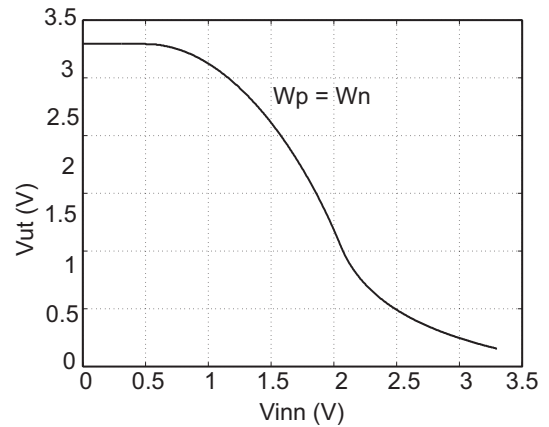


Fig. 20. Pseudo nMOS inverter DC karakteristik med $W_p/L_p = W_n/L_n$. (FIG2.30c)

En såkalt pseudo nMOS inverter² er vist i Fig. 19. Lasttransistoren (pMOS) vil alltid være på, men vil være i lineært område eller metning avhengig av utgangsspenningen. I lineært område kan pMOS transistoren modelleres som en motstand og i metning kan pMOS transistoren forenklet³ modelleres som en ideell strømkilde. Lasten vil her virke som en kombinasjon av motstand og ideell strømkilde.

En DC karakteristik for en pseudo nMOS inverter er vist i Fig. 20. Vi ser at det er tyngre å dra utgangen lav enn for en komplementær inverter.

A. Sammenligning med andre inverttere

En vesentlig forskjell på pseudo nMOS inverter og komplementær inverter er strømførbbruket når utgangen er lav. Vi ser at strømmen som trekkes av kretsen ikke går ned mot 0 for pseudo nMOS inverteren som vist i Fig. 21. Forsterkningen er i tillegg mye mindre og dermed er støymarginer dårligere enn for komplementær inverter. En fordel mel pseudo nMOS inverteren er redusert areal, primært gjennom redusert ruting, og redusert inngangslast fordi inngangen bare skal drive en transistor.

B. Mål

Forstå hvordan pseudo nMOS inverter fungerer.

²Opprinnelsen til dette navnet er at en pMOS transistor som alltid er på har lignende karakteristik som en depletion transistor i NMOS teknologi som er forløperen til CMOS teknologi.

³Vi ser da bort ifra kanallengde modulasjon.

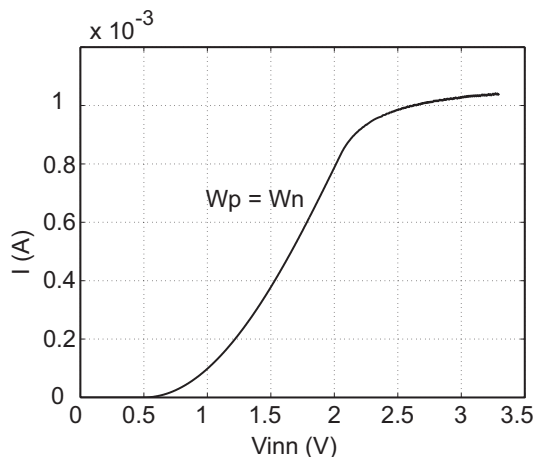


Fig. 21. Strømforbruk for pseudo nMOS inverter med $W_p/L_p = W_n/L_n$. (FIG2.30d)

C. Notater

VIII. BODYEFFEKT

(Kapittel 2.4.3 side 87 - 88)

* Forutsetter en enkel forståelse av førsteordens transistor ligninger[2]. (INF3400 Del 2: Enkel MOS transistor modell, Kapittel 2.2 side 71 - 75)

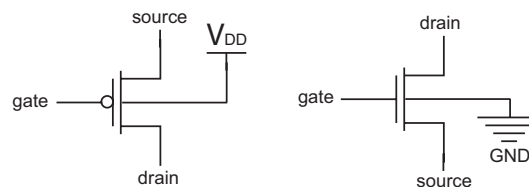


Fig. 22. Transistorsymboler med substrat (body) terminaler. Substratet for nMOS transistor er normalt koblet til GND, og substratet for pMOS transistorer er normalt koblet til V_{DD} .

Vi har til nå forutsatt at source og substrat (bulk) spenningene er like. Det kan selvsagt forekomme at source og substrat ikke har samme spenning, i mange tilfeller vil source på transistorene ikke være fysisk koblet til referansespenninger V_{DD} eller GND . I slike tilfeller vil source bulk spenning V_{sb} påvirke transistorstrømmen. En slik effekt modelleres som en endring i effektiv terskelspenning. For en nMOS transistor har vi at:

$$V_{tn} = V_{tn0} + \gamma \left(\sqrt{\Phi_s + V_{sb}} - \sqrt{\Phi_s} \right), \quad (5)$$

der V_{tn0} er nominell terskelspenning, dvs. terskelspenning når $V_{sb} = 0$, γ er bodyeffekt parameter og overflate potensialet Φ_s er gitt av:

$$\Phi_s = 2V_T \ln \frac{N_A}{n_i}, \quad (6)$$

der N_A er dopekonsentrasjon, n_i er konsentrasjonen av frie ladningsbærere i udopet silisium, og termisk spenning er gitt av:

$$V_T = \frac{kT}{q}, \quad (7)$$

der k er bolzmanns konstant, T er temperatur i Kelvin og q er elementærladning. Termisk spenning er 0.026V ved romtemperatur. Bodyeffekt parameter kan uttrykkes som

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}}, \quad (8)$$

der ϵ_{Si} er permitivitet for silisium og C_{ox} er oksidkapasitans.

A. Mål

Forstå hvordan bodyeffekt påvirker transistorer.

B. Notater

* Forutsetter en enkel forståelse av pass transistorer og transmisjonsporter. (INF3400 Del 1: Pass transistorer og transmisjonsporter, Kapittel 1.4.6 side 14 - 15)

A. Terskelfall

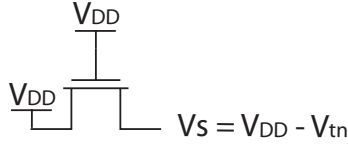


Fig. 23. Terskelfall for nMOS transistor (FIG2.31a).

En nMOS passtransistor vil flytte en sterk logisk 0 fra source til en sterk logisk 0 på drain, og en sterk 1 fra drain flyttes til en svak 1 på source siden av nMOS transistoren. Dersom vi antar at det er logisk 1 på gaten (V_{DD}) vil transistoren skrues av når $V_{gs} < V_{tn0}$, der V_{tn0} er nominelle terskelspenning for nMOS transistor, som betyr at $V_{DD} - V_s$ må være større enn V_{tn0} . Vi har altså at:

$$\begin{aligned} V_{gs} &\geq V_{tn} \\ V_g - V_s &\geq V_{tn} \\ V_{DD} - V_s &\geq V_{tn} \\ V_s &\leq V_{DD} - V_{tn} \end{aligned}$$

En svak 1'er (V'_{DD}) kan være en logisk 1 med et terskelfall, som vist i Fig. 23:

$$V'_{DD} = V_{DD} - V_{tn}. \quad (9)$$

Vi har til nå ikke tatt hensyn til bodyeffekten som vil påvirke passtransistorens transmisjonsegenskaper ytterligere. For en nMOS transistor med en logisk 1 på drain og der source på transistoren ikke er koblet til 0 vil source på transistoren og dermed også V_{sb} ikke bli 0V. Vi kan benytte modellen for effektiv terskelspenning for en nMOS transistor med body effekt til å finne en førsteordens tilnærming for den reelle spenningen på source siden av en nMOS pass transistor

$$\begin{aligned} V''_{DD} &= V_{DD} - V_{t_{effektive}} \\ &= V_{DD} - V_{tn0} + \gamma \left(\sqrt{\Phi_s + V_{sb}} - \sqrt{\Phi_s} \right) \end{aligned} \quad (10)$$

der vi antar $V_{sb} = V_{DD} - V_{tn0}$. For $V_{DD} = 3.3V$, $V_{tn0} = 0.5V$, $\gamma = 0.58$ og $\Phi_s = 0.93V$ får vi $V_s = 3.3V - 1.06V = 2.24V$ mot $2.8V$ uten bodyeffekt.

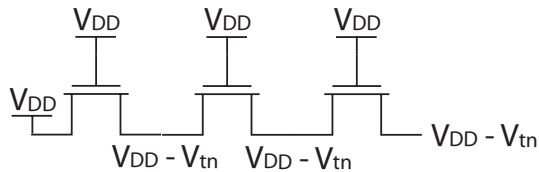


Fig. 24. Terskelfall for kjede av nMOS transistorer (FIG2.31c).

Dersom vi anvender en svak logisk 1 på drain på en kjede (serie) av nMOS transistorer, som vist i Fig. 24, vil signalet flyttes gjennom kjeden av nMOS transistorer til en like svak, men ikke svakere, logisk 1 på på source terminalen på den siste nMOS transistoren.

Dersom vi kobler to nMOS transistorer som vist i Fig. 25 vil den øvre transistoren få et terskelfall på source som vil styre gaten til den nedre transistoren. Gate spenningen på den nedre transistoren blir da lik

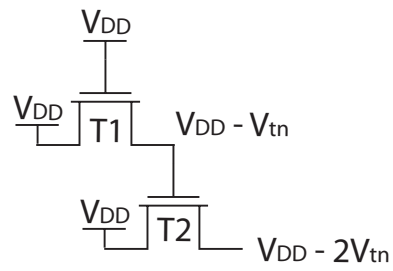


Fig. 25. Terskelfall for to nMOS transistorer (FIG2.31d).

$$\begin{aligned} V_{gs} &\geq V_{tn2} \\ V_g - V_s &\geq V_{tn2} \\ V_{DD} - V_{tn1} - V_s &\geq V_{tn2} \\ V_s &\leq V_{DD} - (V_{tn1} + V_{tn2}), \end{aligned}$$

der V_{tn1} og V_{tn2} er den effektive terskelspenningen for henholdsvis T1 og T2. Man kan forenkle uttrykket ved å sette $V_{tn2} = V_{tn1} = V_{tn}$ slik at $V'_{DD} = V_{DD} - 2V_{tn}$. De to transistorene vil ha forskjellig effektiv terskelspenning fordi de har forskjellig source bulk spenning som i praksis betyr at det blir et større effektivt terskelfall for T1 enn for T2.

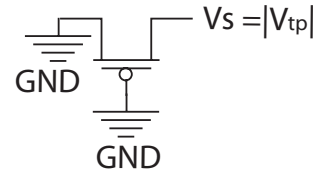


Fig. 26. Terskelfall for pMOS transistor (FIG2.31b).

Tilsvarende vil en pMOS transistorer brukes til å flytte en sterk logisk 1 fra source terminalen til en sterk 1 på drain terminalen, mens en sterk 0 flyttes fra drain til en svak 0 på source terminalen. En svak 0'er (V'_{SS}) kan være en logisk 0 med et terskelspenning i tillegg, som vist i Fig. 26

$$V'_{SS} = |V_{tp}|, \quad (11)$$

der V_{tp} er effektiv terskelspenning gitt bulk source spenningen for pMOS transistoren $V_{bsp} = V_{DD} - |V_{tp0}|$.

B. Transmisjonsport

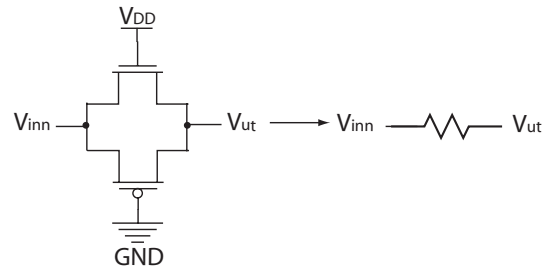


Fig. 27. Ekvivalent motstand i transmisjonsport (FIG2.32 øvre).

En transmisjonsport bestående an en nMOS- og en pMOS pass transistor er vist i Fig. 27. Fra [2] har vi at en nMOS transistor i lineært område kan modelleres som en motstand

$$R_n = \left(\beta_n \left(V_{gsn} - V_{tn} - \frac{V_{dsn}}{2} \right) \right)^{-1} \quad (12)$$

$$\begin{aligned}
&= \left(\beta_n \left(V_{DD} - V_{inn} - V_{tn} - \frac{(V_{ut} - V_{inn})}{2} \right) \right)^{-1} \\
&= \left(\beta_n \left(V_{DD} - \frac{V_{inn}}{2} - V_{tn} - \frac{V_{ut}}{2} \right) \right)^{-1} \\
&\approx (\beta_n (V_{DD} - V_{inn} - V_{tn}))^{-1},
\end{aligned}$$

der V_{tn} er effektiv terskelspenning for nMOS transistoren og vi antar at $V_{ut} \approx V_{inn}$ (følger). Vi har to forskjellige muligheter for signaltransport for transmisjonsporten:

1. Positiv transisjon på inngangen, dvs. V_{inn} endres fra 0 til 1.
2. Negativ transisjon på inngangen, dvs. V_{inn} endres fra 1 til 0.

Vi ser først på tilfellet der inngangen skifter fra 0 til 1. nMOS transistoren er i lineært område når

$$\begin{aligned}
V_{dsn} &< V_{gsn} - V_{tn}, \\
V_{ut} - V_{inn} &< V_{DD} - V_{inn} - V_{tn} \\
V_{ut} &< V_{DD} - V_{tn}.
\end{aligned} \tag{13}$$

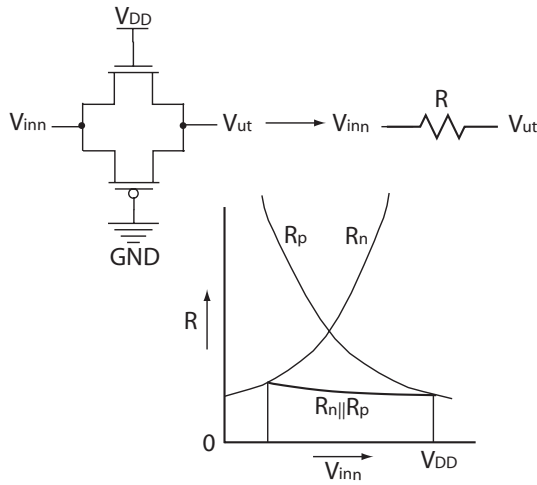


Fig. 28. Ekvivalent motstand i transmisjonsport (FIG2.32 nedre).

Vi ser at nMOS transistoren sannsynligvis er i lineært område for alle inngangsspenninger ved en positiv transisjon. Husk at utgangen vil starte en transisjon fra 0 til 1 før transisjonen på inngangen er ferdig, dvs. $V_{ut} \approx V_{inn}$. Modell for motstandsekvivalenten for nMOS transistoren i lineært område viser at motstandsverdien øker når inngangsspenningen øker som vist i Fig. 28. Tilsvarende argumentasjon gjelder for pMOS transistoren der vi kan anta at transistoren er i lineært område for alle inngangsspenninger, og en forenklet pMOS motstandsekvivalent kan uttrykkes som

$$\begin{aligned}
R_p &= (\beta_p (V_{sgp} - |V_{tp}|))^{-1} \\
&= (\beta_p (V_{ut} - |V_{tp}|))^{-1},
\end{aligned} \tag{14}$$

der V_{tp} er effektiv terskelspenning for pMOS transistoren. Vi ser at R_p vil avta med økende inngangsspenning som vist i figur 28. Den effektive motstanden vil være gitt av motstandsekvivalenter for en nMOS- og en pMOS transistor i parallell:

$$\begin{aligned}
R &= R_n || R_p \\
&= \frac{R_n R_p}{R_n + R_p}.
\end{aligned}$$

C. Konduktans

En konduktans kan defineres som

$$\begin{aligned}
G &= R^{-1} \\
&= \frac{I}{V}.
\end{aligned}$$

For nMOS og pMOS transistorer i lineært område får vi

$$\begin{aligned}
G_n &= R_n^{-1} \\
&= \beta_n (V_{DD} - V_{inn} - V_{tn}) \\
G_p &= R_p^{-1} \\
&= \beta_p (V_{ut} - |V_{tp}|)
\end{aligned}$$

Parallellkobling av to konduktanse er gitt av

$$\begin{aligned}
G_{0 \rightarrow 1} &= G_n + G_p \\
&= \beta_n (V_{DD} - V_{inn} - V_{tn}) + \beta_p (V_{ut} - |V_{tp}|) \\
&= \beta (V_{DD} - 2V_t + (V_{ut} - V_{inn})) \\
&\approx \beta (V_{DD} - 2V_t),
\end{aligned}$$

der $V_t = V_{tn} = -V_{tp}$, $\beta = \beta_n = \beta_p$ og $V_{ut} \approx V_{inn}$. I en transmisjonsport vil utgangen følge inngangen med en liten tidsforsinkelse slik at utgangen i de fleste tilfeller vil være nesten lik inngangen. Vi ser at med de forenklinger vi har gjort vil ekvivalent konduktansen være konstant $\approx \beta V_{DD}$, dette tilsvarer en ekvivalent motstand $R_{0 \rightarrow 1} = (\beta V_{DD})^{-1}$ som tilsvarer en strøm $I = \beta V_{DD} (V_{ut} - V_{inn})$. Transmisjonsporten er symmetrisk som betyr at for en motsatt transisjon på inngangen vil vi få tilsvarende forenklet ekvivalent konduktans (og motstand)

$$\begin{aligned}
G_{1 \rightarrow 0} &= \beta (V_{DD} - 2V_t + (V_{inn} - V_{ut})) \\
&\approx \beta (V_{DD} - 2V_t) \\
R_{1 \rightarrow 0} &\approx (\beta (V_{DD} - 2V_t))^{-1}.
\end{aligned} \tag{15}$$

Vi ser at med forenklet ekvivalent får vi samme konduktans og motstandverdi $G = G_{1 \rightarrow 0} = G_{0 \rightarrow 1}$ og $R = R_{1 \rightarrow 0} = R_{0 \rightarrow 1}$.

D. Mål

Forstå hvordan pass transistorer virker med terskelfall og ekvivalent motstand.

E. Notater

* Forutsetter en enkel forståelse av tristate inverter[3].
(INF3400 Del 1: , Kapittel 1.4.7 side 17 - 18)

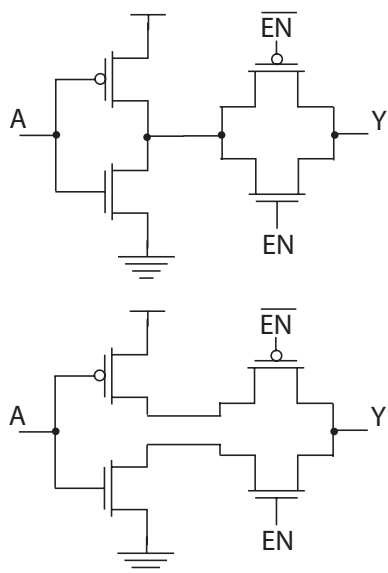


Fig. 29. Tristate inverter med transmisjonsport (FIG2.33a og b).

Vi kan lage en tristate inverter ved å kombinere en inverter og en transmisjonsport som vist i Fig. 29 (øverste figur). Enable signalet EN brukes til å kontrollere om utgangen skal drives av inverteren eller ikke. Ser vi nærmere på kretsen vil vi se at kretsene i Fig. 29 vil være logisk ekvivalente. En fordel med den nederste kretsen er at vi får en mer effektiv tristate inverter.

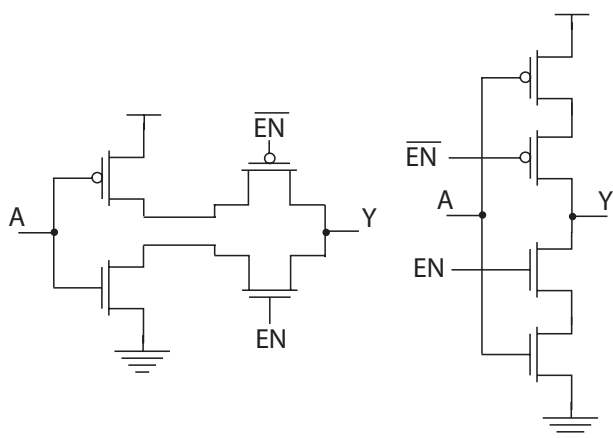


Fig. 30. Tristate inverter (FIG2.33b og c).

En elektrisk ekvivalent implementasjon av den nederste figuren i Fig. 29 er vist i Fig. 30. Legg merke til at figuren på høyre side er identisk med tristate inverteren i [3].

A. Mål

Forstå hvordan tristate inverter virker.

Praktisk arbeid med kretssimulering vil bli gjennomgått på gruppetimer. Simulatoren som brukes i INF3400 er **Spectre(s)** i **Cadence**. Simulatoren er en **spice (Hspice)** type simulator men der det finnes et eget program for å spesifisere kretser ved hjelp av en grafisk **sjematikk** editor. Man kan bruke spice som et eget program (**Pspice** for PC) som kan lastes ned fra nettet, men da må kretser som skal simuleres spesifiseres som et såkalt **deck** I forelesningsnotatet beskrives generelle forhold ved kretssimulering. I Weste [1] beskrives spice som en simulator der man må lage sine egne deck.

A. Mål

Få praktisk erfaring med DC simulering av enkle kretser i spectre.

B. Notater

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,
- [2] Yngvar Berg "INF3400 Del:2"
- [3] Yngvar Berg "INF3400 Del:1"