

# Del 4: Moderne MOS transistor modell, transient simulering og enkle utleggsregler

YNGVAR BERG

## I. INNHOLD

ENkle modeller for MOS transistor kapasitanser gjennomgås, herunder gate- og diffusjonskapasitanser. En kort introduksjon til utleggsregler blir presentert. RC modeller for beregning av tidsforsinkelser for inverter og komplekse logiske porter blir gjennomgått. Hastighetsmetning gjennomgås og transistormodeller med hastighetsmetning introduseres. Transientsimulering ved hjelp av spectre inngår som obligatorisk deloppgave.

Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Introduksjon til utleggsregler.* Kapittel 1.5.3 side 28 - 32.
3. *Enkle MOS kapasitans modeller.* Kapittel 2.3.1 side 75 - 77.
4. *Gatekapasitans detaljer.* Kapittel 2.3.2 side 77 - 80.
5. *Diffusjonskapasitans.* Kapittel 2.3.3 side 80 - 83.
6. *Enkle RC modeller.* Kapittel 2.6 side 103 - 105.
7. *RC Forsinkelsesmodeller.* Kapittel 4.2.1 side 158 - 161.
8. *Hastighetsmetning.* Kapittel 2.4.2 side 84 - 86.
9. *Transientsimulering.* Kapittel 5.2.3 side 280 - 281.

## II. INTRODUKSJON TIL UTLEGGREGLER (Kapittel 1.5.3 side 28 - 32)

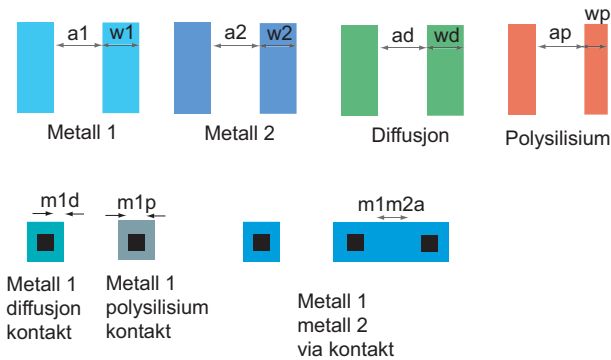


Fig. 1. Utleggsregler (FIG1.39)

Noen sentrale minimumsavstander og størrelser er vist i Fig. 1. Ulike CMOS prosesser vil ha forskjellige utleggsregler. Det er slik at moderne prosesser tillater generelt mindre avstander og strukturer enn eldre prosesser. Dette kommer av framskritt i prosesseteknologien. Årsaken til at man krever en viss avstand mellom ulike signalførende noder, for eksempel avstand mellom metalledere, er at for kort avstand vil føre til elektrisk interferens (crosstalk) mellom signaler som ikke skal påvirkes av hverandre. Det er alltid en avveining mellom avstander, dvs. areal, og elektrisk interferens.

Noen sentrale regler for avstander og størrelser i tilknytning til en inverter er vist i Fig. 2. I dette eksemplet har vi et ptype substrat og ntype brønn. Det er vanlig i digital CMOS

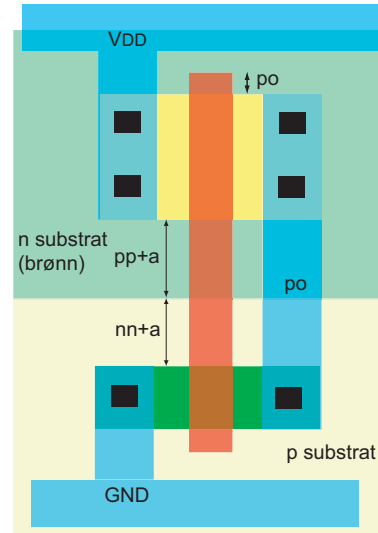


Fig. 2. Noen utleggsregler for inverter (FIG1.39)

å benytte minimumsstørrelser på ulike strukturer, typisk transistorer. Dette medfører en gevinst i redusert areal, men også i redusert kapasitans som vil medføre at kretsene vil ha liten tidsforsinkelse. Liten tidsforsinkelse gir raske kretser som kan fungere med svært høye klokkefrekvenser.

### A. Mål

Enkel forståelse av utleggsregler.

### B. Notater

Fra [2] har vi en enkel modell for *gatekapasitans*:

$$C_g = C_{ox}WL, \quad (1)$$

der oksidkapasitans  $C_{ox} = \epsilon_{ox}/t_{ox}$ .

Som kjent vil transistorkanalen ikke alltid strekke seg helt til drain siden av transistoren. Dette betyr at den enkle gate kapasitans modellen, der kanalens areal antas å være lik  $WL$  (dvs. strekker seg helt til drain), ikke er særlig nøyaktig. Det er vanlig å tilpasse modellen for gatekapasitans ved å bruke følgende modell

$$C_g = C_{permicron}W, \quad (2)$$

der

$$C_{permicron} = C_{ox}L. \quad (3)$$

Det vi nå har er gjort er å dele opp kapasitansen i to deler, der vi har en del som er en funksjon av den effektive kanallengden  $L$ .

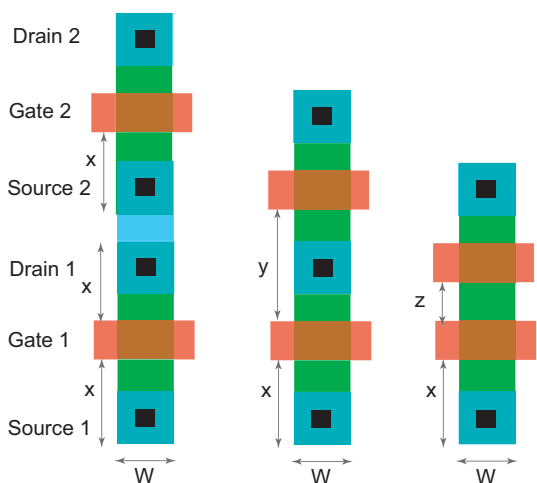


Fig. 3. Ulike geometrier for diffusjonsområder. (FIG2.9)

I Fig. 3 er det vist ulike geometrier for diffusjonsområder. Utlegget viser tre ulike versjoner av to nMOS transistorer i serie. Som vi ser av figuren er det stor forskjell i areal og perimeter på diffusjonsområdet som deles av drain på transistor 1 (Drain 1) og source på transistor 2 (Source 2). Det er ingen logisk forskjell på funksjonen som dette utlegget representerer. I versjonen lengst til venstre har de to transistorene hvert sitt diffusjonsområde som er knyttet sammen ved hjelp av metall og to kontakter. I dette tilfellet blir arealet og perimeter på diffusjonen mellom transistor 1 og 2 gitt av summen av de to områdene. I versjonen i midten deler transistor 1 og 2 samme diffusjonsområde med en kontakt i midten. I versjonen til høyre deler transistorene også diffusjonsområdet mellom transistorene, og her er arealet og perimeter på diffusjonsområdet redusert til et minimum ved at kontakten er fjernet og gatene er flyttet så nær hverandre som mulig. Minimumsavstand mellom gatene er bestemt av utleggsregler for en bestemt prosess.

#### A. Mål

Modellere gatekapasitans med enkle modeller.

\* Forutsetter kjennskap til enkel MOS transistor modell[2]. (INF3400 Del 2: , Kapittel 2.2 side 71 - 75)

For å beregne riktig verdi på gatekapasitanser må vi ta hensyn til transistorenes operasjonsområde. Den enkle modellen for gate kapasitans tar ikke hensyn til at kanalen (substratet) rett under gaten endres avhengig av transistorens operasjonsområde. Vi kaller den *intrinsiske ubiaserte gatekapasitansen*  $C_0$ , som er gitt av

$$C_0 = WLC_{ox}. \quad (4)$$

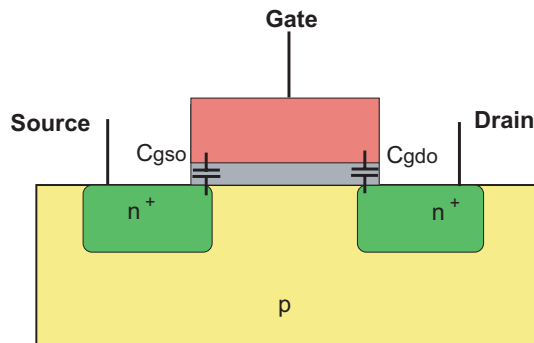


Fig. 4. Overlappskapasitanser. (FIG2.10)

Det er naturlig å først se på en statisk kapasitans som ikke er avhengig av terminalspenninger på transistoren. Ser vi nærmere på transistoren vist i Fig. 4 ser vi (noe overdrevet på figuren) at source og drain regionene ligger litt under gaten. Dette er nødvendig for å sikre at transistoren vil fungere. Dette overlappet mellom gate og source og gate og drain kommer av *lateral diffusjon*. Dette overlappet gir opphav til to kapasitanskomponenter som kalles *overlappskapasitanser*  $C_{gs0}$  og  $C_{gd0}$ :

$$C_{gs0} = C_{gsol}W$$

$$C_{gd0} = C_{gdol}W,$$

der  $C_{gsol}$  og  $C_{gdol}$  er prosessparametre for overlappskapasitanser pr. mikrometer, typiske verdier er  $0.2 - 0.4fF/\mu m$ .

Det er vanlig å dele opp gatekapasitans i ulike komponenter fordi substratet under kanalen varierer; gate til bulk kapasitans  $C_{gb}$  når transistoren er av, gate til source kapasitans  $C_{gs}$  når vi har kanal på source siden av kanalen og gate til drain kapasitans  $C_{gd}$  når vi har kanal på drain siden av transistoren. Vi ser nærmere på transistorens operasjonsområder:

1. **AV.** Transistoren er AV som medfører at det ikke er kanal under gaten. Vi kaller kapasitansen mellom gate og substrat (bulk) *gate bulk kapasitans*  $C_{gb}$ . Når gate spenningen økes til rett under terskelspenningen får vi en deplensjonssone under gaten som medfører at gate bulk kapasitansen reduseres<sup>1</sup>. Det er vanlig å modellere gate bulk kapasitansen som  $C_{gb} = C_0$ .
2. **Lineært område.** I lineært område har vi kanal som strekker seg fra source til drain. Vi fordeler da kapasitansen

<sup>1</sup>Vi får da to kapasitanser i serie, dvs. en kapasitans mellom gate og toppen av substratet rett under gaten og en kapasitans fra toppen av substratet og over deplensjonssonen ned i substratet.

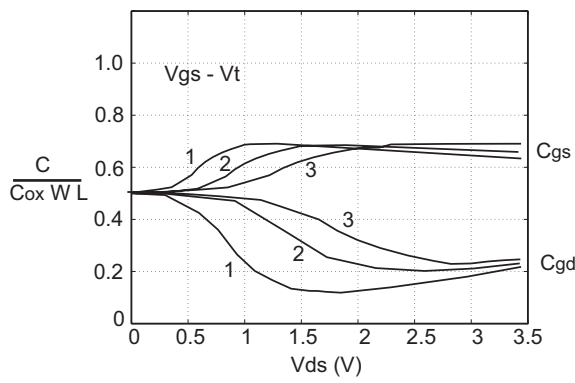


Fig. 5. Gate source- og gate drain kapasitanser. (FIG2.11)

sett fra gate til kanal ved source og drain. Vi kaller disse kapasitansene *gate source kapasitans*  $C_{gs}$  og *gate drain kapasitans*  $C_{gd}$ . Vi har da  $C_{gs} = C_{gd} = C_0/2$ . Dersom vi øker drain spenningen vil kanalen på drain siden reduseres, noe som medfører at gate drain kapasitansen reduseres.

**3. Metning.** I metning har vi kanal bare ved source slik at gate drain kapasitansen er nær 0. I tillegg vil gate source kapasitansen økes noe. Vi har  $C_{gd} = 0$  og  $C_{gs} = 2/3C_0$ .

I Fig. 5 er  $C_{gs}$  og  $C_{gd}$  vist som funksjon av drain source spenning for ulike gate source spenninger. Som vi ser er kapasitansene avhengig av drain source spenningen.

Parameter	AV	LINEÆR	METNING
$C_{gb}$	$C_0$	0	0
$C_{gs}$	0	$C_0/2$	$2C_0/3$
$C_{gd}$	0	$C_0/2$	0
$C_g = C_{gb} + C_{gs} + C_{gd}$	$C_0$	$C_0$	$2C_0/3$

TABLE I

Gatekapasitans i ulike operasjonsområder for transistor (Tabell 2.12 side 78).

I tabell I vises forenklet modeller for gatekapasitans i ulike operasjonsområder for transistoren.

Det vil i tillegg være stor variasjon på gatekapasitans for ulike spenninger og transisjoner på terminalene. I Fig. 6 vises gatekapasitans for en nMOS transistor som har en positiv inngangstransisjon (slås på) i ulike situasjoner. I eksempel 3 der både source og drain er 0 vil gatekapasitansen være lik  $C_0$ . Dersom source og/eller drain får en lik transisjon som inngangen vil gatekapasitansen bli redusert. I motsatt tilfeller, dvs. der transisjonene på source og/eller drain går i motsatt retning vil gatekapasitans bli økt. Som vi ser er det betydelig variasjon på gatekapasitansen.

#### A. Mål

Modellere gatekapasitans, gate source kapasitans og gate drain kapasitans. Forstå hvordan transistorenes terminalspenninger påvirker kapasitansene knyttet til transistorene.

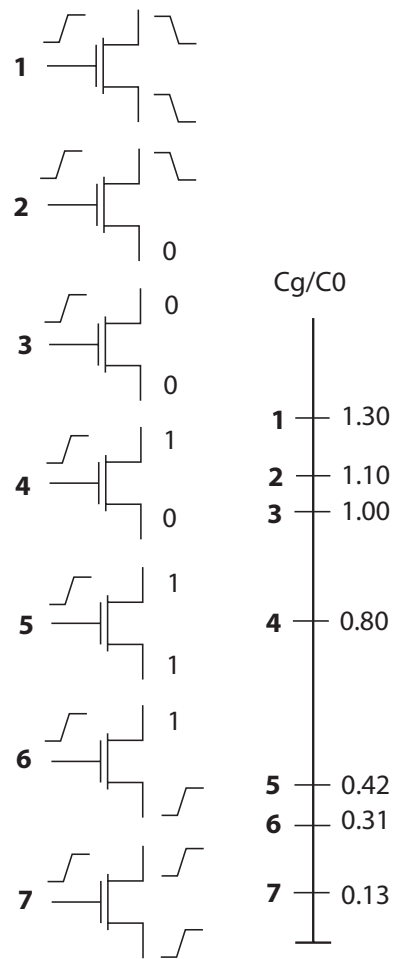


Fig. 6. Gate kapasitanse for ulike signalnivåer og signaltransisjoner på source og drain. (FIG2.12)

#### B. Notater

\* Antar kjennskap deplesjonsutstrekning i reversforspente pn overganger (dioder) som er pensum i FYS1210.

Som kjent vil pn overgangen mellom et diffusjonsområde (sterkt dopet silisium) og substrat danne en deplesjonsone som vil fungere som en kapasitans som vil være knyttet til diffusjonsområdet. En slik kapasitans kalles *diffusjonskapasitans*. Dette vil i praksis ha betydning for drain/source områder på transistorer. Det er bare elektriske noder som endrer spenning som vil merke en slik kapasitans, dvs. diffusjonsområder knyttet til spenningsreferansene  $V_{DD}$  og  $GND$  vil ikke bidra med kapasitans i en logisk port som skifter signalnivå.

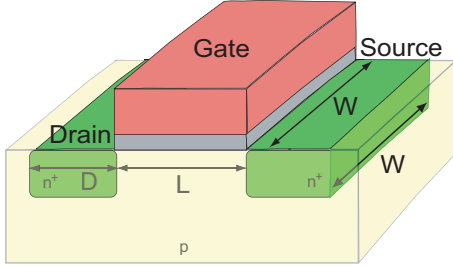


Fig. 7. Geometrier for diffusjonsområder (FIG2.13)

Som vist i Fig. 7 vil diffusjonsområdene knyttet til en transistor bestå av source og drain. Bredden på transistoren vil bestemme bredden på diffusjonsområdet og utstrekningen av diffusjonsområdene vil være avhengig av prosess og design som for eksempel vist i Fig. 3. Vi kan kalle diffusjonsområdets utstrekning for  $D$  som vist i figure 7 og har da modellen for *diffusjonskapasitans på source*:

$$C_{sb} = AS \cdot C_{jbs} + PS \cdot C_{jbssw}, \quad (5)$$

der diffusjonsområdets areal  $AS = WD$ , diffusjonsområdets perimeter  $PS = 2W + 2D$ ,  $C_{jbs}$  er en prosessavhengig parameter i kapasitans/areal og  $C_{jbssw}$  også er prosessavhengig og oppgitt i kapasitans/lengde.

Kapasitansen er avhengig av deplesjonsdybden og derfor avhengig av reversforspenningen:

$$C_{jbs} = C_j \left(1 + \frac{V_{sb}}{\Psi_0}\right)^{-M_J}, \quad (6)$$

der  $C_j$  er deplesjonskapasitans uten reversforspenning ( $V_{sb} = 0$ ),  $M_J$  er deplesjonskoeffisient ("junction grading coefficient") og  $\Psi_0$  er innebygd potensiale ("built-in potential").  $C_j$  er en empirisk verdi gitt for spesifikke prosesser og  $M_J$  varierer fra 0.5 til 0.33 avhengig av hvor brå pn overgangen er. Det *innebygde potensialet* er gitt av:

$$\Psi_0 = v_T \ln \frac{N_A N_D}{n_i^2}, \quad (7)$$

der  $v_T$  er *termisk spenning*,  $N_A$  er *dopekonsentrasjonen i ptype silisium*,  $N_D$  er *dopekonsentrasjonen i ntype silisium* og  $n_i$  er konsentrasjonen av frie ladningsbærere i intrinsikk eller udopet silisium. Termisk spenning er som navnet tilsier avhengig av temperatur;  $v_T = kT/q$ , der  $k$  er *boltzmanns konstant*,  $T$  er temperatur i Kelvin og  $q$  er ladning til en ladningsbærer. For en

nMOS transistor er ladningsbærere elektroner og konsentrasjonen av frie ladningsbærere i ntype silisium vil være lik dopekonsentrasjonen  $N_D$ . Konsentrasjonen av frie ladningsbærere (hull) i p substratet vil være lik  $N_A$ .

Kapasitansbidraget fra sideveggene i diffusjonsområder uttrykkes på tilsvarende måte:

$$C_{jbssw} = C_{Jsw} \left(1 + \frac{V_{sb}}{\Psi_0}\right)^{-M_{Jsw}}, \quad (8)$$

der  $C_{Jsw}$  og  $M_{Jsw}$  er henholdsvis deplesjonskapasitans for sideveggene uten forspenning og deplesjonskoeffisient for diffusjonsområdets sidevegger.

På tilsvarende måte kan diffusjonskapasitans for drain områder uttrykkes, der  $AD$  erstatter  $AS$ ,  $PD$  erstatter  $PS$  og  $V_{bd}$  erstatter  $V_{sb}$ .

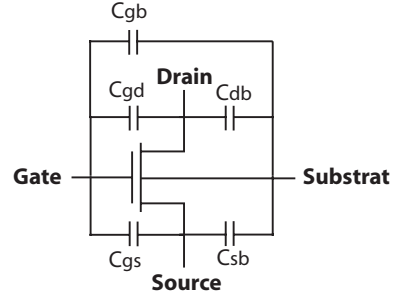


Fig. 8. Kapasitanser knyttet til en nMOS transistor (FIG2.14)

En oppsummering av kapasitansene knyttet til en nMOS transistor er vist i Fig. 8.

#### A. Mål

Modellere diffusjonskapasitanser og forstå hvordan kapasitansene er avhengig av terminalspenninger og utleggsgometri.

#### B. Notater

Formålet med *RC modeller* er å utvikle enkle modeller for beregning av tidsforsinkelser i en port eller krets. Det er vanlig å uttrykke *tidsforsinkelse* på formen  $RC$ , der  $R$  er effektiv motstand og  $C$  er lastkapasitans. Som kjent kan en MOS transistor i lineært område modelleres (forenklet) som som en spenningsstyrt motstand:

$$\begin{aligned} R &= \left( \frac{\delta I_{ds}}{\delta V_{ds}} \right)^{-1} \\ &\approx (\beta(V_{gs} - V_t))^{-1} \\ &\approx \frac{1}{\mu C_{ox}} \frac{L}{W} (V_{gs} - V_t)^{-1}. \end{aligned}$$

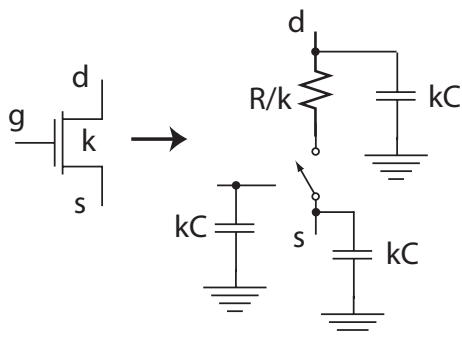


Fig. 9. Ekvivalent  $RC$  krets for en  $nMOS$  transistor med bredde lik  $k$ . (FIG2.34 øverst)

I Fig. 9 er det vist en  $RC$  ekvivalent for en  $nMOS$  transistor med bredde lik  $k$ . Her er kapasitansene koblet mot  $GND$  fordi substratet oftes er koblet til  $GND$ . Spenningsreferansen har ingen betydning for  $RC$  ekvivalentkretsen fordi det antas at både  $GND$  og  $V_{DD}$  ligger på faste potensialer, dvs. spenningsene endres ikke.

Vi antar at en enhetstransistor, dvs. med bredde lik 1 og minimum lengde, har motstand lik  $R$ , gatekapasitans lik  $C$  og diffusjonskapasitans lik  $C$ .

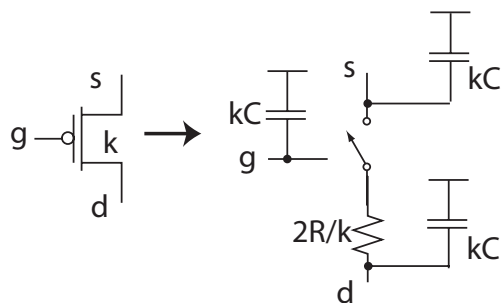


Fig. 10. Ekvivalent  $RC$  krets for en  $pMOS$  transistor med bredde lik  $k$ . (FIG2.34 nederst)

I Fig. 10 er det vist  $RC$  ekvivalent for en  $pMOS$  transistor. Vi modellerer motstanden som  $2R/k$  som utgjør dobbelt så stor motstand som for en like stor  $nMOS$  transistor. Dette kommer av mobilitetsforskjell mellom transistorene  $\mu_n \approx 2\mu_p$ . Det er verdt å bemerke at forskjell i mobilitet kan være vesentlig større og typisk større i moderne prosesser. Det er alltid slik at mobiliteten for  $nMOS$  transistorer er større enn mobiliteten i

$pMOS$  transistorer fordi elektroner er mer mobile enn hull. Her er kapasitansene koblet mot  $V_{DD}$  for å indikere at substratet er koblet til  $V_{DD}$ . Dette har ingen elektrisk betydning for  $RC$  ekvivalenten. Legg merke til at motstanden er plassert på drain siden tilsvarende som for  $nMOS$  transistoren i motsetning til [1]. Dette har heller ingen elektrisk betydning for  $RC$  ekvivalenten fordi motstanden fungerer som en motstand fra drain til source.

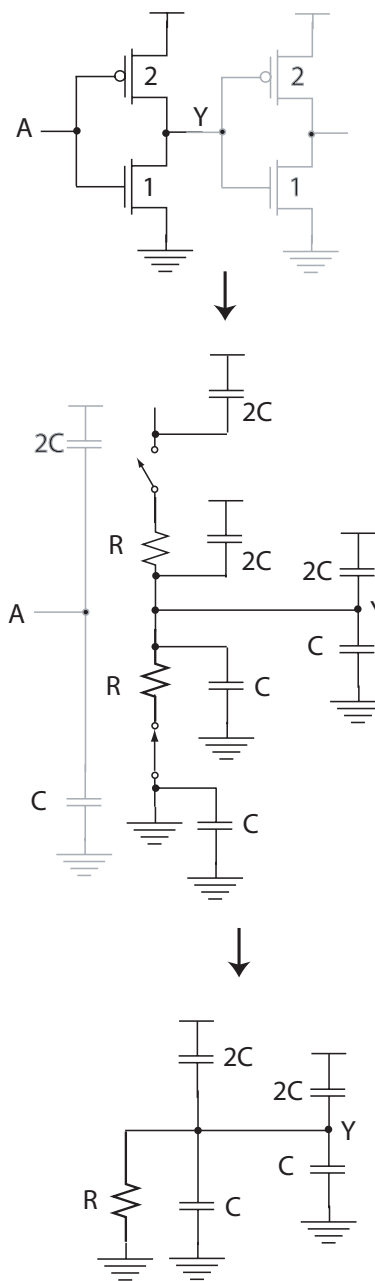


Fig. 11. Ekvivalent  $RC$  krets for en inverter. (FIG2.35)

Vi benytter  $RC$  ekvivalentene til å beregne tidsforsinkelse i en logisk port. Et eksempel er vist i Fig. 11 der en inverter har en annen inverter som last, dvs. skal drive en annen inverter. Vi antar at inngangen  $A$  er logisk 1 slik at  $nMOS$  transistoren er PÅ og  $pMOS$  transistoren er AV. Motstanden for  $pMOS$  transistoren vil ikke inngå i ekvivalenten som vist i den nederste figuren fordi det ikke går strøm gjennom  $pMOS$  transistoren. Husk at motstanden er drain source motstand. Vi kan modellere tidsforsinkelsen for inverteren ved  $t_d = R \cdot (6C) = 6RC$ .

Vi har uttrykt alle kapasitanser og motstander i forhold til en enhetsinverter, dvs. til en inverter med enhets transistorer.

A. Mål

Finne RC ekvivalent for en inverter og beregne tidsforsinkelse for porten.

B. Notater

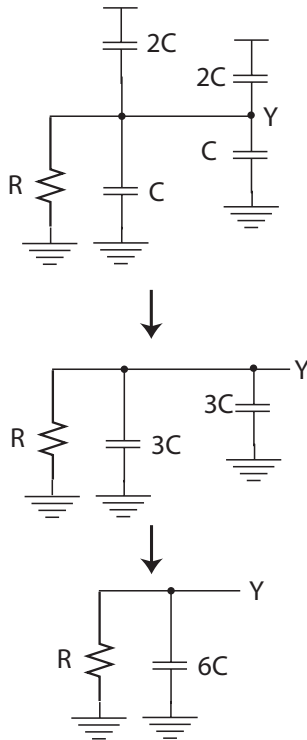


Fig. 12. Forenklet ekvivalent RC krets for en inverter.

En forenklet RC ekvivalent krets av inverteren er vist i Fig. 12.

For passtransistorer vil ekvivalentmotstanden bli litt anderledes. I Fig. 13 er det vist en transmisjonsport der en nMOS transistorer som bidrar til å transmittere en 1er vil ha en økt motstand fra  $R$  til  $2R$ . Tilsvarende vil en pMOS transistorer som bidrar til å transmittere en 0er få økt motstand fra  $2R$  til  $4R$ . Transmisjonsporten vil da ha to motstander i parallell der vi kan finne ekvivalent motstanden for transisjon fra 0 til 1 på inngangen ( $a = 1$ )  $R = 2R || 2R = R$  og ekvivalent motstanden for transisjon fra 1 til 0 på inngangen som  $R = R || 4R = (4/5)R$ .

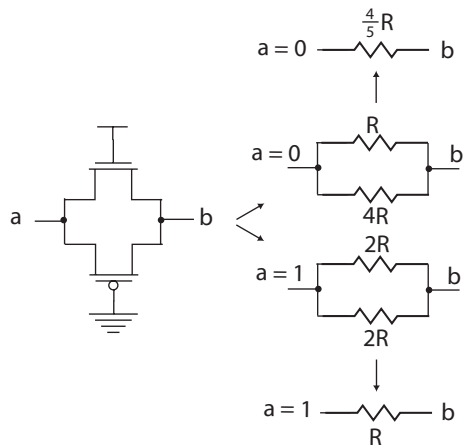


Fig. 13. Ekvivalent RC krets for transmisjonsport. (FIG2.36)

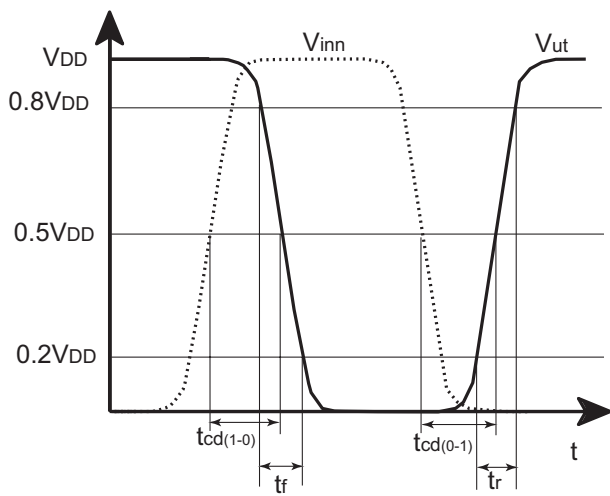


Fig. 14. Definisjon av tidsforsinkelser.

## VII. RC FORSINKELSESMODELLER (Kapittel 4.2 - 4.2.1 side 158 - 161)

Vi ser på modeller for tidsforsinkelse på portnivå.

### A. Estimering av forsinkelse (Kapittel 4.2 side 158 - 159)

Definisjoner for tidsforsinkelse:

- *Stigetid*  $t_r$ . Defineres som tiden det tar for et signal (utgang av port) å stige fra 20% til 80% av stabil verdi. Dette vil i praksis si fra  $0.2V_{DD}$  til  $0.8V_{DD}$ .
- *Falltid*  $t_f$ . Defineres som tiden det tar for et signal (utgang av port) å falle fra 80% til 20% av stabil verdi. Dette vil i praksis si fra  $0.8V_{DD}$  til  $0.2V_{DD}$ .
- *Gjennomsnittstid*  $t_{rf}$ . (Edge rate). Gjennomsnittet av stigetid og falltid for en port.
- *Tidsforsinkelse*  $t_{cd}$  eller  $t_d$  (contamination delay). Minimum tid fra inngang krysser 50% til utgang krysser 50% av stabil verdi. Dette vil i praksis si  $V_{DD}/2$ .

Definisjoner av tidsforsinkelser er vist i Fig. 14.

### B. RC forsinkelsesmodeller (Kapittel 4.2.1 side 159 - 161)

Med utgangspunkt i den enkle RC modellen i avsnitt VI skal vi utvikle RC forsinkelsesmodeller for mer komplekse porter.

#### B.1 Seriekobling av transistorer

Seriekobling av transistorer vil medføre en *effektiv motstand* eller *ekvivalent motstand* gjennom kjeden som

$$R_{effektiv} = \sum_{i=1}^n \frac{R}{k_i}, \quad (9)$$

der  $k_i$  er bredden på  $i$ te transistor og  $n$  er antall transistorer i kjeden.

#### B.2 Parallellkobling av transistorer

To transistorer, med ekvivalent motstand  $R$ , i parallell som vi vet er PÅ vil modelleres som en ekvivalent motstand  $R_{effektiv} = R||R = R/2$ . Dette betyr at parallelle transistorer

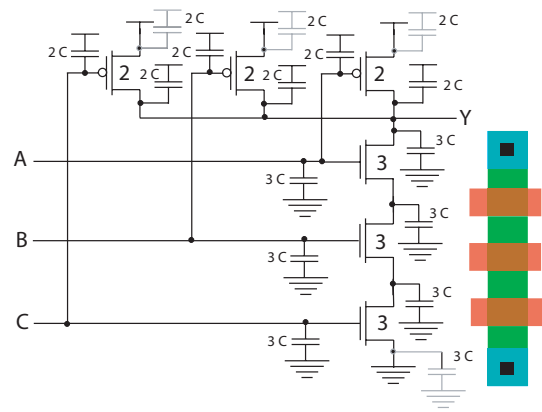


Fig. 15. 3inngangs NAND port med kapasitanser.

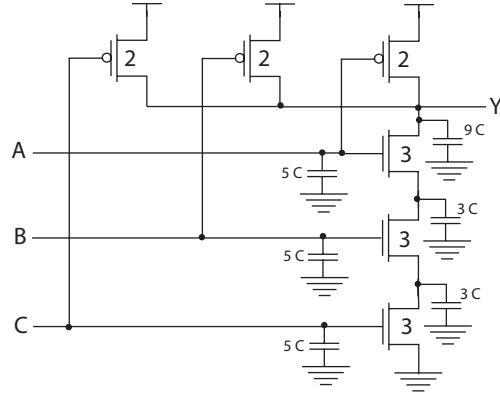


Fig. 16. 3inngangs NAND port med forenklet kapasitansmodell.

som er PÅ vil bidra til å redusere tidsforsinkelser. Det er imidlertid vanlig å beregne såkalt “worst case” tidsforsinkelse, som betyr at vi antar at kun en av transistorene i parallell er PÅ. I praksis vil vi se bort fra parallelle transistorer ved beregning av effektiv motstand.

#### B.3 Eksempel

I Fig. 15 er det vist en 3inngangs NAND port med kapasitanser. Kapasitanser som er knyttet til spenningsreferansene kan vi se bort ifra, det er markert med grått i figuren. nMOS transistorene i serie vil dele drain og source diffusjon som vist til venstre i figuren slik at det er naturlig å ikke ta med kapasitansbidrag fra to diffusjonsområder mellom serie koblede transistorer.

I figur 16 er det vist en forenklet kapasitans ekvivalent for 3inngangs NAND porten. Kapasitanser koblet til spenningsreferansene er fjernet og andre kapasitanser tilhørende samme elektriske node er slått sammen.

Ekvivalentmotstand for  $0 \rightarrow 1$  transisjon vil være gitt av  $R_{effektiv} = 2R/2 = R$  og ekvivalentmotstand for  $1 \rightarrow 0$  transisjon vil være gitt av  $R_{effektiv} = (1/3 + 1/3 + 1/3)R = R$ . Vi har valgt transistorstørrelser, eller bredder, som vil gi lik motstand i “worst case” opptrekk og nedtrekk.

#### C. RC modell

En enkel RC modell vil bestå av en effektiv motstand  $R_{effektiv}$  og en *lastkapasitans*  $C_{last}$  som vist Fig. 17. Lastkapasitansen vil være lik summen av alle kapasitanser i noder mellom

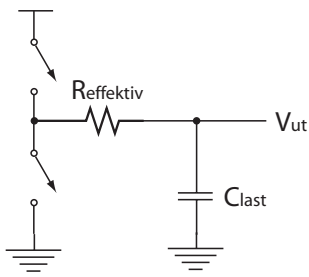


Fig. 17. Enkel RC modell består av en effektiv motstand og en lastkapasitans.

en spenningsreferanse og utgangen med unntak av kapasitanser koblet til selve spenningsreferansene.

#### D. Mål

Modellere lastkapasitans og ekvivalent motstand i komplekse logiske porter. Finne tidsforsinkelse i komplekse logiske porter.

#### E. Notater

\* Forutsetter kjennskap til enkel MOS transistor modell[2].  
(INF3400 Del 2: , Kapittel 2.2 side 71 - 75)

Transistorer som er mindre enn ca.  $1\mu m$  vil oppføre seg noe anderledes enn enkle MOS transistor modeller tilsier. En av grunnene til dette er at det elektriske feltet over kanalen blir svært kraftig pga. kort kanallengde, vi sier da at transistoren går raskere i metning, eller mer presist i *hastighetsmetning*. Hastighetsmetning inntreffer når ladningsbærere får så stor energi, pga påvirkning fra et svært kraftig felt, at ladningsbærerne kolliderer forholdsvis ofte. Når dette skjer vil ikke en styrking av det elektriske feltet, ved økning i drain source spenning, bidra til å øke strømmen i transistoren. Hastighetsmetning inntreffer raskere, dvs for mindre drain source spenning, når kanallengden blir redusert.

Vi uttrykker hastigheten til ladningsbærere som:

$$\nu = \frac{\mu E_{lat}}{1 + \frac{E_{lat}}{E_{sat}}}, \quad (10)$$

der  $E_{lat} = V_{ds}/L$  er lateralt elektrisk felt mellom source og drain<sup>2</sup>,  $E_{sat}$  er feltstyrken når hastighetsmetning inntreffer og  $\mu$  er mobiliteten til ladningsbærere. Vi modellerer transistorstrømmen når transistoren er i hastighetsmetning som:

$$I_{ds} = C_{ox}W (V_{gs} - V_t) v_{sat}, \quad (11)$$

der  $v_{sat}$  er *metningsspenningen for hastighetsmetning*. For enkelhets skyld kan man anta at transistorer som er korte, dvs.  $L < 1\mu m$ , vil bli hastighetsmettet ved tilstrekkelig høy drain source spenning.

For å få med effekten av at hastighetsmetningen, eller metningsspenningen for hastighetsmetning, er avhengig av transistorlengden utvider vi transistormodellen til:

$$\begin{aligned} I_{ds} &= 0 & V_{gs} < V_t & & AV, \\ I_{ds} &= P_c \frac{\beta}{2} (V_{gs} - V_t)^\alpha \frac{V_{ds}}{V_{dsat}} & LINEÆR & & V_{ds} < V_{dsat}, \\ I_{ds} &= P_c \frac{\beta}{2} (V_{gs} - V_t)^\alpha & METNING & & V_{ds} > V_{dsat} \end{aligned} \quad (12)$$

der  $P_c$  og  $\alpha$  er empiriske verdier avhengig av transistorlengde og metningsspenning  $V_{dsat}$  er gitt av:

$$V_{dsat} = P_v (V_{gs} - V_t)^{\frac{\alpha}{2}}, \quad (13)$$

der  $P_v$  er en empirisk verdi avhengig av transistorlengde.

I Fig. 18 er det vist transistor strømmen i to transistorer med samme  $W/L$ , men ulik lengde. Stiplet linje viser transistorstrøm i en transistor med  $W/L = 2\mu m/2\mu m$  som er vist sammen med en kort transistor med  $W/L = 0.25\mu m/0.25\mu m$  for samme gate source spenninger. Modellene som er benyttet er i denne figuren er gitt av og enkle førsteordens modell uten kanallengde modulasjon.

Vi kan utvide modeller for transistorstrøm for korte transistorer ved å inkludere kanallengdemodulasjon. Ved hastighetsmetning vil kanalen ikke bli kortere, men det vil være en økning i strømmen for økende drain source spenning. Det

<sup>2</sup>Lateralt elektrisk felt er det samme som elektrisk felt som beskrevet i [2].



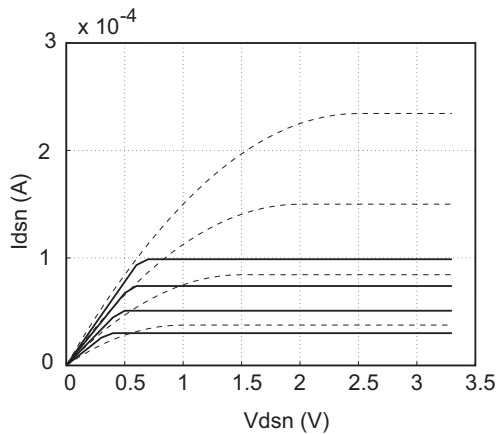


Fig. 18. *I-V* karakteristikk for lang og kort transistor med enkle modeller (FIG2.17)

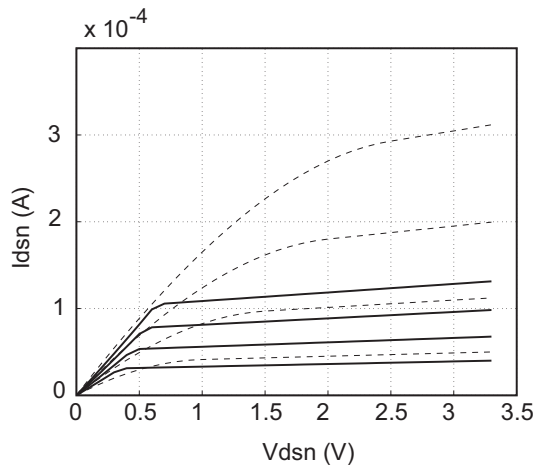


Fig. 19. *I-V* karakteristikk for lang og kort transistor med kanal-lengdemodulasjon (FIG2.17)

å benytte samme modell for kanallengde modulasjon for en transistor i hastighetsmetning som i metning er ikke basert på samme fysikalske forklaring, men gir en fornuftig modell. Modellen blir da

$$I_{ds} = 0 \quad V_{gs} < V_t \quad AV,$$

$$I_{ds} = P_c \frac{\beta}{2} (V_{gs} - V_t)^\alpha \frac{V_{ds}}{V_{dsat}} (1 + \lambda V_{ds}) \text{ LINEÆR } V_{ds} < V_{dsat},$$

$$I_{ds} = P_c \frac{\beta}{2} (V_{gs} - V_t)^\alpha (1 + \lambda V_{ds}) \text{ METNING } V_{ds} > V_{dsat},$$

Transistorstrømmer for transistor i hastighetsmetning er vist sammen med en lengre transistor med samme forhold  $W/L$  i Fig. 19.

#### A. Mål

Forstå, og kunne modellere transistorer i hastighetsmetning.

Praktisk arbeid med kretssimulering vil bli gjennomgått på gruppetimer. Simulatoren som brukes i INF3400 er **Spectre(s)** i **Cadence**. Simulatoren er en **spice (Hspice)** type simulator men der det finnes et eget program for å spesifisere kretser ved hjelp av en grafisk **sjematikk** editor. Man kan bruke spice som et eget program (**Pspice** for PC) som kan lastes ned fra nettet, men da må kretser som skal simuleres spesifiseres som et såkalt **deck** I forelesningsnotatet beskrives generelle forhold ved kretssimulering. I Weste [1] beskrives spice som en simulator der man må lage sine egne deck.

#### A. Mål

Utføre enkle transientsimulering av logiske porter i spectre.

#### B. Notater

$\Psi_0$  4  
 $C_0$  2  
 $C_g$  2  
 $C_{gb}$  2  
 $C_{gd}$  3  
 $C_{gd0}$  2  
 $C_{gs}$  3  
 $C_{gs0}$  2  
 $C_j$  4  
 $C_{jbs}$  4  
 $C_{jbsw}$  4  
 $C_{JSW}$  4  
 $C_{last}$  7  
 $C_{sb}$  4  
 $M_j$  4  
 $M_{JSW}$  4  
 $N_A$  4  
 $N_D$  4  
 $n_i$  4  
*Reffektiv* 7  
 $t_{cd}$  7  
 $t_f$  7  
 $t_r$  7  
 $t_{rf}$  7  
 $v_T$  4  
 Boltzmanns konstant  $k$  4  
 Deplesjonskoeffisient  $M_j$  4  
 Diffusjonskapasitans 4  
     Diffusjonskapasitans på source  $C_{sb}$  4  
 Dopekonsentrasjon 4  
     Dopekonsentrasjonen i ntype silisium  $N_D$  4  
     Dopekonsentrasjonen i ptype silisium  $N_A$  4  
 Effektiv motstand *Reffektiv* 7  
 Ekvivalent motstand 7  
 Falltid  $t_f$  7  
 Gate bulk kapasitans  $C_{gb}$  2  
 Gate drain kapasitans  $C_{gd}$  3  
 Gate source kapasitans  $C_{gs}$  3  
 Gatekapasitans  $C_g$  2  
 Gjennomsnittstid  $t_{rf}$  7  
 Hastighetsmetning 8  
 Innebygd potensial  $\Psi_0$  4  
 Intrisikk ubiaserte gatekapasitans  $C_0$  2  
 Lastkapasitans  $C_{last}$  7  
 Lateral diffusjon 2  
 Metningsspenningen for hastighetsmetning  $v_{sat}$  8  
 Overlappskapasitans 2  
     Overlappskapasitans gate drain  $C_{gd0}$  2  
     Overlappskapasitans gate source  $C_{gs0}$  2  
 RC ekvivalent 5  
 RC modeller 5  
 Stigetid  $t_r$  7  
 Termisk spenning  $v_T$  4  
 Tidsforsinkelse 5, 7  
 Transient simulering ??  
 Utleggsregler 1

## REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, *Addison Wesley*,
- [2] Yngvar Berg "INF3400 Del:2"