

Del 2: Enkel elektrisk transistor modell og introduksjon til CMOS prosess

YNGVAR BERG

I. INNHOLD

Gjennomgang av CMOS prosess

nMOS- og pMOS transistor og tverrsnitt av CMOS inverter. Enkel forklaring på begreper som akkumulasjon, depleksjon og inversjon. Enkel fysikalsk forklaring på transistor som er i lineært område og metning. Enkle førsteordens strømligninger for nMOS- og pMOS transistorer. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *MOS transistor i tverrsnitt.* Kapittel 1.3 side 7 - 9.
3. *CMOS Inverter tverrsnitt.* Kapittel 1.5.1 side 23 - 24.
4. *Akkumulasjon, depleksjon og inversjon.* Kapittel 2.1 side 67 - 68.
5. *Enkel beskrivelse av MOS transistor.* Kapittel 2.1 side 68 - 71.
6. *Enkel MOS transistor modell.* Kapittel 2.2 side 71 - 75.

II. MOS TRANSISTOR I TVERRSNITT (Kapittel 1.3 side 7 - 9)

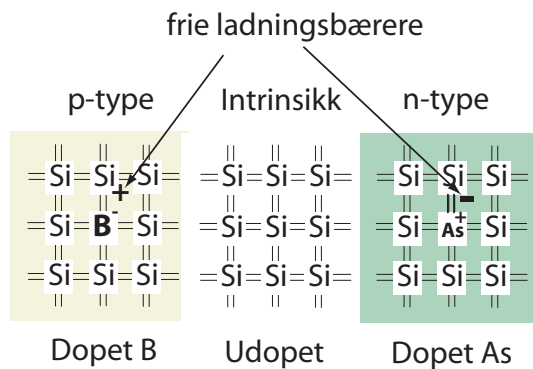


Fig. 1. *Dopet silisium.* (FIG1.6)

Det grunnleggende materialet for CMOS halvleder er silisium (Si). Udopet, eller intrinsikk, silisium vil ikke ha frie ladningsbærere. Ladningsbærere er negative elektroner og positive hull. Et hull kan betraktes som mangel på et elektron. Dersom vi forurensrer, eller doper, silisium kan vi få et halvleder materiale, fortsatt silisium, som vil ha frie ladningsbærere som vist i Fig. 1.

Eksempler på doping:

1. **Arsen (A_s).** Halvlederen vil ha frie elektroner og kalles derfor n-type (n står for negativ).
2. **Bor (B).** Halvlederen vil ha frie hull og kalles derfor p-type (p står for positiv).

A. pn overgang

En pn-overgang vil oppstå der vi har p-type- og n-type halvledere inntil hverandre som vist i Fig. 2.

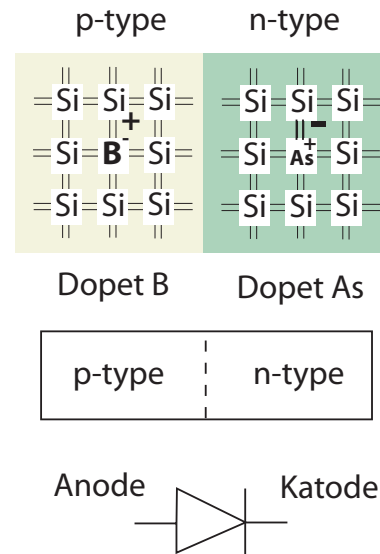


Fig. 2. *pn overgang (diode).* (FIG1.7)

B. Tverrsnitt av MOS transistorer

Integrerte transistorer i CMOS teknologi kalles MOSFET, som står for **Metal On Semiconductor Field Effect Transistor**. I moderne CMOS prosesser er det alltid polysilisium istedet for metall som former gaten.

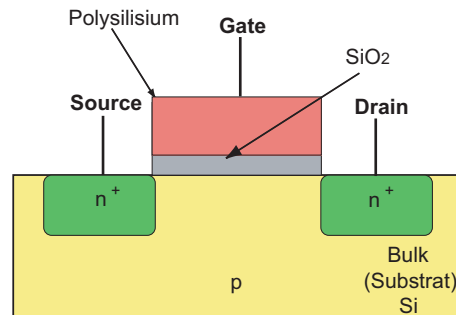


Fig. 3. *Tverrsnitt av nMOS transistor.* (FIG1.8a)

Tverrsnitt av en nMOS transistor er vist i Fig. 3. Vi kaller transistoren nMOS fordi source og drain terminalene er koblet til n-type silisium. Disse områdene kalles for *diffusjon* og er av n^+ type, dvs. kraftig dopet med et stort antall frie elektroner. Mellom gaten og p-substrat er det et isolerende sjikt (SiO_2) som separerer gaten fra substrat slik at det ikke skal gå strøm fra gate til substrat.

Det vil bli dannet pn-overganger mellom n-type- og p-type silisium, dvs mellom source/drain og bulk. Diodene som vil oppstå her skal være revers forspent slik at det ikke vil gå strøm fra bulk til source/drain.

Tverrsnitt av en pMOS transistor er vist i Fig. 4. Vi kaller transistoren pMOS fordi source og drain terminalene er koblet

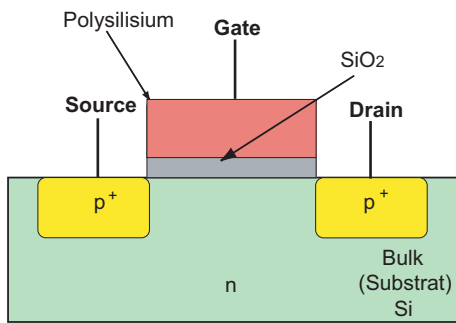


Fig. 4. Tverrsnitt av pMOS transistor. (FIG1.8b)

til p-type silisium. Disse områdene kalles for diffusjon og er av p^+ type, dvs. kraftig dopet med et stort antall frie hull.

Det vil bli dannet pn-overganger mellom n-type- og p-type silisium, dvs mellom bulk og source/drain. Diodene som vil oppstå her skal være revers forspent slik at det ikke vil gå strøm fra source/drain til bulk.

C. Mål

Enkel forståelse av dopet silisium som danner en pn-overgang (diode). Kjenne igjen tverrsnitt av MOS transistor og plassering av pn-overganger.

D. Notater

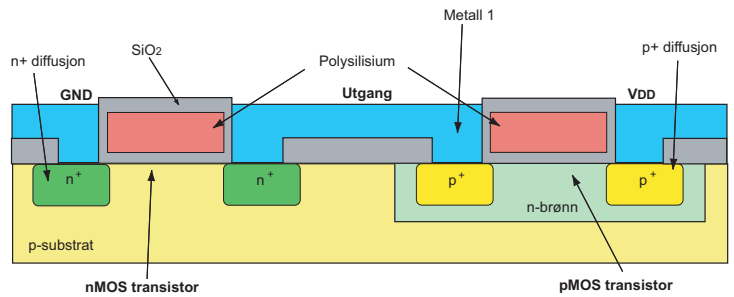


Fig. 5. Tverrsnitt av CMOS inverter. (FIG1.33)

Dersom vi setter sammen en nMOS og en pMOS transistor og kobler sammen gate terminalene og drain terminalene på de to transistorene, og kobler source på nMOS transistoren til GND og source på pMOS transistoren til V_{DD} får vi en inverter. Tverrsnittet av en inverter er vist i Fig. 5.

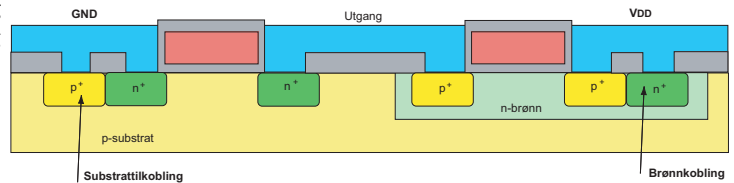


Fig. 6. Tverrsnitt av CMOS inverter med substrat- og brønnkoblelinger. (FIG1.34)

Inverteren som er vist i figuren vil ikke kunne fungere korrekt fordi den mangler riktig tilkobling til substrat og n-brønn (n-substrat). I CMOS skal p-substrat kobles til GND for at nMOS transistoren skal fungere riktig. Likeledes må n-brønnen kobles til V_{DD} for at pMOS transistoren skal fungere riktig. Tverrsnitt av inverter med substrat- og brønnkontakter er vist i Fig. 6.

A. Mål

Kjenne igjen tverrsnitt av CMOS inverter og plassering av substrat- og brønnkoblelinger.

B. Notater

p-type silisium vil som nevnt ha frie ladningsbærere i form av hull. Bildet er noe mer nyansert, i p-type silisium vil det være et overskudd av frie ladningsbærere av form av hull som kalles majoritetsladningsbærere eller majoritetsbærere. I tillegg vil det være noen få frie ladningsbærere i form av elektroner. Vi kaller disse ladningsbærerne for minoritetsladningsbærere eller minoritetsbærere. I n-type silisium vil elektroner utgjøre majoritetsladningsbærere og hull minoritetsladningsbærere.

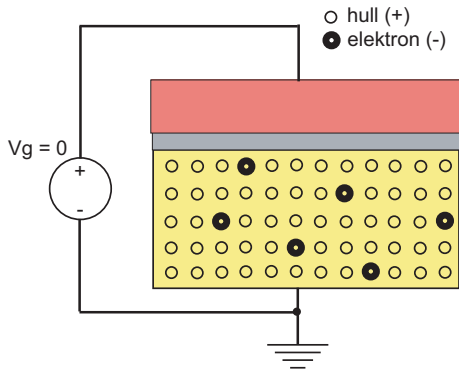


Fig. 7. Ubiasert MOS struktur i p-substrat.

En ubiasert MOS struktur i p-substrat er vist i Fig. 7. Som figuren viser er det overskudd av hull i p-substratet og et lite antall elektroner.

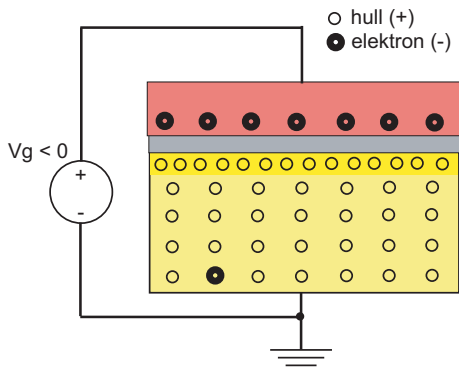


Fig. 8. Negativt biasert MOS struktur i p-substrat. (FIG 2.2a)

Dersom vi biaserer slik at $V_g < 0$ (negativ biasering) vil vi tilføre negativ ladning, dvs. elektroner, til gaten. Denne negative ladingen vil tiltrekke positive ladningsbærere, dvs. hull, fra substratet til overflaten av substratet rett under gaten. Halvleder materialet rett under gaten vil da bli sterkere p-type, dvs. større konsentrasjon eller overskudd på positive majoritetsladningsbærere. Dette kalles *akkumulasjon* og er vist i Fig. 8.

Hvis vi derimot biaserer slik at $0 < V_g < V_t$ (svak positiv biasering) vil vi tilføre positiv ladning, dvs. hull, til gaten. Den positive ladingen vil tiltrekke negative ladningsbærere fra substratet til toppen av substratet rett under gaten som vist i Fig. 9. Vi får da et sjikt rett under gaten som vil ha likt antall positive og negative ladningsbærere. Et slikt materiale tilsvarer intrinsikk, eller udopet, silisium og markeres som et hvitt område i figuren. Dette kalles *depleksjon*. I depleksjonssonen er det ikke en overvekt av en type ladningsbærere, dette er det

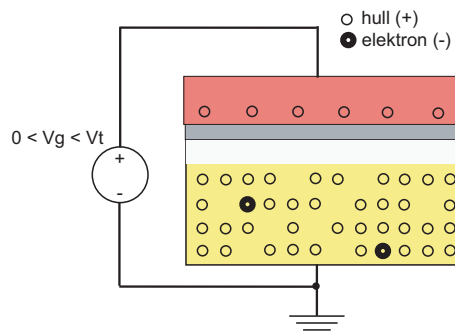


Fig. 9. Svakt positivt biasert MOS struktur i p-substrat. (FIG 2.2b)

samme som at det ikke er frie ladningsbærere i denne sonen. V_t kalles transistorens *terskelspenning*.

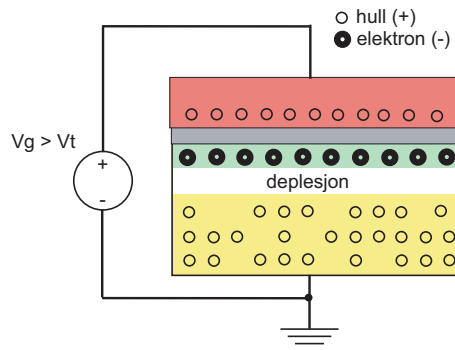


Fig. 10. Sterkt positivt biasert MOS struktur i p-substrat. (FIG 2.2c)

Dersom vi øker den positive biaseringen slik at $V_g > V_t$ (sterk positiv biasering) vil vi tilføre en enda større positiv ladning til gaten som vil trekke enda flere elektroner til rett under gaten. Vi får da et sjikt med overskudd av elektroner som er markert som et grønt område i Fig.10. Dette sjiktet kalles *inversjon*, og mellom inversjon og resten av substratet vil det dannes en depleksjonszone som i praksis ikke vil inneholde frie ladningsbærere. Vi kaller det inverterte området under gaten for *kanal*.

A. Mål

Etablere en enkel forståelse av det fysiske grunnlaget for akkumulasjon, depleksjon og inversjon.

B. Notater

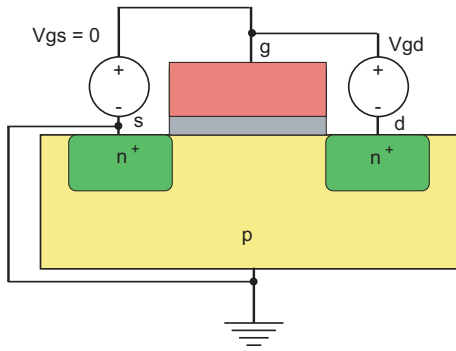


Fig. 11. Ubiasert nMOS transistor. Transistoren vil være slått av fordi gate til source spenningen $V_{gs} \equiv V_g - V_s = 0$. Det vil ikke gå strøm mellom drain og source. $I_{ds} = 0$. (FIG 2.3a)

En ubiasert nMOS transistor er vist i Fig. 11. Transistoren vil være slått av fordi gate til source spenningen $V_{gs} \equiv V_g - V_s = 0$. Det vil ikke gå strøm mellom drain og source. $I_{ds} = 0$.

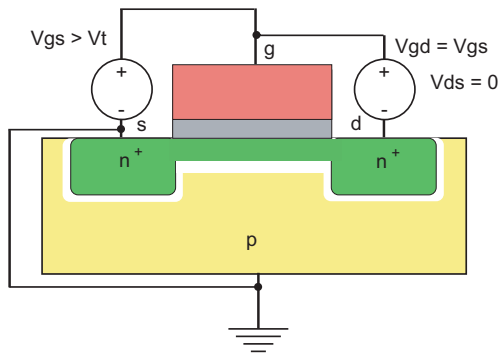


Fig. 12. Biasert nMOS transistor. Transistoren vil være slått på fordi gate til source spenningen $V_{gs} \equiv V_g - V_s > V_t$. Det vil ikke gå strøm mellom drain og source fordi det ikke er spenningsforskjell mellom drain og source ($V_{ds} \equiv V_d - V_s = 0$). $I_{ds} = 0$. (FIG 2.3b)

En biasert nMOS transistor er vist i Fig. 12. Transistoren vil være slått på fordi gate til source spenningen $V_{gs} \equiv V_g - V_s > V_t$. Vi ser at det inverterte sjiktet strekker seg helt fra source til drain, og dermed sier vi at transistoren opererer i det lineære området. En forutsetning for å danne kanal på source siden av transistoren er at

$$V_{gs} > V_t. \quad (1)$$

Forutsetningen for at det skal dannes kanal på drain siden, dvs. at kanalen strekker seg fra source til drain og at transistoren dermed opererer i det lineære området er at

$$\begin{aligned} V_{gd} &> V_t \\ V_g - V_d &> V_t \\ V_g - V_d - V_s &> V_t - V_s \\ V_g - V_s - (V_d - V_s) &> V_t \\ V_{gs} - V_{ds} &> V_t \\ V_{ds} &< V_{gs} - V_t. \end{aligned} \quad (2)$$

Det vil ikke gå strøm mellom drain og source fordi det ikke er spenningsforskjell mellom drain og source ($V_{ds} \equiv V_d - V_s = 0$), $I_{ds} = 0$. Når $V_{ds} = 0$ vil det ikke være et elektrisk felt mellom drain og source slik at det ikke er elektrontransport fra source til drain. Det går da ingen strøm mellom drain og source.

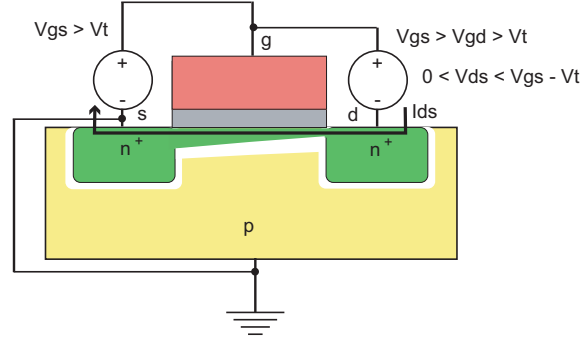


Fig. 13. Biasert nMOS transistor. Transistoren vil være slått på fordi gate til source spenningen $V_{gs} > V_t$. Det vil gå strøm mellom drain og source fordi det er spenningsforskjell mellom drain og source ($V_{ds} > 0$). $I_{ds} > 0$. (FIG 2.3c)

En biasert NMOS transistor er vist i Fig. 13. Transistoren vil være slått på fordi gate til source spenningen $V_{gs} > V_t$. Vi ser at det inverterte sjiktet strekker seg helt fra source til drain, og dermed sier vi at transistoren opererer i det lineære området. I dette tilfellet har vi at $0 < V_{ds} < V_{gs} - V_t$.

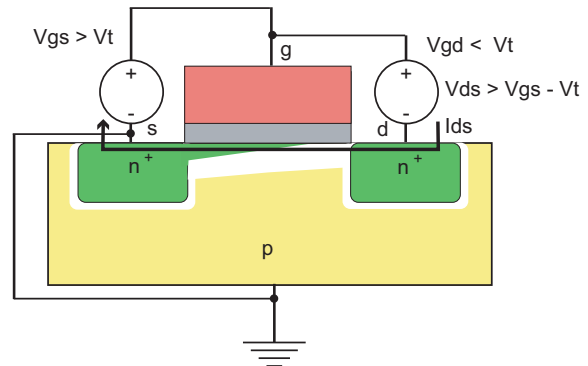


Fig. 14. Biasert nMOS transistor. Transistoren vil være slått på fordi gate til source spenningen $V_{gs} > V_t$. Det vil gå strøm mellom drain og source fordi det er spenningsforskjell mellom drain og source ($V_{ds} > V_{gs} - V_t$). $I_{ds} > 0$. (FIG 2.3d)

Den biaserte transistoren som er vist i Fig. 14 har så stor drain til source spenning V_{ds} at forutsetningen for at det skal dannes kanal på drain siden ikke er oppfylt. Det vil derfor ikke være kanal på drain siden, men det vil likevel gå en strøm mellom drain og source fordi det elektriske feltet mellom drain og source er sterkt. Vi sier at transistoren opererer i metning og $I_{ds} > 0$.

A. Mål

Etablere en enkel forståelse det fysikalske grunnlaget for MOS transistor i av (cutoff), lineært område og metning.

* Forutsetter en enkel forståelse av kapasitans (FYS1210), ladning (FYS1210) og elektrisk felt (FYS1210).

Målet er å forstå enkle modeller for strøm i en MOS transistor. Vi skal modellere transistoren i områdene av (cutoff), lineært område og metning. Det forutsettes at transistorene er lengre enn $1\mu\text{m}$. For kortere transistorer må modellene utvides.

A. Utvikling av enkel strømmodell for nMOS transistor

Som nevnt kan vi se transistoren som bryter, der transistoren er AV eller PÅ avhengig av gate til source spenning. Når transistoren er AV vil det ikke kunne gå strøm, mellom drain og source fordi det ikke er etablert en kanal ved inversjon mellom drain og source rett under gaten. En transistor som er PÅ vil kunne operere i to forskjellige modi avhengig av terminalspenninger V_d og V_s , eller mer konkret spenningsforskjellen mellom disse terminalene V_{ds} .

Transistorens operasjonsområder kan beskrives som

1. **AV**, eller cutoff. $V_{gs} < V_t$, som betyr at gate source spenningen ikke er tilstrekkelig til at det blir dannet en kanal. Det vil ikke gå strøm mellom drain og source, $I_{ds} = 0$.
2. **PÅ, lineær**. $V_{gs} > V_t$ og $0 < V_{ds} < V_{gs} - V_t$, som betyr at det er dannet kanal og at kanalen strekker seg helt fra source til drain. Transistoren er lineær i dette operasjonsområdet, dette indikerer at strømmen kan modelleres som en lineær funksjon av V_{ds} og V_{gs} .
3. **PÅ, metning**. $V_{gs} > V_t$ og $V_{ds} > V_{gs} - V_t$, som betyr at det er dannet kanal, men at det ikke er tilstrekkelig gate drain spenning V_{gd} til å danne kanal på drain siden av transistoren, som betyr at kanalen ikke strekker seg helt fra source til drain. Transistoren er metning i dette operasjonsområdet, dette indikerer at strømmen har gått i metning og ikke vil påvirkes av V_{ds} . Transistorstrømmen vil i større grad påvirkes av V_{gs} enn for lineær operasjon fordi en økning i gate spenning og dermed V_{gs} og V_{gd} vil påvirke kanalen både på source og drain siden.

A.1 Første ordens modell

En såkalt førsteordens modell for transistoren kalles *ideel Shockley* modell. Vi skal utvikle enkle modeller for transistorstrøm I_{ds} som funksjon av transistorens terminalspenninger V_{gs} og V_{ds} , en slik modell kan brukes til å lage en såkalt *I-V* karakteristikk.

Som vist i Fig. 15 er det et isolerende lag av silisiumdioksid SiO_2 mellom gate og substrat eller kanal. Dette isolerende sjiktet skal forhindre at det går strøm mellom gate og kanal og vil representere en kapasitans C_g . Ladning på hver side av kondensatoren (kapasitans) er gitt av

$$Q = CV, \quad (3)$$

der C er kapasitansen og V er spenningen over kapasitansen.

A.2 Lineært område

Dersom det er etablert en kanal mellom source og drain ($V_{gs} > V_t$) kan vi beregne gjennomsnittelig spenning V_{gc} over gate kapasitansen C_g

$$\begin{aligned} V_{gc} &= V_g - \frac{(V_d - V_s)}{2} - V_s \\ &= V_{gs} - \frac{V_{ds}}{2} \end{aligned} \quad (4)$$

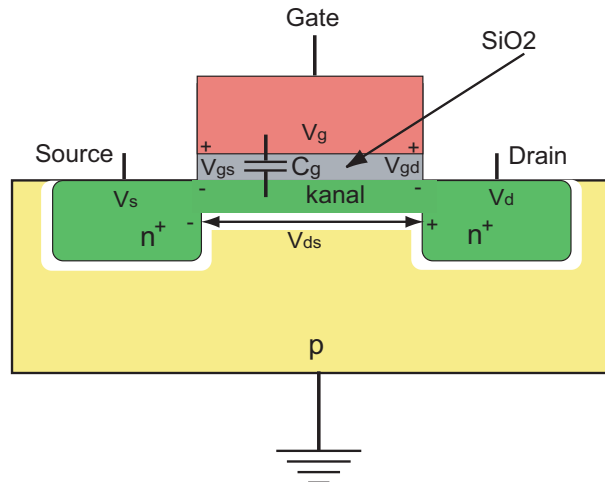


Fig. 15. Tverrsnitt av nMOS transistor med gate kapasitans C_g . (FIG2.5)

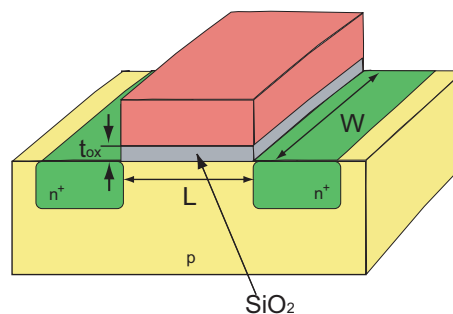


Fig. 16. Tverrsnitt av nMOS transistor med transistorstørrelse bredde W og lengde L . (FIG1.26)

Gate kapasitansen C_g er avhengig av gate arealet, dvs. arealet på transistorens kanal, tykkelsen på det isolerende laget t_{ox} og permitiviteten til det isolerende laget (SiO_2) ϵ_{ox} :

$$\begin{aligned} C_g &= \epsilon_{ox} \frac{WL}{t_{ox}} \\ &= C_{ox}WL, \end{aligned} \quad (5)$$

der W og L er bredde og lengde på transistoren som vist i Fig. 16 og $C_{ox} \equiv \epsilon_{ox}/t_{ox}$. Silisiumdioksid har en permittivitet $\epsilon_{ox} = 3.9\epsilon_0$ der $\epsilon_0 = 8.85 \cdot 10^{-14} \text{F/cm}$ er permittivitet i vakum.

Det vil oppstå et elektrisk felt mellom drain og source der feltstyrken er avhengig av spenningsforskjellen mellom drain og source (V_{ds}). Ladbingsbærere i kanalen vil ha en gjennomsnittelig hastighet som er proporsjonal med det elektriske feltet:

$$\nu = \mu E, \quad (6)$$

der μ er mobiliteten til ladbingsbærere.

Det elektriske feltet er som tidligere nevnt avhengig av spenningen over feltet V_{ds} og transistorens lengde, dvs. avstanden mellom drain og source:

$$E = \frac{V_{ds}}{L}. \quad (7)$$

Tiden det tar for en ladbingsbærer å krysse kanalen er gitt av kanalens lengde og ladbingsbærernes hastighet:

$$\tau = \frac{L}{\nu}. \quad (8)$$

Vi har nå at strømmen mellom drain og source kan uttrykkes som den totale mengden ladning i kanalen dividert på tiden som behøves for å krysse kanalen:

$$\begin{aligned} I_{ds} &= \frac{Q_{kanal}}{\frac{L}{\nu}} \\ &= \mu C_{ox} \frac{W}{L} \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} \\ &= \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds}, \end{aligned} \quad (9)$$

der

$$\beta = \mu C_{ox} \frac{W}{L}. \quad (10)$$

Ligning 10 gjelder for en nMOS transistor i det lineære området¹. Vi ser av modellen at strømmen er lineært avhengig av V_{ds} . Dette tilsvarer en motstand og vi kaller det lineære områder også for der resistive (eller triode) området.

En enkel *elektrisk eivalent* for MOS transistoren i det lineære eller resistive området er en motstand mellom drain og source, der motstandsverdien bestemmes av gate source spenningen:

$$I_{ds} = \frac{V_{ds}}{R_{gs}}, \quad (11)$$

der

$$R_{gs} = \left(\beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) \right)^{-1}. \quad (12)$$

Det er vanlig å forenkle kanalmotstanden i nMOS- og pMOS transistorer til modellene

$$R_n = (\beta_n (V_{gsn} - V_{tn}))^{-1} \quad (13)$$

$$R_p = (\beta_p (V_{sgp} - |V_{tp}|))^{-1} \quad (14)$$

B. Notater

¹Mange lærebøker operere med en litt anderledes modell $I_{ds} = \beta_n (V_{gs} - V_t - V_{ds}^2/2) V_{ds}$.

B.1 Metning

Dersom drain source spenningen blir tilstrekkelig høy, dvs. overstiger $V_{dsat} = V_{gs} - V_t$, vil transistoren være i metning og kanalen vil ikke strekke seg helt til drain. Vi erstatter V_{ds} med V_{dsat} og får:

$$\begin{aligned} V_{gc} &= V_{gs} - \frac{V_{dsat}}{2} \\ &= V_{gs} - \left(\frac{V_{gs} - V_t}{2} \right) \\ &= \frac{V_{gs} + V_t}{2}. \end{aligned} \quad (15)$$

Vi setter inn $(V_{gs} + V_t)/2$ for $V_{gs} - V_{ds}/2$ og $V_{gs} - V_t$ og får modell for strøm for en transistor i metning:

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2. \quad (16)$$

Dersom vi setter inn $V_{ds} = V_{gs} - V_t$ i modellene for lineært område og metning bør vi få lik strøm:

$$\begin{aligned} \beta_n \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} &= \frac{\beta}{2} (V_{gs} - V_t)^2 \\ \left(V_{gs} - V_t - \frac{(V_{gs} - V_t)}{2} \right) (V_{gs} - V_t) &= \frac{(V_{gs} - V_t)^2}{2} \\ \frac{(V_{gs} - V_t)^2}{2} &= \frac{(V_{gs} - V_t)^2}{2}, \end{aligned} \quad (17)$$

som viser at modellen er kontinuerlig ved metningspunktet.

Vi kan oppsummere førsteordene modell for nMOS transistoren:

AV

$$I_{ds} = 0, \quad V_{gs} < V_t$$

LINEÆR

$$I_{ds} = \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds}, \quad V_{gs} > V_t, \quad V_{ds} < V_{dsat}$$

METNING

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2, \quad V_{gs} > V_t, \quad V_{ds} > V_{dsat}. \quad (18)$$

En enkel elektrisk modell eller eivalent for transistoren i metning er en strømkilde.

C. Notater

Vi har definert positiv strømretning for nMOS transistoren fra drain til source, dvs. $I_{dsn} \equiv I_{ds}$. For pMOS transistoren blir positiv strømretning fra source til drain, dvs. $I_{sdp} \equiv -I_{ds}$. For pMOS transistoren vil strømmen øke når vi reduserer gatespenningen (i forhold til source, typisk V_{DD}). Vi kan da erstatte V_{gs} i modell for nMOS transistor med V_{sg} og V_{ds} med V_{sd} . Terskelspenningen på en pMOS transistor forholder seg til V_{gsp} (gate source spenning for pMOS transistor som jo alltid er 0 eller negativ). Vi erstatter derfor V_t i modellen med $|V_{tp}|$, dvs. vi ser på absoluttverdien for terskelspenningen for pMOS transistoren. Terskelspenningen for pMOS transistorer er negativ. Vi kan velge å vise I-V karakteristikk, dvs. strøm som funksjon av spenning for en pMOS transistor som I_{sdp} som funksjon av V_{sdp} , dette vil tilsvare $V_{DD} + V_{dsp}$.

Vi får da følgende modell for pMOS transistor strøm:
AV

$$I_{sdp} = 0, \quad V_{sgp} < |V_{tp}|$$

LINEÆR

$$I_{sdp} = \beta_p \left(V_{sgp} - |V_{tp}| - \frac{V_{sdp}}{2} \right) V_{sdp}, \quad V_{sgp} > |V_{tp}|, \quad V_{sdp} < V_{dsat}$$

METNING

$$I_{sdp} = \frac{\beta_p}{2} (V_{sgp} - |V_{tp}|)^2, \quad V_{sgp} > |V_{tp}|, \quad V_{sdp} > V_{dsat} \quad (19)$$

E. Mål

Forstå det fysiske grunnlaget for utvikling av enkle førsteordens transistormodeller.

F. Notater

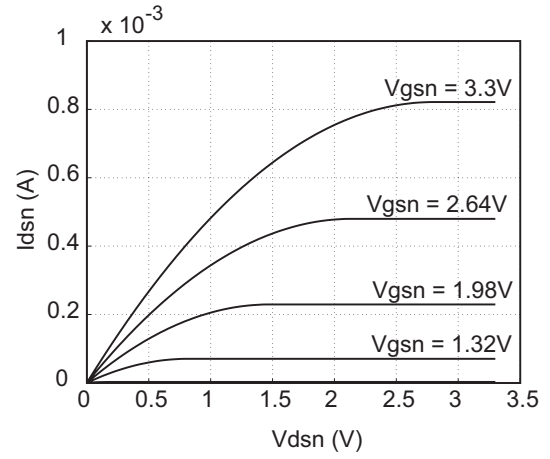


Fig. 17. Strøm-karakteristikk for nMOS transistor som funksjon av V_{dsn} .

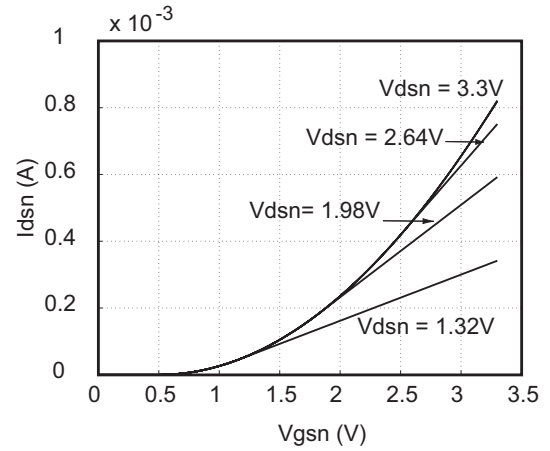


Fig. 18. Strøm-karakteristikk for nMOS transistor som funksjon av V_{gsn} .

I Fig. 17 og 18 er I-V karakteristikk for en nMOS transistor som funksjon av henholdsvis V_{dsn} og V_{gsn} vist.

I Fig. 19 og 20 er I-V karakteristikk for en pMOS transistor som funksjon av henholdsvis V_{sdp} og V_{sgp} vist.

H. Mål

Forstå og kunne modellere transistorenes I-V karakteristikk med enkle førsteordens transistormodeller.

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective", tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,

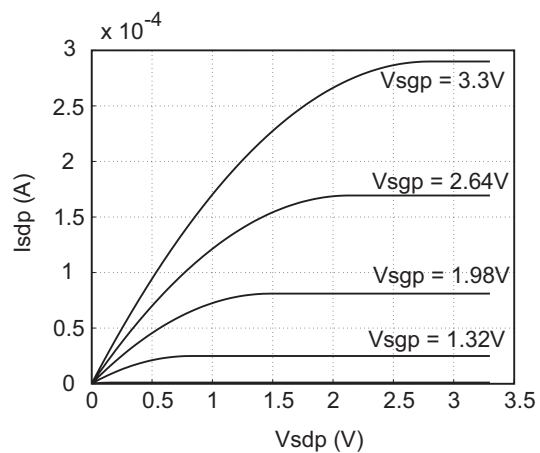


Fig. 19. Strømkarakteristikk for pMOS transistor som funksjon av V_{sdp} .

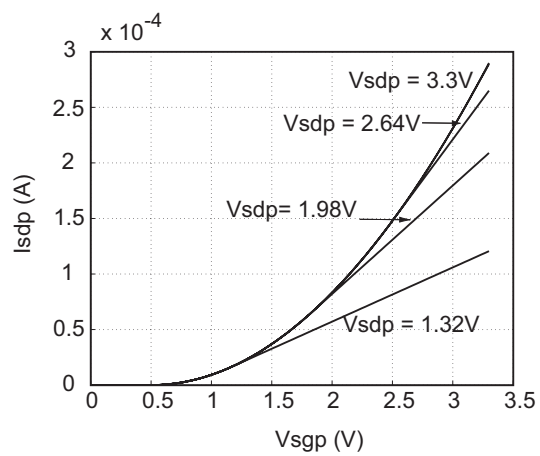


Fig. 20. Strømkarakteristikk for pMOS transistor som funksjon av V_{sgp} .