

INF3400 Digital Mikroelektronikk

Obligatoriske oppgaver DEL 11

Yngvar Berg, Øystein Bjørndal og Stian Selbek
Leveres 02.05.13

I. DEL 11: LATCHER OG VIPPER

Oppgave 1: Simulering av en ekte en-fase vippe

Velg V_{DD} lik 1.2V. Bruk Cadence med 90nm prosess og simuler skjematikk for en ekte en-fase vippe, last vippen med en kjede av 2 minimumsinvertere (enhetsinvertere).

- Verifiser at vippen fungerer med en klokkefrekvens på 1 GHz.
- Hva er laveste klokkefrekvens vippen kan fungere på?
- Hva er høyeste klokkefrekvens vippen kan fungere på?

Oppgave 2: Utlegg av en-fase vippe

Lag utlegg for den ekte en-fase vippen, DRC og LVS skal brukes for å verifisere utlegget.

Oppgave 3: Simulering på utlegg

Utfør Post Layout simulering og sammenlign resultatene med skjematikk-simuleringen.

II. HJELP TIL GJENNOMFØRING

Dag Halfdan Bryn har skrevet en guide for DC, layout og DRC:

<http://www.uio.no/studier/emner/matnat/ifi/INF3400/v10/obliger/Cadence-tips.xml>. I stedet for filen “Calibre/drc/calibre.drc” kan dere bruke “Calibre/donotuse/calibre.drc” dette for å slippe feilmeldinger som gjelder for full chip.

Øystein Bjørndal har skrevet følgende notat om LVS: <http://ob.cakebox.net/gruppetimeINF3400/LVS.html>.

På grunn av en bug i kittet vi bruker kan ikke skjematikken bruke symbolene vdd og gnd, disse må erstattes med input/output pinner som heter VDD og GND. Se skjematikken i urlen over.

Simulering på utlegg er beskrevet her: <http://www.uio.no/studier/emner/matnat/ifi/INF3400/v12/Obliger/PostLayoutTutorialTSMC90nm.pdf>

Legg merke til at simulering på utlegg krever pinnavn med bare store bokstaver, det anbefales derfor å bruke pinnavn med bare store bokstaver fra starten av for å spare litt hodebry senere.

Til denne obligen bruker vi 3 gruppetimer, en per oppgave.