

# Del 1: Grunnleggende Digital CMOS

YNGVAR BERG

## I. INNHold

**T**RANSISTOR SOM BRYTER anvendt i enkle logiske CMOS porter. Serie- og parallellkobling av nMOS- og pMOS transistorer. Inverter, NAND, NOR og generelle porter. Komplementær CMOS med opptrekk og nedtrekk. Serie- og parallellkobling av nMOS- og pMOS transistorer. Pass transistorer og transmisjonsporter. Tristate buffer og tristate inverter. Ulike typer multipleksere, latcher og vipper. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Transistor som bryter.* Kapittel 1.3 side 8.
3. *CMOS inverter.* Kapittel 1.4.1 side 9.
4. *NAND port.* Kapittel 1.4.2 side 9.
5. *Kombinatorisk logikk.* Kapittel 1.4.3 side 9 - 11.
6. *NOR port.* Kapittel 1.4.4 side 11.
7. *Komplementær logikk.* Kapittel 1.4.5 side 11 - 12.
8. *Pass transistorer og transmisjonsporter* Kapittel 1.4.6 side 12 - 14.
9. *Tristate.* Kapittel 1.4.7 side 14 - 15.
10. *Multipleksere.* Kapittel 1.4.8 side 15 - 16.
11. *Latcher.* Kapittel 1.4.9.1 side 17.
12. *Vipper.* Kapittel 1.4.9.2 side 17 - 19.

## II. TRANSISTOR SOM BRYTER (Kapittel 1.3 side 8)

Definisjoner:

1. **Logisk 1**  $V_{DD}$ .
2. **Logisk 0**  $V_{SS}$ , GND.

### A. nMOS transistor

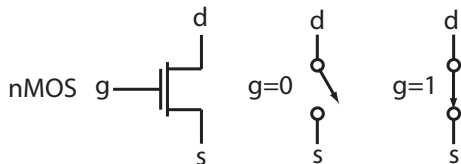


Fig. 1. nMOS transistor som bryter. (FIG1.10)

En nMOS transistor som bryter er vist i Fig. 1, transistorens tre terminaler er **gate** (inngang), **source** og **drain**. En nMOS transistor kan betraktes som en bryter; avhengig av inngang (gate) vil det kunne gå strøm mellom drain og source. Når inngangen er 0 går det ingen strøm mellom drain og source, og vi sier at transistoren er **AV**. Når inngangen er 1 kan det gå strøm mellom drain og source, og vi sier at transistoren er **PÅ**.

Konvensjoner:

1. Den av drain og source terminalene på en nMOS transistor som har lavest spenning kalles *source*.
2. Den av drain og source terminalene på en nMOS transistor som har høyest spenning kalles *drain*.
3. En positiv strøm (strømretning) vil for en nMOS transistor alltid gå fra drain til source.

### B. pMOS transistor

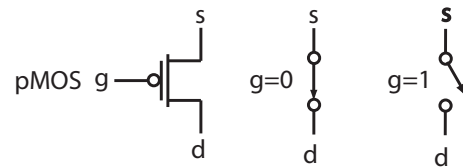


Fig. 2. pMOS transistor som bryter. (FIG1.10)

En pMOS transistor som bryter er vist i Fig. 2. Transistorens tre terminaler er **gate** (inngang), **source** og **drain**. Når inngangen er logisk 0 kan det gå strøm mellom source og drain, og vi sier at transistoren er **PÅ**. Når inngangen er logisk 1 går det ingen strøm mellom source og drain, og vi sier at transistoren er **AV**.

Konvensjoner:

1. Den av drain og source terminalene på en pMOS transistor som har høyest spenning kalles *source*.
2. Den av drain og source terminalene på en pMOS transistor som har lavest spenning kalles *drain*.
3. En positiv strøm (strømretning) vil for en pMOS transistor alltid gå fra *source* til *drain*.

### C. Mål

Forstå nMOS- og pMOS transistorer som brytere, samt terminalplasseringer på transistorene og positiv strømretninger.

### D. Notater

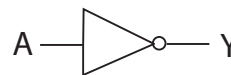


Fig. 5. Inverter symbol.(FIG1.11b)

Symbolet for en CMOS inverter er vist i Fig. 5.

A. Mål

Forstå hvordan nMOS- og pMOS transistorer som brytere fungerer i en CMOS inverter.

B. Notater

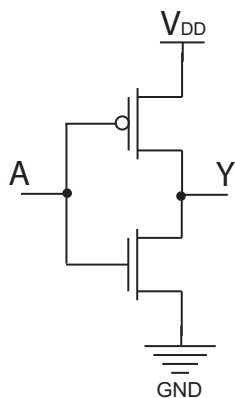


Fig. 3. Inverter skjematikk.(FIG1.11a)

Dersom vi setter en pMOS- og en nMOS transistor sammen og kobler til spenningsreferansene  $V_{DD}$  og  $V_{SS}$  (GND) får vi en CMOS inverter som vist i Fig. 3. CMOS teknologi er grunnleggende inverterende, dvs. dersom man bruker pMOS transistorer mellom en utgang på en port og logisk 1 ( $V_{DD}$ ), og tilsvarende nMOS transistorer mellom utgangen og logisk 0 ( $V_{SS}$ ), vil utgangen danne en inverterende funksjon. Vi får typisk inverter, NAND, NOR eller generelle boolske funksjoner på formen  $Y = A \cdot (B + C)$ .

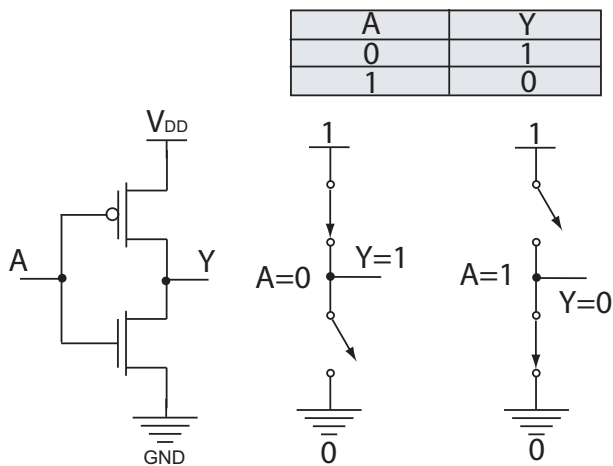


Fig. 4. Inverter skjematikk og sannhetstabell.(FIG1.11a og Tabell 1.1)

Som vist i Fig. 4 vil utgangen på en inverter være 1 når inngangen er 0, og utgangen vil være 0 når inngangen er 1.

A. Opptrekk og nedtrekk i CMOS porter

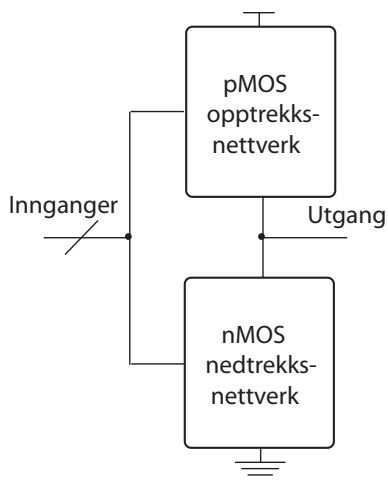


Fig. 6. Generell logisk port med opptrekk bestående av pMOS transistorer og nedtrekk bestående av nMOS transistorer. (FIG1.14)

En port med **opptreksnettverk** og **nedtreksnettverk** er vist i Fig. 6. Vi definerer et opp- eller nedtrekk som *på* dersom det finnes en strømvei (signalvei) mellom utgangen og en spenningsreferanse. Med andre ord et nedtrekk er *på* dersom det finnes en serie (kjede) av nMOS transistorer som alle er *på* og som forbinder utgangen med  $V_{SS}$ . I motsatt tilfelle er nedtrekket *av*. For et opptrekk som er *på* finnes det en serie (kjede) av pMOS transistorer som alle er *på* og som forbinder utgangen med  $V_{DD}$ . I motsatt tilfelle er opptrekket *av*. En kjede av transistorer i et nettverk kan bestå av en eller flere transistorer. I komplementær CMOS logikk (statisk CMOS) vil alltid en og bare en av opptrekk- og nedtreksnettverkene være *på*.

A	B	nedtrekk	opptrekk	Y
0	0	AV	PA	1
0	1	AV	PA	1
1	0	AV	PA	1
1	1	PA	AV	0

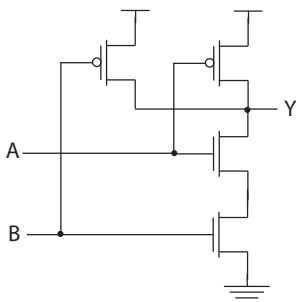


Fig. 7. To-inngangs NAND port (NAND2) skjematikk og sannhetstabell. (FIG1.12a og Table 1.2)

Skjematisk fremstilling av en to-inngangs CMOS NAND port (NAND2) er vist i Fig. 7. Den logiske funksjonen er  $Y = \overline{A \cdot B}$ . Opptrekket består av to pMOS transistorer i parallell og nedtrekket av to nMOS transistorer i serie. For at utgangen Y skal kunne trekkes til logisk 0 må begge nMOS transistorene være *på*, dvs. inngangene A og B må begge være logisk 1.

Det er tilstrekkelig at en av inngangene er logisk 0 for å trekke utgangen Y til logisk 1. Vi sier at nedtrekket og opptrekket er komplementære, dvs. den ene utelukker den andre.

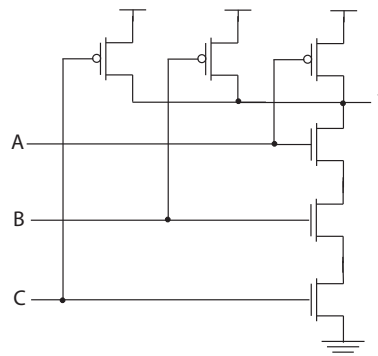


Fig. 8. Tre-inngangs NAND port (NAND3) skjematikk. (FIG1.13)

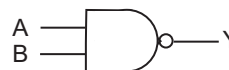


Fig. 9. Symbol for NAND port med to innganger. (FIG1.12b)

Som vist i Fig. 8 er det enkelt å utvide en to-inngangs NAND port til en tre-inngangs NAND port (NAND3). Symbolet for en NAND port med to innganger er vist i Fig. 9.

B. Mål

Forstå hvordan nMOS- og pMOS transistorer som brytere fungerer i NAND porter. Skille opptrekk fra nedtrekk i en generell komplementær CMOS port.

C. Notater

	opptrekk AV	opptrekk PÅ
nedtrekk AV	Z	1
nedtrekk PÅ	0	X (crowbarred)

TABLE I  
Utgangstilstander for en CMOS port.

Den generelle kombinatoriske porten i Fig. 6 vil enten trekke utgangen til 1 eller 0 avhengig av inngangssignalene. Der- som opptrekket og nedtrekket ikke var komplementære kan det forekomme tilfeller der hverken opptrekket eller nedtrekket er på, eller at begge er på. I tabell I er alle mulige utgangstil- stander for en CMOS port vist. I tilfellet der hverken opp- trekket eller nedtrekket er på vil utgangen ikke være drevet av porten, vi kaller denne tilstanden høyimpedant Z. I tilfeller der både opptrekket og nedtrekket er på får vi udefinert utgang X (crowbarred).

A. Serie- og parallellkobling av transistorer

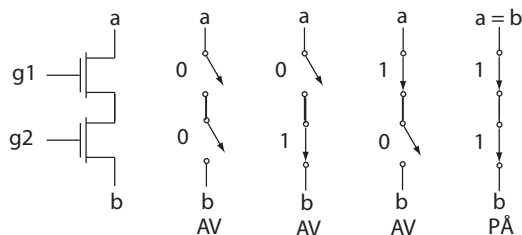


Fig. 10. Seriekobling av nMOS transistorer.(FIG1.15a)

Ulike tilstander for to seriekoblede nMOS transistorer er vist i Fig. 10. Begge transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler  $g1 = g2 = 1$  og vil medføre at  $a = b$ . For øvrige inngangsverdier vil det ikke kunne gå en strøm mellom a og b og nettverket er av. Vi ser at dersom  $b = 0$  (GND) har vi at  $a = b = 0$  når  $g1 = g2 = 1$  eller  $g1 \cdot g2 = 1$ .

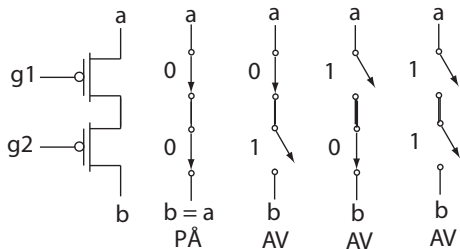


Fig. 11. Seriekobling av pMOS transistorer.(FIG1.15b)

Ulike tilstander for to seriekoblede pMOS transistorer er vist i Fig. 11. Begge transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler  $g1 = g2 = 0$  og dette vil medføre at  $b = a$ . For øvrige inngangsverdier vil det ikke kunne gå en strøm mellom a og b og nettverket er av. Vi ser at dersom  $a = 1$  ( $V_{DD}$ ) har vi at  $b = a = 1$  når  $g1 = g2 = 0$  eller  $g1 + g2 = 0$ .

Ulike tilstander for to parallellkoblede nMOS transistorer er vist i Fig. 12. Minst en av transistorene må være på for at

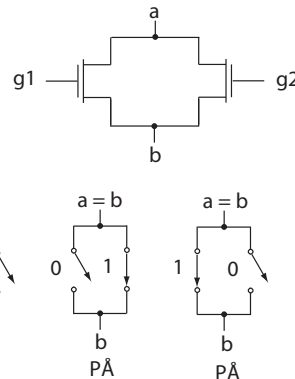


Fig. 12. Parallellkobling av nMOS transistorer.(FIG1.15c)

nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler  $g1 + g2 = 1$  og vil medføre at  $a = b$ . For øvrige inngangsverdier, dvs.  $g1 = g2 = 0$  eller  $g1 + g2 = 0$ , vil det ikke kunne gå en strøm mellom a og b og nettverket er av. Vi ser at dersom  $b = 0$  (GND) blir  $a = b = 0$  når  $g1 + g2 = 1$ .

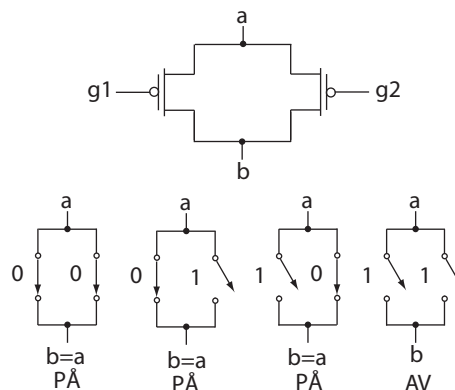


Fig. 13. Parallellkobling av pMOS transistorer.(FIG1.15d)

Ulike tilstander for to parallellkoblede pMOS transistorer er vist i Fig. 13. Minst en av transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler  $g1 \cdot g2 = 0$  og dette vil medføre at  $b = a$ . For øvrige inngangsverdier, dvs.  $g1 = g2 = 1$  eller  $g1 \cdot g2 = 0$ , vil det ikke kunne gå en strøm mellom a og b og nettverket er av. Vi ser at dersom  $a = 1$  ( $V_{DD}$ ) har vi at  $b = a = 1$  når  $g1 \cdot g2 = 0$ .

Komplementære opptrekk og nedtrekk bestående av henholdsvis to pMOS- og to nMOS transistorer, og inngangene A og B, vil være:

1.  $A \cdot B$  som tilsvarer to parallellkoblede pMOS transistorer som er på, ved at minst en av inngangene er 0, og to seriekoblede nMOS transistorer som er på, ved at begge inngangene er 1. Vi kaller utgangen Y og inngangene A og B, og får da  $\overline{Y} = A \cdot B$  eller  $Y = \overline{A \cdot B}$ . Dette tilsvarer en NAND funksjon.
2.  $A + B$  og som tilsvarer to seriekoblede pMOS transistorer som er på, ved at begge inngangene er 0, og to parallellkoblede nMOS transistorer som er på, ved at minst en av inngangene er 1. Vi kaller utgangen Y og inngangene A og B, og får da  $\overline{Y} = A + B$  eller  $Y = \overline{A + B}$ . Dette tilsvarer en NOR funksjon.

### B. Mål

Forstå hvordan nMOS- og pMOS transistorer som brytere i seriekobling og parallellkobling virker og hvordan komplementære opp- og nedtrekk kan bygges opp.

### C. Notater

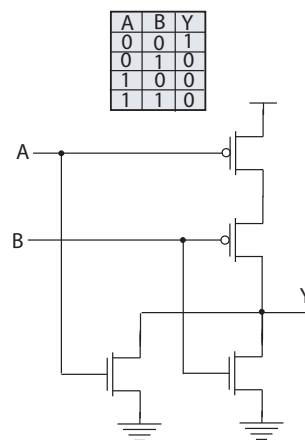


Fig. 14. To-inngangs NOR port skjematikk og sannhetstabell. (FIG1.16a og Table 1.4)

Skjematikk for en CMOS NOR port er vist i Fig. 14. Den logiske funksjonen er  $Y = \overline{A + B}$ . Opptrekket består av to pMOS transistorer i serie og nedtrekket består av to nMOS transistorer i parallell. For at utgangen Y skal kunne trekkes til logisk 1 må begge pMOS transistorene være på, dvs. inngangene A og B må være logisk 0. Det er tilstrekkelig at en av inngangene er logisk 1 for å trekke utgangen Y til logisk 0. Vi ser at nedtrekket og opptrekket er komplementære.



Fig. 15. Symbol for NOR2 port med to innganger. (FIG1.16b)

Symbolet for en NOR2 port med to innganger er vist i Fig. 15.

### A. Mål

Forstå hvordan nMOS- og pMOS transistorer som brytere fungerer i NOR porter.

### B. Notater

Forstå hvordan nMOS- og pMOS transistorer skal anvendes for implementasjon av en komplementær CMOS port.

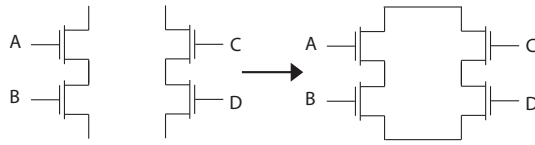


Fig. 16. Nedtrekket for funksjonen  $Y = \overline{(A \cdot B) + (C \cdot D)}$ . (FIG1.18a og b)

Et eksempel på en boolsk funksjon implementert ved hjelp av en komplementær CMOS port kan uttrykkes på formen  $Y = \overline{(A \cdot B) + (C \cdot D)}$ .

Nedtrekket vil bestå av nMOS transistorer og vi har at  $Y$  bare kan bli 0 når  $(A \cdot B) + (C \cdot D) = 1$ . Dette forutsetter at  $A \cdot B$  eller  $C \cdot D$  er på. Vi ser da at nedtrekket består av to grener med seriekoblede nMOS transistorer, dvs. to transistorer med innganger henholdsvis  $A$  og  $B$  i serie, og to transistorer med innganger henholdsvis  $C$  og  $D$  i serie. I Fig. 16 er nedtrekket vist.

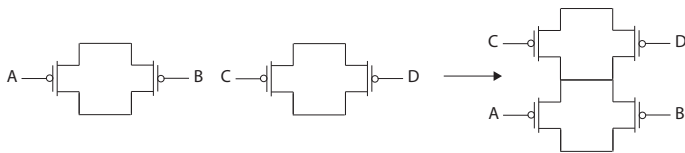


Fig. 17. Opptrekket for funksjonen  $Y = \overline{(A \cdot B) + (C \cdot D)}$ . (FIG1.18c og d)

Opptrekket vil bestå av pMOS transistorer og vi har at  $Y$  bare kan bli 1 når  $(A \cdot B) + (C \cdot D) = 0$ . Dette forutsetter at  $A$  og/eller  $B$  ( $A \cdot B = 0$ ) og  $C$  og/eller  $D$  ( $C \cdot D = 0$ ) er på. Vi ser da at opptrekket består av to grener med parallellkoblede pMOS transistorer, dvs. to transistorer med innganger  $A$  og  $B$  i parallell, og to transistorer med innganger  $C$  og  $D$  i parallell. Til slutt må disse to parallellgrenene settes i serie slik at forutsetningen for opptrekket blir oppfylt. I Fig. 17 er opptrekket vist.

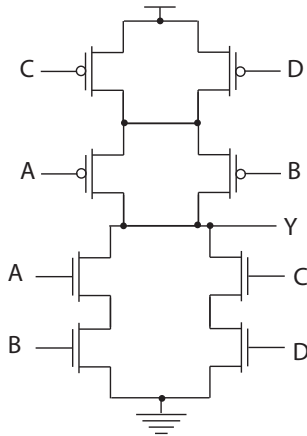


Fig. 18. Komplementær CMOS port for funksjonen  $Y = \overline{(A \cdot B) + (C \cdot D)}$ . (FIG1.18e)

Den fullstendige komplementære CMOS kretsen som implementerer funksjonen  $Y = \overline{(A \cdot B) + (C \cdot D)}$  er vist i Fig. 18.

A. Pass transistorer

Styrken til et signal er et mål på hvor nær signalet er en spenningsreferanse, vanligvis 1 ( $V_{DD}$ ) eller 0 ( $V_{SS}$  eller GND).

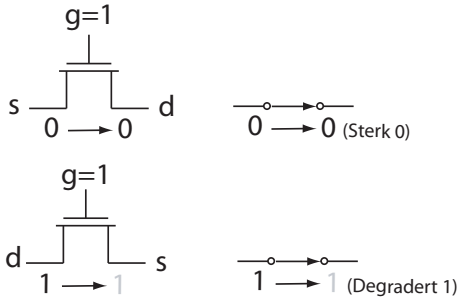


Fig. 19. nMOS pass transistor. (FIG1.20a og c)

Det er vanlig å koble nMOS transistorer med source til 0. Dette skyldes at nMOS transistorer er effektive til å transmittere logisk 0. Vi sier at en logisk 0 transmitteres gjennom en nMOS transistor med stor styrke, dvs. en logisk 0 transmitteres fra source på en nMOS transistor til en like sterk 0 på drain terminalen. Dersom en logisk 1 skal transmitteres gjennom en nMOS transistor, dvs. fra drain til source, vil vi få en svak eller degradert logisk 1 på source terminalen. Dette skyldes elektriske egenskaper i nMOS transistoren. Transmisjonsegenskaper til nMOS transistoren er vist i Fig. 19.

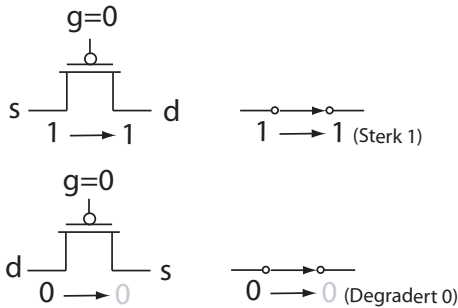


Fig. 20. pMOS pass transistor. (FIG1.20d og f)

For en pMOS transistor er det omvendt. Det er vanlig å koble pMOS transistorer med source til 1. Dette skyldes at pMOS transistorer er effektive til å transmittere logisk 1. Vi sier at en logisk 1 transmitteres gjennom en pMOS transistor med stor styrke, dvs. en logisk 1 transmitteres fra source på en pMOS transistor til en like sterk 1 på drain terminalen. Dersom en logisk 0 skal transmitteres gjennom en pMOS transistor, dvs. fra drain til source, vil vi få en svak eller degradert logisk 0 på source terminalen. Dette skyldes elektriske egenskaper i pMOS transistoren. Transmisjonsegenskaper til pMOS transistoren er vist i Fig. 20.

B. Transmisjonsporter

Ved å kombinere en nMOS pass transistor og en pMOS pass transistor i parallell kan vi lage en transmisjonsport som kan brukes til å transmittere både logisk 0 og 1, som vist i Fig. 21. nMOS transistoren vil sørge for logisk 0 og pMOS transistoren vil sørge for logisk 1.

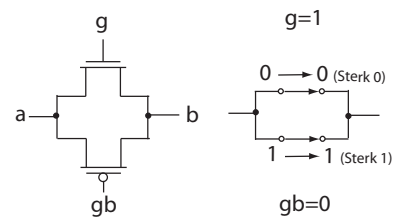


Fig. 21. Transmisjonsport. (FIG1.21a, b og c). gb betyr g invertert, dvs.  $gb = \bar{g}$ .

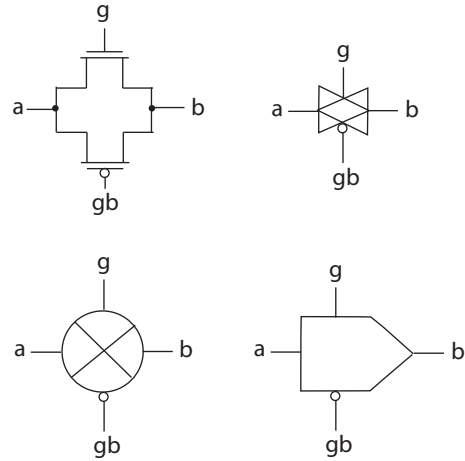


Fig. 22. Transmisjonsport symboler. (FIG1.21d)

Symboler for transmisjonsporter i CMOS er vist i Fig. 22.

C. Mål

Forstå hvordan nMOS- og pMOS transistorer skal anvendes for implementasjon av en transmisjonsport.

D. Notater

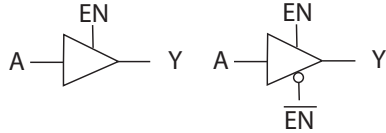


Fig. 23. Tristate buffer symboler. (FIG1.25)

Symboler for tristate buffer er vist i Fig. 23. Tristate porter brukes ofte når flere enheter (porter) skal kunne drive en felles buss.

$EN/\overline{EN}$	A	Y
0/1	0	Z
0/1	1	Z
1/0	0	0
1/0	1	1

TABLE II

Sannhetstabell for tristate buffer.  $EN/\overline{EN}$  er kontrollsignaler (enable), A er inngangen og Y er utgangen.

Et tristate buffer benytter et enable signal som bestemmer om porten skal drive utgangen eller ikke. Dersom utgangen ikke drives vil den representere en høy impedans (Z). Sannhetstabellen for tristate buffer er vist i tabell II.

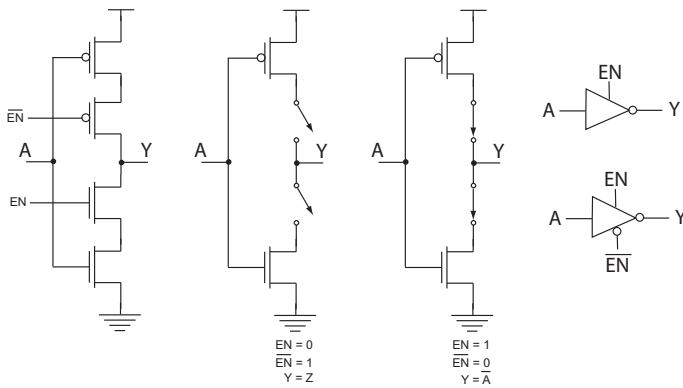


Fig. 24. Tristate inverter. (FIG1.27)

En tristate inverter er vist i Fig. 24.

A. Mål

Forstå hvordan en tristate krets virker og forstå hva Z utgang representerer.



$S/\bar{S}$	$D1$	$D0$	$Y$
0/1	X	0	0
0/1	X	1	1
1/0	0	X	0
1/0	1	X	1

TABLE III

Sannhetstabell for to-inngangs (2:1) multiplakser.  $EN/\overline{EN}$  er kontrollsignaler (enable),  $D0$  og  $D1$  er innganger og  $Y$  er utgangen.

Multipleksere brukes i CMOS hukommelselementer og i en rekke andre kretser. En multiplekser brukes til å selektere en av flere innganger. Sannhetstabell for en to-inngangs multiplekser er vist i tabell III med inngangene er  $D0$  og  $D1$ , kontrollsignalene er  $S$  og  $\bar{S}$  og utgang  $Y$ .

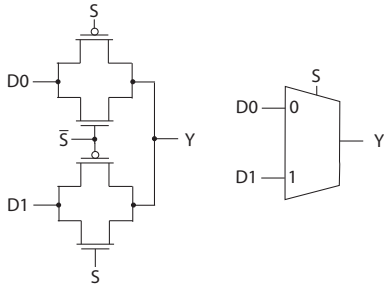


Fig. 25. Transmisjonspport multiplekser med to innganger. (FIG1.28)

En enkel to-inngangs transmisjonspport multiplekser er vist i Fig. 25.

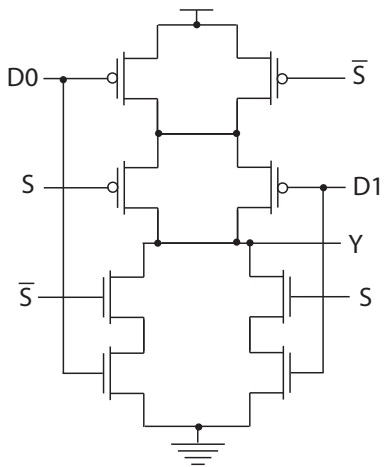


Fig. 26. Inverterende to-inngangs multiplekser. (FIG1.29a)

En inverterende multiplekser med egenskaper til å gjenskape gode logiske verdier, dvs. styrking av signaler, kan lages ved å ta utgangspunkt i kretsen vist i Fig. 18 som implementerer funksjonen  $Y = \overline{(A \cdot B)} + (C \cdot D)$  som en komplementær CMOS port. Dersom vi velger inngangene  $D0 = C$ ,  $D1 = B$ ,  $S = A$  og  $\bar{S} = D$  vil vi få funksjonen  $Y = (S \cdot D1) + (D0 \cdot \bar{S})$  og kretsen vist i Fig. 26. Vi ser at dersom  $S = 1$  får vi  $Y = \overline{D1}$  og når

$S = 0$  får vi  $Y = \overline{D0}$  som jo er den inverterende multiplekserens funksjon.

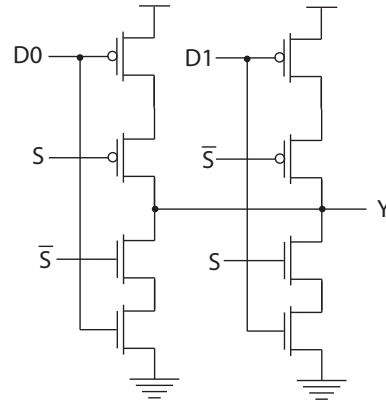


Fig. 27. Inverterende to-inngangs multiplekser. (FIG1.29b)

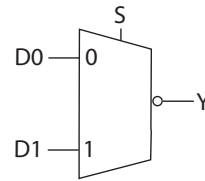


Fig. 28. Inverterende to-inngangs multiplekser. (FIG1.29c)

En litt enklere og likeverdig implementasjon er vist i Fig. 27 og symbolet for den inverterende multiplekseren er vist i Fig. 28. Her ser vi tydelig at utgangen drives av to tristate kretser.

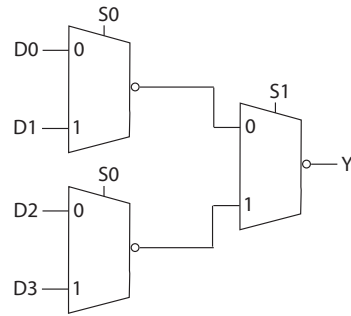


Fig. 29. 4:1 multiplekser. (FIG1.30a)

En utvidelse til fire-inngangs multiplekser (4:1) er vist i Fig. 29.

Et eksempel på en 4:1 multiplekser bestående av invertere og tristate invertere er vist i Fig. 30.

#### A. Mål

Forstå hvordan transmisjonspport multiplekser og inverterende multiplekser virker.

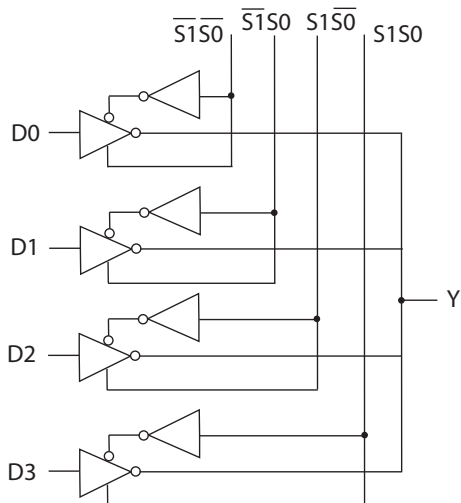


Fig. 30. 4:1 multiplekser bestående av invertere og tristate invertere. (FIG1.30b)

B. Notater

XI. LATCHER  
(Kapittel 1.4.9.1 side 17)

A. Latcher

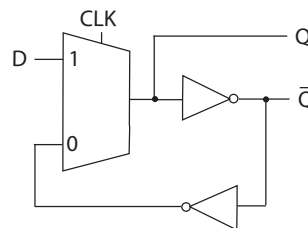


Fig. 31. Positiv nivåfølsom latch bestående av en 2:1 multiplekser og invertere. (FIG1.31a)

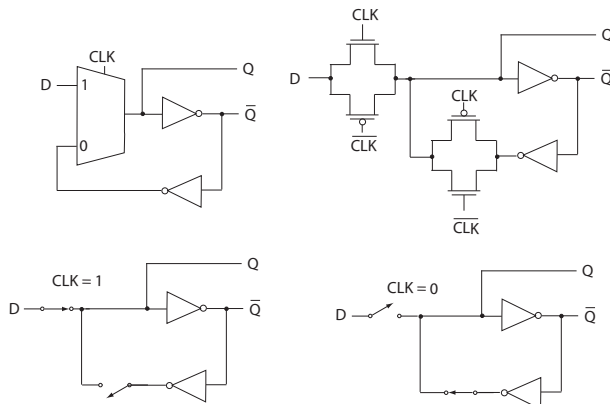


Fig. 32. Implementasjon av positiv nivåfølsom latch. (FIG1.31a, b, c og d)

Vi kan utnytte en multiplekser og to invertere til å lage en D latch som vist i Fig. 31. En implementasjon er vist i Fig. 32. En positiv nivåfølsom D latch vil være transparent, dvs.

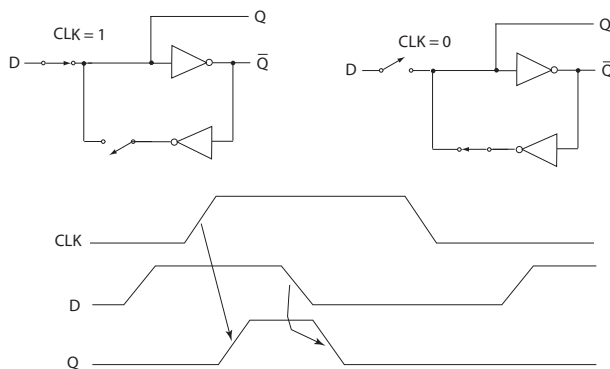


Fig. 33. Virkemåten til positiv nivåfølsom D latch. (FIG1.31c, d, og e)

utgangen påvirkes direkte av inngangen, når CLK = 1, dvs. når CLK = 1 vil utgangen Q være lik inngangen D med en liten tidsforsinkelse. Når CLK er 0 vil inngangen D ikke kunne påvirke utgangen Q, men kretsen vil nå bestå av to invertere som er tilbakekoblet og sørge for at Q holdes konstant. Dette er vist i Fig. 33.

Symbolet for en positiv nivåfølsom D latch er vist i Fig. 34.

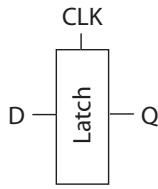


Fig. 34. Symbol for positiv nivåfølsom D latch. (FIG1.31f)

B. Notater

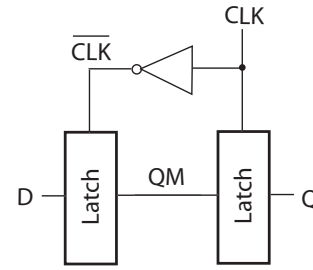


Fig. 35. Positiv flankefølsom D vippe. (FIG1.32a)

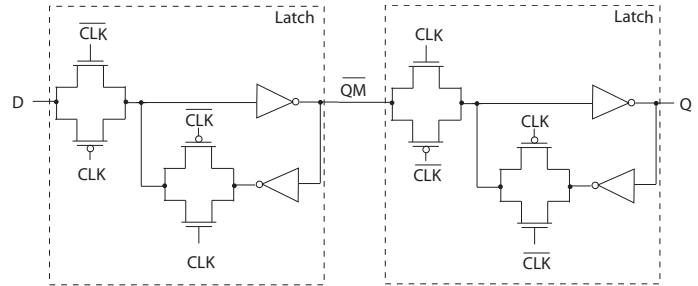


Fig. 36. Implementasjon av positiv flankefølsom D vippe. (FIG1.32b)

En vippe består av to latches som klokkes i motsatt klokkefase som vist i Fig. 35. En implementasjon av positiv flankefølsom D vippe er vist i Fig. 36.

Inngangen D latches i den første latchen når  $CLK = 0$  og utgangen på den første latchen  $\overline{QM}$  vil da følge D. Den andre latchen vil ikke transportere signalet videre fordi den er i tilbakekoblingsmodus når  $CLK = 0$ . Q er dermed upåvirket av inngangen D når  $CLK = 0$ . Når klokkesignalet svitsjer fra 0 til 1 vil den første latchen stenge og den andre latchen åpne. Utgangen på vippens Q vil da bli lik den siste verdien for  $\overline{QM}$  som er lik den siste verdien for D når CLK var 0. Q vil holde denne verdien inntil en eventuell endring inntreffer ved neste positive flanke på klokkesignalet CLK. Vippens virkemåte er vist i Fig. 37.

Et mulig problem med klokkingen som er vist i Fig. 37 er at akkurat når klokkesignaler svitsjer fra 0 til 1 vil begge latchene være delvis åpne i en kort periode og da vil vippens utgang Q bli lik D direkte og ikke via latchen  $\overline{QM}$ . Dette vil være tydelig dersom det er synkroniseringsproblemer, for eksempel dersom  $\overline{CLK}$  skifter fra 0 til 1 før CLK skifter fra 1 til 0. Dette problemet er illustrert i Fig. 38. Problemet vil få effekt i etterfølgende porter som ikke forventer å få en inngangsendring i den tidsonen der begge klokkesignalerne er 0 (rødt område).

En vanlig metode for å sikre seg mot problemer med usynkroniserte klokkesignaler er å benytte tofase ikkeoverlappende klokker som vist i Fig. 39. Her er det viktig at  $\phi_1$  og  $\phi_2$  ikke er logisk 1 samtidig.

Symbol for positiv flankefølsom D vippe er vist i Fig. 40.

A. Mål

Forstå hvordan latches og vipper virker og kan implementeres i CMOS.

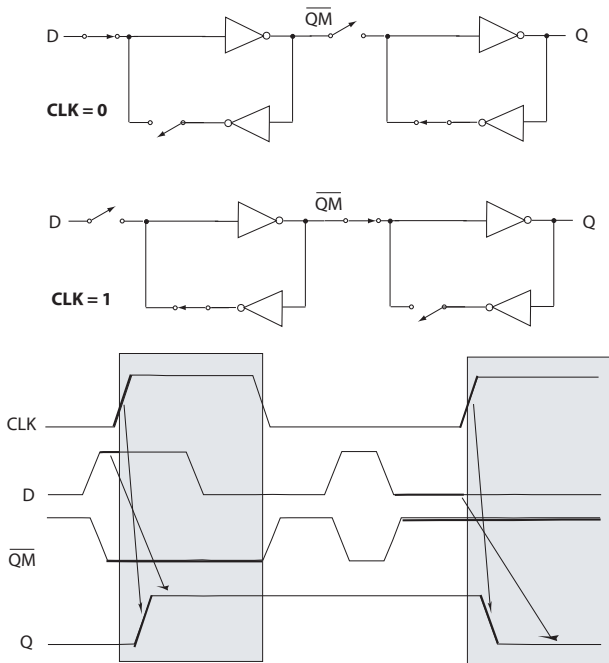
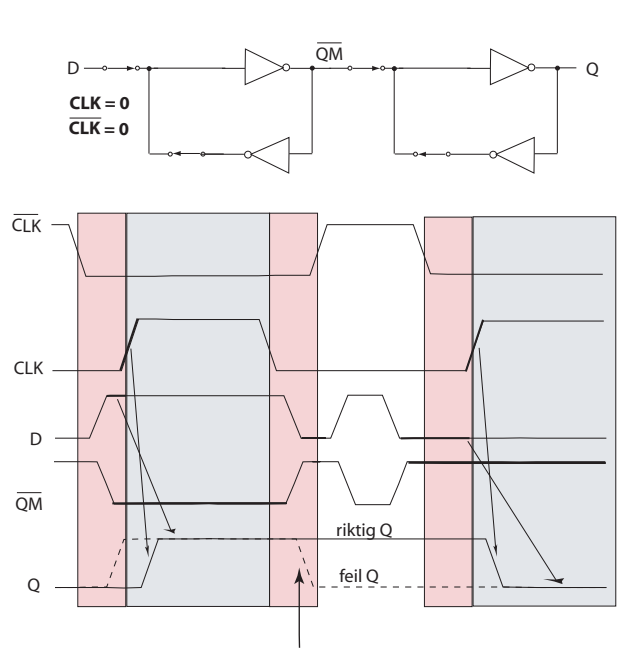


Fig. 37. Implementasjon av positiv flankefølsom D vippe. (FIG1.32c, d og f)



Her vil vippen være transparent slik at Q ikke holder sin verdi som skulle være 1.

Fig. 38. Potensielt problem med usynkronne klokkesignaler. Stiplet linje viser virkelig signalverdi for Q.

### XIII. INDEKS

- Drain 1
- D vippe 11
- Flankefølsom vippe 11
- Gate 1
- Inverter 2
- Kombinatorisk logikk 4
- Komplementær logikk 6
- Latch 10
- Multiplexer 9
- NAND 3
- Nedtrekk 3
- Nivåfølsom latch 10
- nMOS transistor 1
- NOR 5
- Opptrekk 3
- Parallellkobling 4
- Pass transistor 7
- pMOS transistor 1
- Seriekobling 4
- Source 1
- Transmisjonsport 7
- Tristate 8
- Tristate buffer 8
- Tristate inverter 8
- Vippe 11

### REFERENCES

- [1] Neil H.E. Harris og David M. Harris "Integrated Circuit Design" fjerde utgave 2010, ISBN 10: 0-321-69694-8, ISBN 13: 978-0-321-69694-6, Pearson.

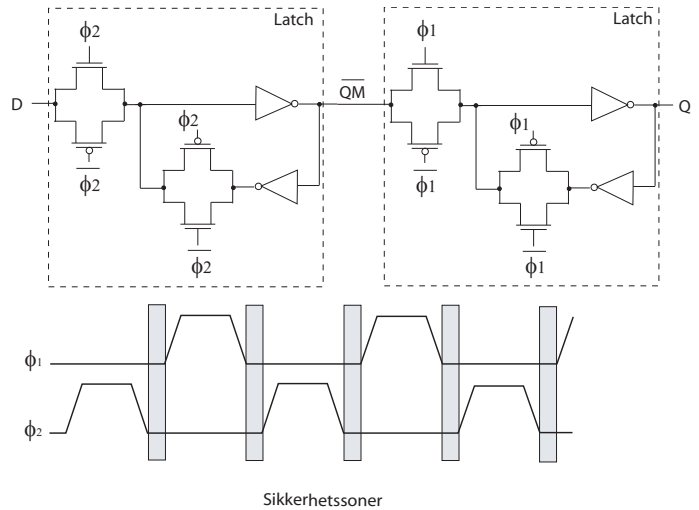


Fig. 39. Dvippe med tofase ikkeoverlappende klokker. (FIG1.33)

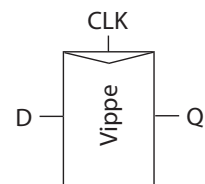


Fig. 40. Symbol for positiv kantfølsom D vippe. (FIG1.32g)