

Del 9: Dynamisk CMOS

YNGVAR BERG

I. INNHOLD

Dynamiske retser blir gjennomgått. Problemer med dynamiske kretser diskuteres. Domino logikk og dual-rail domino logikk blir presentert. Problemer med ladningsdeling blir diskutert og en forenklet modell blir presentert. Ulike metoder for precharge blir introdusert. Kretser med blødertransistorer (keepers) blir diskutert i tillegg til NP domino- og Zipper domino logikk. Modeller for beregning av logisk effort og tidsforsinkelse i kjeder med dynamiske porter blir introdusert. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Introduksjon til dynamiske kretser.* Kapittel 8.2.4 side 297 - 299.
3. *Domino logikk.* Kapittel 6.2.4.1 side 299 - 300.
4. *Dual-rail domino logikk.* Kapittel 8.2.4.2 side 300 - 301.
5. *Ladningsdeling.* side 303.
6. *Precharge av interne noder i nedtrekket.* Kapittel 8.2.4.4 side 303 - 304.
7. *Blødere (keepers).* Kapittel 8.2.4.3 side 301 - 303.
8. *Logisk effort i dynamiske kjeder.* Kapittel 8.2.4.5 side 304 - 305.
9. *NP og Zipper domino.* Kapittel 8.2.4.7 side 306 - 307.

II. INTRODUKSJON TIL DYNAMISKE KRETSER (Kapittel 8.2.4 side 297 - 299)

Poenget med pseudo nMOS, ganged CMOS, SFPL og CVLS logikk er å redusere inngangskapasitansen ved å unngå å koble inngangene til pMOS transistorer. Ulempene med disse logikkstilene er knyttet delvis til signifikant statisk effektforbruk, spesielt for pseudo nMOS og ganged CMOS, men i første rekke økning i tidsforsinkelse for transisjoner fra 0 til 1. Alle logikkstilene er *statiske*, dvs. det vil til enhver tid være transistorer som er skrudd PÅ og som bidrar til å holde en utgang stabil til en riktig spenningsreferanse, 0 eller 1, uavhengig av tid.

Dynamiske porter eller kretser er grunnleggende forskjellige fra statiske porter ved at de for enkelte inngangsmønstre vil ha tilstander der utgangen ikke drives. Et eksempel kan være at utgangen for en port i utgangspunktet er logisk 1, men der hverken opptrekk eller nedtrekk er PÅ slik at utgangen ikke er sikret å beholde sin logiske verdi gjennom drivegenskaper i porten. For en slik port er det to forhold som er viktige:

1. Andre kretser eller porter som har portens utgangssignal som inngang kan ikke forvente å kunne tolke signalet korrekt utover en liten tidsperiode. Vi kan ikke anta at en dynamisk port er i stand til å sikre en stabil logisk utgang utover en kort tidsperiode som er avhengig av last og lekkasje.
2. Dersom det er alternative porter som driver samme utgang, som for eksempel *tristate porter* er det ikke problemer med dynamiske (ikke drevne) utgangssignaler.

Dersom et signal er bestemt av en dynamisk port må vi sørge for at utgangssignalet blir generert ofte nok, dvs. med kort

tidsintervall, slik at signalet til enhver tid er gyldig. Det er derfor vanlig å benytte *klokkesignaler* til å synkronisere dynamiske porter.

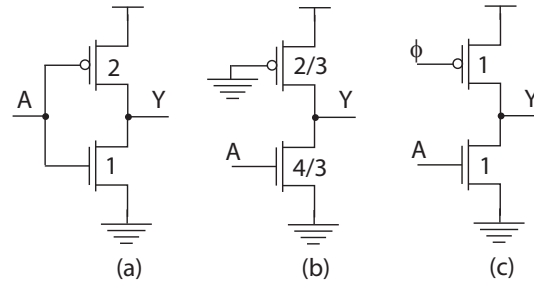


Fig. 1. (a) Komplementær inverter, (b) pseudo nMOS inverter og (c) dynamisk inverter. (FIG8.21)

Komplementær-, pseudo nMOS- og dynamisk inverter er vist i Fig. 1. Den dynamiske inverteren (c) har liten kapasitiv inngangslast for inngangssignalet A. Dette tilsvarer en pseudo nMOS inverter, men i motsetning til pseudo nMOS inverteren er pMOS transistoren styrt av et klokkesignal som svitsjer mellom 0 og 1 og dermed skrudd PÅ og AV.

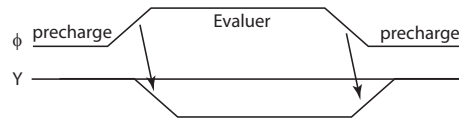


Fig. 2. Precharge og evaluering av dynamiske porter. (FIG8.22)

Klokkesignalet ϕ og utgangen Y på en dynamisk inverter er vist i Fig. 2. Når klokkesignalet er 0 vil utgangen trekkes opp til 1 via pMOS transistoren som er skrudd PÅ. Vi kaller denne perioden for *precharge*. Her er det viktig at inngangssignalet ikke overstyres klokkesignalet og samtidig trekker utgangen mot 0. Vi må altså forutsette at A er 0 når ϕ er 0. I evalueringsperioden (fasen) når klokkesignalet er 1 kan utgangen trekkes ned til 0 dersom A er 1. I evalueringsperioden *evaluerer* porten inngangssignalet, eller inngangssignalene dersom det er snakk om en mer kompleks port. For at denne porten skal kunne anvendes må det være en nøye sammenheng mellom, eller synkronisering av, ϕ og inngangen. Inngangen kan ikke tillates å bli 1 før klokkesignalet er 1.

En endring av den dynamiske inverteren som er vist i Fig. 3 vil resultere i en port som er mer robust og mindre avhengig av synkronisering mellom ϕ og inngangssignal. For denne porten vil utgangen alltid trekkes opp til 1 når ϕ er 0 uavhengig av inngangssignalet A . Vi kaller denne varianten av dynamiske porter for *footed porter*.

En transistor i tillegg i nedtrekket vil påvirke logisk effort og parasittisk tidsforsinkelse for de logiske portene.

A. Footed inverter

De to implementasjonene av dynamisk inverter som er vist i Fig. 4 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed dynamisk inverter har vi:

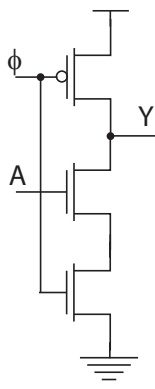


Fig. 3. Footed dynamisk inverter. (FIG8.23)

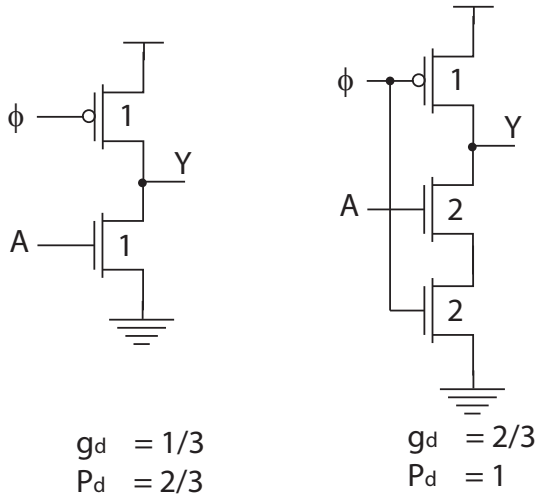


Fig. 4. Dynamisk invertere. (FIG8.25)

$$\begin{aligned}
 g_d &= \frac{W_n}{3W_n} \\
 &= \frac{1}{3} \\
 P_d &= 1R \cdot 2C \\
 &= 2RC \\
 &= \frac{2}{3}\tau,
 \end{aligned} \tag{1}$$

der det for ikke-footed dynamisk inverter ved opptrekk er forutsatt at $A = 0$. Det er viktig å være klar over at logisk effort og parasittisk tidsforsinkelse for opptrekk er mindre viktig enn logisk effort og parasittisk tidsforsinkelse for nedtrekket. Dette skyldes at i en vanlig anvendelse av dynamiske porter vil en kjede av logiske porter precharges samtidig (i parallell), mens nedtrekket vil påvirkes av kjedens lengde.

Vi kan beregne den effektive motstanden i nedtrekket:

$$\begin{aligned}
 R_{nedtrekk} &= (R_n + R_n) \\
 &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \\
 &= R.
 \end{aligned} \tag{2}$$

Hver for seg representerer nMOS transistorene en motstand lik $(1/2)R$ og tilsammen i en kjede vil den effektive motstanden

være lik R . Forholdet mellom motstanden for hver av nMOS transistorene i en NAND2 port og motstanden i nMOS transistoren i en enhetsinverter er gitt av:

$$\begin{aligned}
 R_n &= \frac{W_{enhets-nMOS}}{W_n} R \\
 &= \frac{1}{W_n} R.
 \end{aligned} \tag{3}$$

I dette aktuelle tilfellet er dette $1/W_n = 1/2$. Vi ser at det effektive nedtrekket i porten tilsvarer nedtrekket i en enhetsinverter.

For footed inverter har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{3\left(\frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3\frac{W_n}{2}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2) C \\
 &= 3RC \\
 &= 1\tau.
 \end{aligned} \tag{4}$$

B. Footed NAND2 port

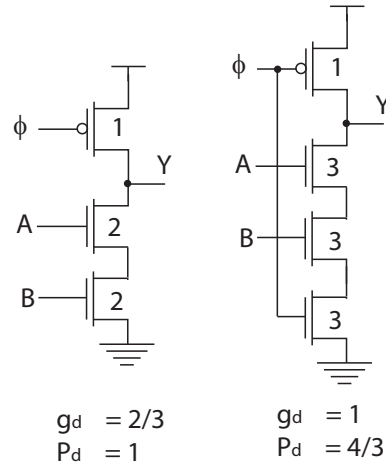


Fig. 5. Dynamisk NAND2 porter. (FIG8.25)

De to implementasjonene av dynamisk 2inngangs NAND porter som er vist i Fig. 5 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed 2inngangs dynamisk NAND port har vi:

$$\begin{aligned}
 g_d &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2) C \\
 &= 3RC \\
 &= 1\tau,
 \end{aligned} \tag{5}$$

der det for ikke-footed dynamisk NAND2 port ved opptrekk er forutsatt at A eller B = 0.

For footed 2innngangs NAND port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{3 \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n} \right)^{-1}} \\
 &= \frac{3}{3 \left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3} \right)^{-1}} \\
 &= 1 \\
 P_d &= \left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3} \right) R \cdot (1 + 3) C \\
 &= 4RC \\
 &= \frac{4}{3} \tau.
 \end{aligned}$$

C. Footed NOR2 port

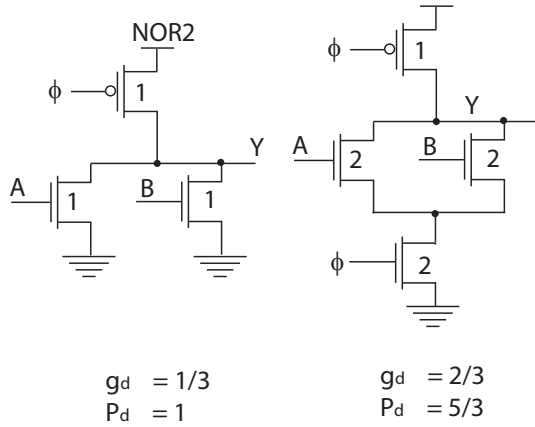


Fig. 6. Dynamisk NOR2 porter. (FIG8.25)

De to implementasjonene av dynamisk 2innngangs NOR porter som er vist i Fig. 6 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed 2innngangs dynamisk NOR port har vi:

$$\begin{aligned}
 g_d &= \frac{1}{3} \\
 P_d &= 1R \cdot (1 + 2) C \\
 &= 3RC \\
 &= 1\tau,
 \end{aligned}
 \tag{7}$$

der det for ikke-footed dynamisk NOR2 port ved opptrekk er forutsatt at A og B = 0.

For footed 2innngangs NOR port har vi:

$$\begin{aligned}
 g_d &= \frac{2}{3 \left(\frac{1}{W_n} + \frac{1}{W_n} \right)^{-1}} \\
 &= \frac{2}{3 \left(\frac{1}{2} + \frac{1}{2} \right)^{-1}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{2} + \frac{1}{2} \right) R \cdot (1 + 2 + 2) C \\
 &= 5RC \\
 &= \frac{5}{3} \tau.
 \end{aligned}
 \tag{8}$$

En footed NOR port vil få en større relativ økning i parasittisk tidsforsinkelse enn en footed NAND port, fordi antall nMOS transistorer i nedtrekkskjeden doubles, mens antallet for NAND porten økes fra 2(n) til 3(n+1).

D. Precharge og evalueringsdetaljer

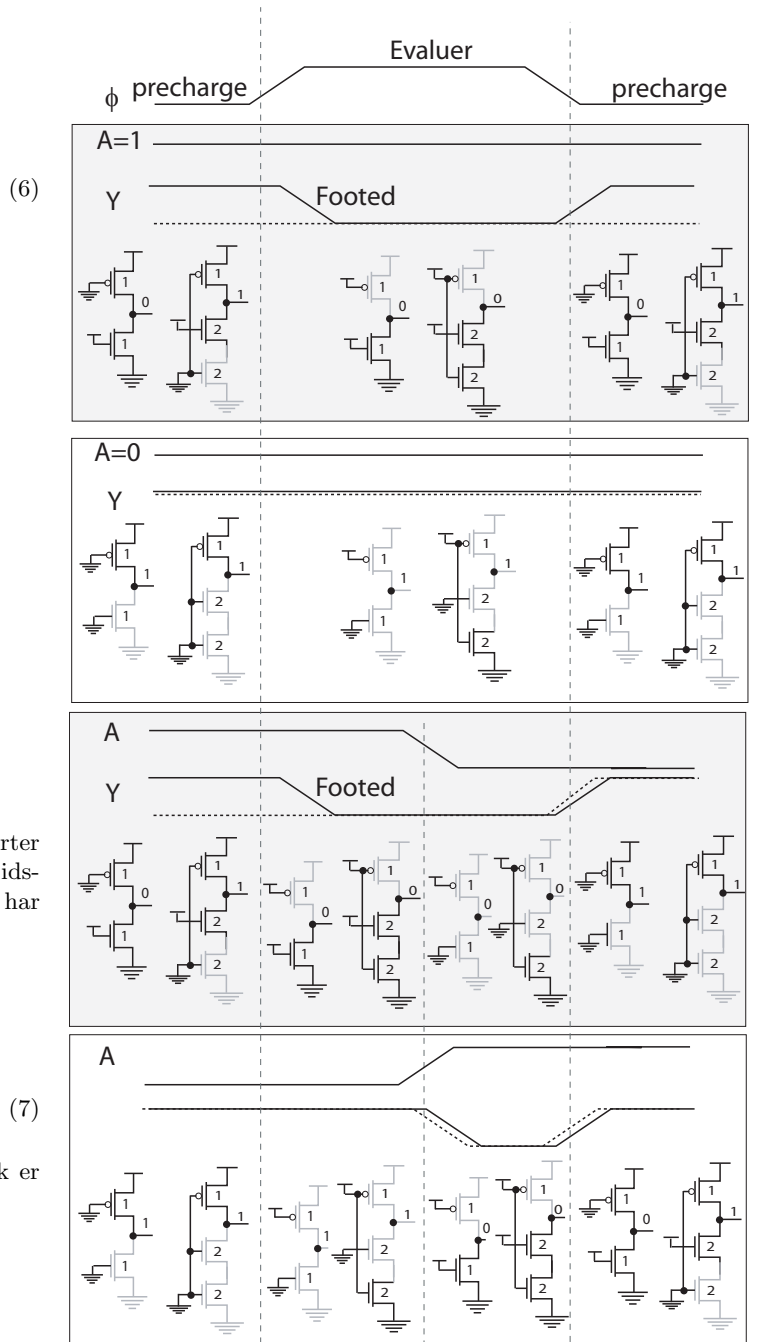


Fig. 7. Precharge og evaluering av dynamiske invertere.

Detaljert precharge og evaluering av en footed- og ikke footed dynamiske invertere er vist i Fig. 7.

I det første tilfellet når A = 1 vil footed inverter fungere riktig, dvs. inverteren vil precharges riktig til 1 og utgangen trekkes ned til 0 (Y = A-bar) i evalueringsfasen. Ikke-footed inverter vil ikke precharges til 1 fordi pMOS transistoren er for svak i forhold til nMOS transistoren.

I tilfelle to når $A = 0$ vil begge inverterne precharges til 1. nMOS transistoren i ikke-footed inverter er skrudd AV. Når klokkesignalet er 1 i evalueringsfasen vil utgangen på inverterne være udrevet (tristate) og vil ikke endre verdi dersom denne perioden (evalueringsfasen) er tilstrekkelig kort (dvs. frekvensen på klokkesignalet er tilstrekkelig høy).

I tilfelle tre antar vi at A er 1 i første precharge periode for å så å svitsje til 0 i løpet av evalueringsperioden. Ikke-footed inverter vil ikke kunne precharges til 1 på grunn av nMOS transistoren som drar utgangen til 0. I første del av evalueringsperioden vil utgangen på begge inverterne dras ned til 0 fordi pMOS transistorer stenges og nedtrekkene skrur PÅ. Begge inverterne har nå riktig verdi ($Y = \bar{A}$). I siste del av evalueringsperioden når A endres fra 1 til 0 vil utgangene på begge inverterne forbli lave fordi begge pMOS transistorene er skrudd AV. I dette tilfellet er både opprekk og nedtrekk for begge inverterne AV og utgangen drives ikke og vil ligge på samme verdi som i første del av evalueringsperioden. Dette vil representere en feil verdi fordi utgangen er i denne perioden lik inngangen ($Y = A$).

I det siste tilfellet antar vi at A er 0 i første precharge periode for å så å svitsje til 1 i løpet av evalueringsperioden. Begge inverterne precharges riktig i første precharge periode og vil beholde verdien logisk 1 i første halvdel av evalueringsperioden fordi $A = 0$. I siste halvdel av evalueringsperioden vil utgangen på begge inverterne endres til logisk 0 fordi $A = 1$, som er riktig verdi.

Hvis vi bare ser på evalueringsperioden vil det ikke være forskjell på footed- og ikke-footed inverter. Vi kan dermed slå fast at det å introdusere footed inverter ikke vil resultere at dynamiske porter vil evaluere (virke) riktig.

sammenkobling av flere dynamiske porter i en kjede vil problemet forsterkes utover i kjeden. Problemet er at vi precharger inngangene til nMOS transistorene i nedtrekkskjedene til 1 og dermed er transistorene skrudd PÅ.

For å kunne garantere riktig utgang må inngangene til transistorer ved precharge sørge for at transistorene er skrudd AV.

E. Mål

Forstå fundamentale problemer med footed og ikke-footed dynamiske porter.

F. Notater

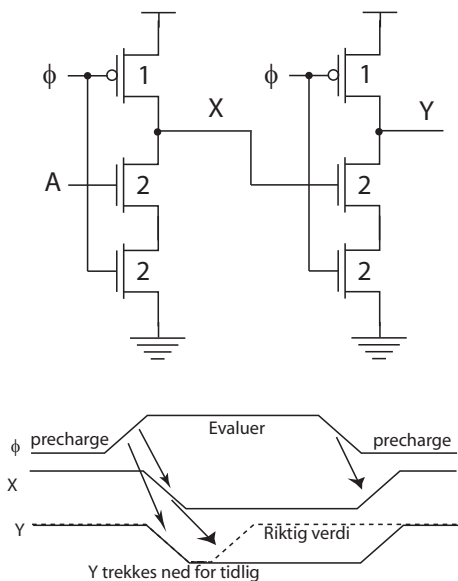


Fig. 8. Precharge og evaluering av footed dynamiske invertere. (FIG8.27)

Evalueringsproblemet for en footed inverter er vist i Fig. 8. Under precharge vil både X og Y være logisk 1. Helt i starten av evalueringsperioden vil X trekkes ned, dersom vi antar at A er 1. Samtidig vil Y trekkes ned fordi X er 1 idet ϕ svitsjer fra 0 til 1. X vil ikke bli trukket ned til 0 før Y er blitt trukket ned mot 0. Den riktige verdien for Y skal være 1 fordi X er 0, med det er ikke mulig å trekke Y opp mot 1 når utgangen er lav, før neste precharge periode. I dette tilfellet var det kritisk at Y rakk å respondere på X før X fikk sin riktige verdi. Ved

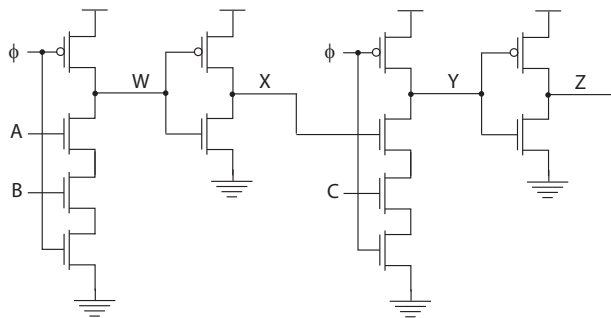


Fig. 9. Domino logikk. (FIG8.28a)

Vi kan unngå det grunnleggende problemet med footed dynamisk logikk ved å sette inn en inverter, eller et oddetall inverterende porter, mellom hver dynamisk port som vist i Fig. 9. Vi kaller denne logikkstilen *domino logikk*. For precharge porten med utgang Y vil inngangen fra en tilsvarende port via en inverter X alltid være 0 under precharge.

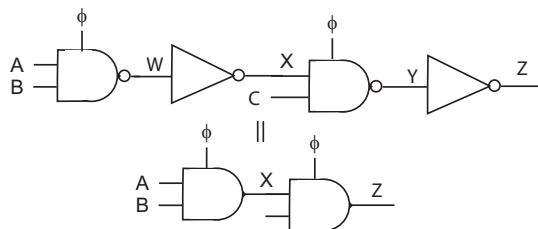


Fig. 10. Domino logikk. (FIG8.28bc)

Detaljer for domino logikk er vist i Fig. 10. Vi antar at $A = 0$ ved precharge¹. Legg merke til at det ikke er nødvendig å forutsette at inngangen B og C er 0 ved precharge fordi nedtrekket er skrudd av ved hjelp av A og X . Legg merke til at dersom vi kan forutsette at ett av inngangssignalene i nedtrekkskjeden i domino logikk er 0 vil det ikke være nødvendig med den nedre transistoren i nedtrekket. Vi kan med andre ord bruke en ikke-footed dynamisk port.

En domino implementasjon av en 8inngangs multiplekser er vist i Fig. 11. Vi antar at alle kontrollsignalene $S_0 - S_7$ er 0 ved precharge.

A. Mål

Kunne implementere ulike logiske funksjoner ved hjelp av domino logikk.

¹Vi kan anta at A er en invertert utgang fra en domino port.

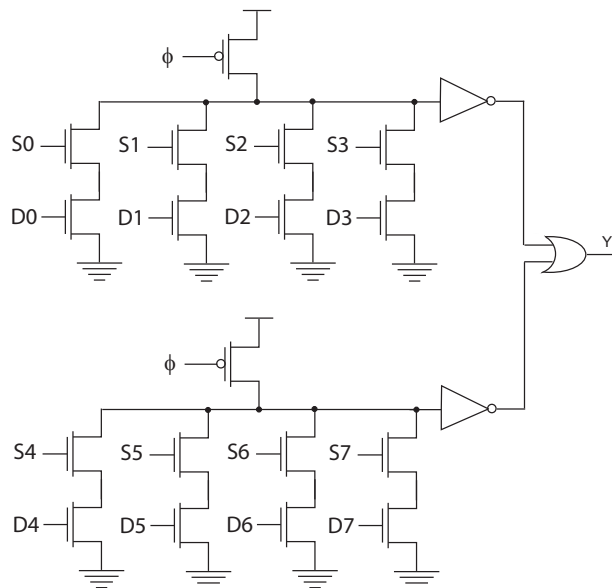


Fig. 11. Domino logikk multiplekser. (FIG8.29)

B. Notater

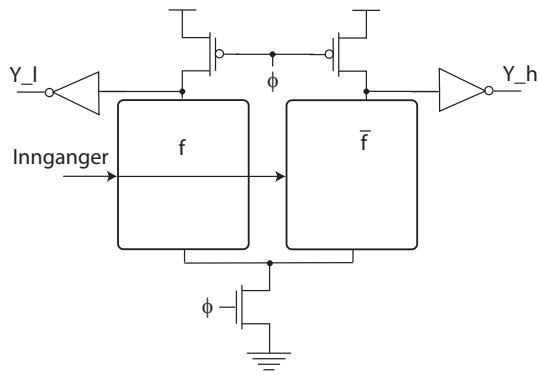


Fig. 12. Dual-rail domino logikk. (FIG8.30a)

En domino logikk variant er vist i Fig. 12. Vi ser at porten ligner på en CVLS port, med komplementære nedtrekkskjeder og komplementære utganger. I stedet for krysskoblede pMOStransistorer som vi har i CVLS porter er de her erstattet med precharge pMOS transistorer. I tillegg er det en klokke nMOS transistor til GND som for footed dynamisk logikk. Vi kaller denne varianten for *dual-rail domino logikk*. Begge utgangene Y_l og Y_h blir precharget til 1. En av utgangene blir trukket ned til 0 i evalueringfasen, mens den andre utgangen forblir høy.

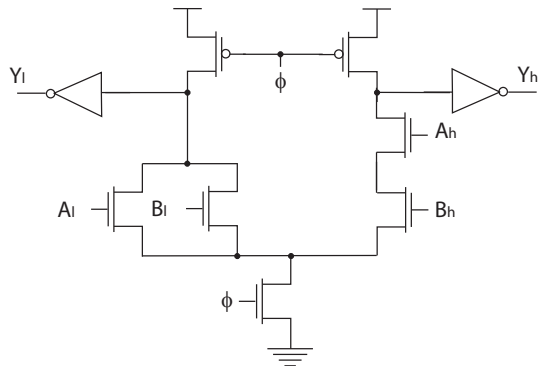


Fig. 13. Dual-rail domino logikk. (FIG8.30b)

Et eksempel på dual-rail domino logikk er vist i Fig. 13. Utgangene vil være henholdsvis $Y_l = \overline{A_l + B_l} = \overline{A_l} \cdot \overline{B_l} = \overline{A_h} \cdot \overline{B_h} = \overline{A} \cdot \overline{B}$ og $Y_h = \overline{Y_l} = A \cdot B$. Dual-rail domino logikk kan brukes der det er behov for inverterte signaler.

Ved å koble en 2inngangs NAND port direkte til inngangen til inverterne som vist i Fig. 14 får vi et signal som varsler om at evalueringen i den dynamiske porten er ferdig. Når porten precharges vil begge inngangene til NAND porten være 1 og utgangen *Ferdig* være 0. Når den dynamiske porten evaluerer vil en av inngangene til NAND porten bli trukket ned til 0 og utgangen på NAND porten vil dermed trekkes opp til 1.

A. Mål

Kunne implementere ulike funksjoner ved hjelp av dual-rail domino logikk.

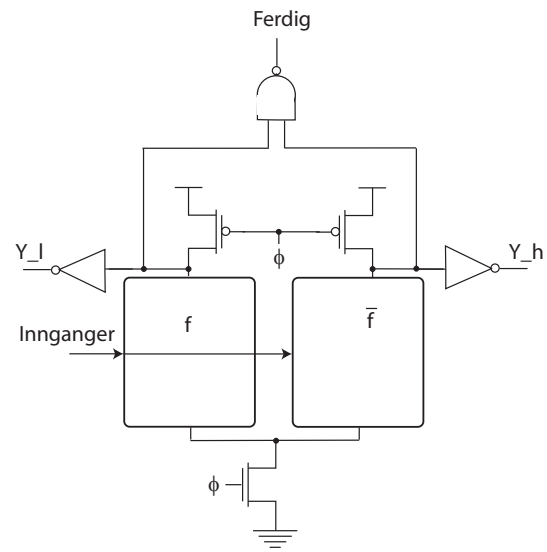


Fig. 14. Dual-rail domino logikk med ferdig deteksjon. (FIG8.31)

B. Notater

Et viktig problem knyttet til dynamisk logikk er *ladningsdeling*.

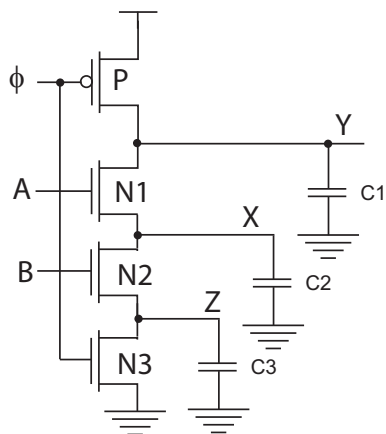


Fig. 15. *Ladningsdeling i en dynamisk port.*)

Den dynamiske porten i Fig. 15 vil bli precharget til 1 når $\phi = 0$. Vi kan anta følgende situasjon: **Precharge:** $\phi = 0$ og $A = B = 0$ etterfulgt av **evaluate:** $\phi = 1$, $A = 0 \rightarrow 1$ og $B = 0$. Vi antar at noden $X = 0$ i slutten av prechargeperioden. I starten av evalueringsperioden vil inngangen A stige og skru på transistoren $N1$. En strøm i $N1$ vil ikke bare sørge for at spenningen på noden X stiger, men ikke minst at utgangen Y faller fordi pMOS transistoren vil være skrudd av under evaluering. Vi har i denne situasjonen en logisk høy utgang, men med en begrenset ladning knyttet til utgangskapasitansen C_1 . Noe av denne ladningen vil flyttes via transistoren $N1$ til noden X . Effekten av dette er at spenningen på X stiger og utgangsspenningen Y faller. En forenklet² analyse gir

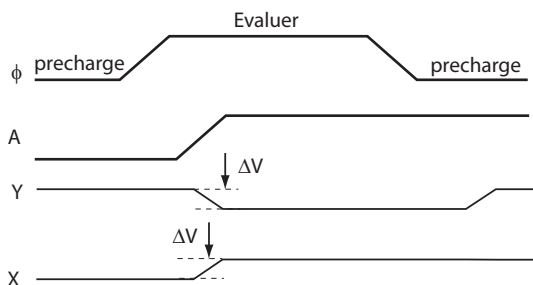


Fig. 16. *Endring i spenninger ved ladningsdeling i en dynamisk port.*

$$\Delta V = \left(1 - \frac{C_1}{C_1 + C_2}\right) \cdot V_{DD}. \quad (9)$$

$$\begin{aligned} V_Y &= V_{DD} - \Delta V \\ V_X &\approx V_Y. \end{aligned} \quad (10)$$

Av denne analysen er det lett å se at den kritiske faktoren er endring i utgangssignalet Y . Dersom endringen er liten slik at etterfølgende porter ikke har problemer med å tolke Y som logisk 1 vil effekten av ladningsdelingen ikke være signifikant.

²Vi tar ikke hensyn til body effekt og terskelspenning.

Dersom utgangskapasitansen (lasten), i dette tilfellet C_1 , er stor i forhold til interne kapasitanser, i dette tilfellet C_2 , vil det ikke bli en signifikant endring av utgangen.

Transistoren $N1$ vil stenge før X trekkes helt opp til Y fordi det ikke vil være en effektiv gate source spenning $V_{gs} = V_{DD} - V_X$ som er tilstrekkelig høy for at transistoren er skrudd PÅ. I dette tilfellet vil body effekt bidra til å redusere effekten av ladningsdeling. Dette betyr at $V_X < V_Y$ og at V_Y faller mindre enn antatt med forenklet analyse.

A. Mål

Kunne modellere ladningsdeling i dynamiske porter ved hjelp av forenklet analyse.

B. Notater

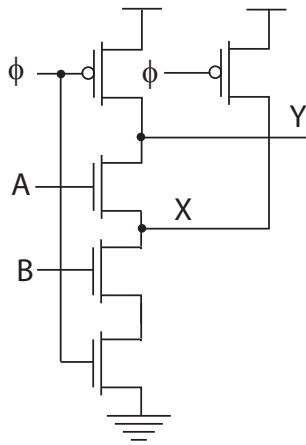


Fig. 17. Precharge av interne noder i nedtrekket. (FIG8.40)

Vi kan redusere problemer med ladningsdeling i dynamiske porter ved å bruke precharge transistorer i tillegg til å precharge utgangen. Ved å precharge interne noder i nedtrekket som kan tenkes å utgjøre et problem ved ladningsdeling reduseres ladningsdelingen og portens robusthet vil øke. Ulempen i tillegg til større areal er økt parasittisk kapasitans i nedtrekk (noden X) som vil bidra til å øke parasittisk tidsforsinkelse ved nedtrekk. Ved precharge vil de interne nodene som precharges til 1 også bli tyngre å dra ned til 0 fordi det vil være en høy spenning (mye ladning) som må fjernes. Dette vil bidra til ytterligere å øke parasittisk tidsforsinkelse for nedtrekket. En annen ulempe er at lasten knyttet til klokkesignalet ϕ øker.

A. Mål

Kunne redusere problemer med ladningsdeling i logiske porter ved å bruke precharge transistorer for precharge av interne noder i nedtrekk.

B. Notater

En viktig begrensning for dynamiske porter er *ladningslekkasje*. Dersom frekvensen på klokkesignalet ϕ er relativt lav og/eller porten har betydelig lekkasje kan utgangsspenningen falle signifikant i evalueringsfasen selv om nedtrekket er skrudd AV. Dette problemet kommer i tillegg til ladningsdeling.

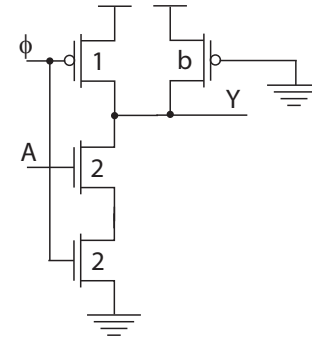


Fig. 18. Statisk bløder.

For å redusere et uønsket fall i utgangsspenning på en dynamisk port er det vanlig å bruke en relativt svak transistor som er PÅ når utgangen er 1. En slik transistor kalles en *bløder* (keeper). Blødertransistoren må være tilstrekkelig stor dvs. bredde/lengde, slik at transistoren klarer å holde utgangen høy når nedtrekket er skrudd AV. En statisk blødertransistor er vist i Fig. 18. Blødertransistoren vil øke parasittisk tidsforsinkelse på grunn av en økning i den effektive nedtrekksmotstanden tilsvarende som for *pseudo nMOS* og på grunn av en økt kapasitans (last) på utgangen.

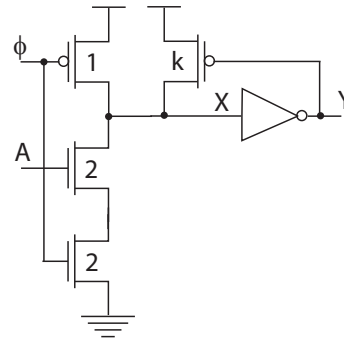


Fig. 19. Dynamisk bløder. (FIG8.33)

En dynamisk blødertransistor er vist i Fig. 19. Denne transistoren vil ikke bare bidra til å holde en 1er på utgangen, men også øke den effektive motstanden i starten av et nedtrekk og dermed øke parasittisk tidsforsinkelse for nedtrekket både gjennom økningen i effektiv motstand og ved økt kapasitans på utgangen X. Når nedtrekket er PÅ vil X trekkes ned mot 0 og Y mot 1 og dermed skru av bløderen. I tillegg til en økt kapasitans for noden X, vil utgangen Y få vi en økt kapasitans på grunn av tilkobling til pMOS bløderen. Det er vanlig å dimensjonere bløderen $W_p = \text{minimum}$ og $L_p = \text{stor}$ som vil gi en liten tilleggskapasitans for X, men en relativt stor tilleggskapasitans for Y.

Økningen i tidsforsinkelse for Y kan begrenses ved å redusere lengden på blødertransistoren. Det er vanlig å begrense strømmen i bløderen ved å koble til en statisk bløder mellom

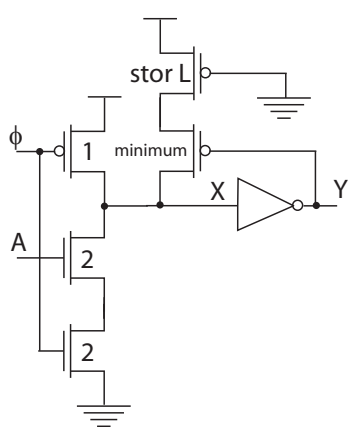


Fig. 20. *Dynamisk port med statisk og dynamisk bløder. (FIG8.34)*

V_{DD} og den dynamiske bløderen der lengden på den statiske bløderen kan være stor. Den statiske blødertransistoren vil fungere som en strømbegrenser. En dynamisk port med både statisk og dynamisk bløder er vist i Fig. 20.

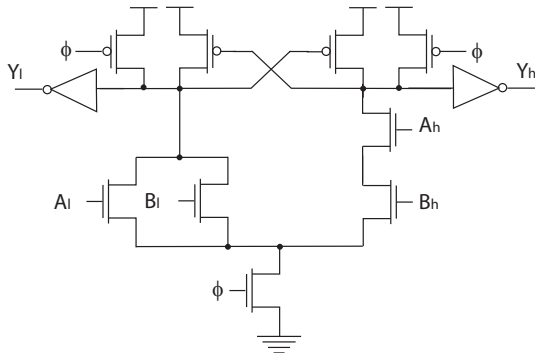


Fig. 21. *Differensiell dynamisk port med dynamisk bløder. (FIG8.35)*

I Fig. 21 er det vist en differensiell dynamisk port med dynamisk bløder. Denne porten minner om CVSL logikk. Denne kretsen er rask fordi pMOS transistorene ikke vil redusere hastigheten for nedtrekket.

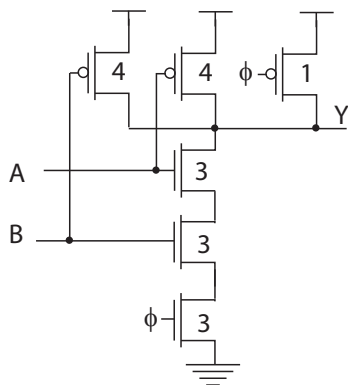


Fig. 22. *Støyrobust precharge.*

Et alternativ til dynamisk bløder er vist i Fig. 22. Funksjonen er 2inngangs NAND og vil trekke aktivt høy når A eller B er 0. Dette aktive opptrekket medfører at kretsen blir støyrobust i tillegg til at det ikke vil være signifikant lekkasje når utgangen skal

holdes høy eller det er fare for ladningsdeling. Som krets ligner denne porten mer på en statisk- enn dynamisk port. Ulempen med denne porten er økt kapasitans på utgangen Y som vil gi relativt stor tidsforsinkelse. Vi trenger imidlertid ikke forutsette noe om inngangssignalene under precharge og utgangen kan dermed kobles direkte til en tilsvarende krets på utgangen.

A. Mål

Kunne benytte ulike blødertransistorer (keepers) ved implementasjon av robuste dynamiske porter.

B. Notater

*INF3400 Del 6: Optimalt antall porter i en kjede[2], (Kapittel 4.3.2 side 178 - 181)

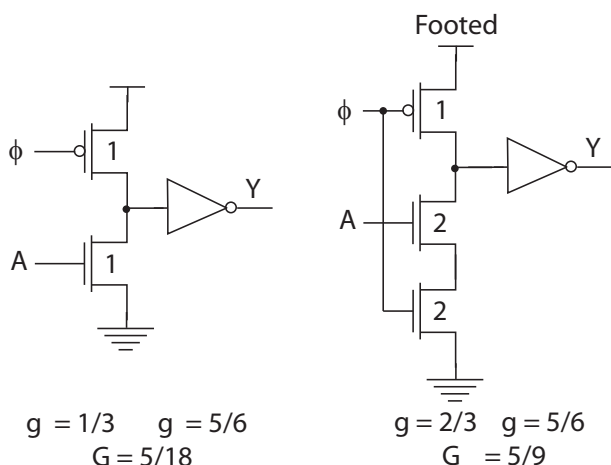


Fig. 23. Logisk effort i dynamiske kjede. (FIG8.41)

Footed- og ikke-footed dynamiske inverttere er vist i Fig. 23. For en dynamisk inverter vil det være større parasittisk tidsforsinkelse når porten skal precharges enn tidsforinkelse ved evaluering (eventuelt nedtrekk). Det er derfor vanlig å bruke high-skew statiske porter i tilknytning til dynamiske porter. En high-skew inverter, med $W_p = 2$ og $W_n = 1/2$, har logisk effort for opptrekk $g_u = 5/6$. Vi kan beregne logisk effort i kjeden bestående av en ikke-footed dynamisk inverter og en statisk high-skew inverter som:

$$\begin{aligned} G_u &= \frac{1}{3} \cdot \frac{5}{6} \\ &= \frac{5}{18} \\ G_d &= \frac{2}{3} \cdot \frac{5}{3} \\ &= \frac{10}{9}. \end{aligned} \quad (11)$$

For en kjede med en footed dynamiske inverttere og en statisk inverter får vi:

$$\begin{aligned} G_u &= \frac{2}{3} \cdot \frac{5}{6} \\ &= \frac{5}{9} \\ G_d &= \frac{4}{3} \cdot \frac{5}{3} \\ &= \frac{20}{9}. \end{aligned} \quad (12)$$

For en kjede av statiske inverttere som skal drive en last er den optimale port effort lik 4^3 [2]. Når vi benytter dynamiske porter i domino kjeder er det fornuftig å redusere port effort til mellom 2 og 3^4 .

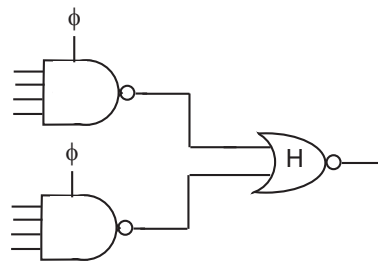


Fig. 24. Logisk effort i dynamiske kjede. (FIG8.42b)

A. Eksempel

Gitt kretsen i Fig. 24 med en high-skew statisk NOR port, med logisk effort $g_u = 3/2$. Anta at 4inngangs NAND portene er footed, med $W_n = 5$ som vil en effektiv nedtrekksmotstand lik R og logisk effort for nedtrekket $g_d = 5/3$. Vi kan beregne logisk effort og tidsforsinkelse i kjeden ved at de dynamiske NAND portene trekker begge inngangssignalene til NOR porten lave og dermed trekkes utgangen av NOR porten høy:

$$\begin{aligned} G_u &= \frac{5}{3} \cdot \frac{3}{2} \\ &= \frac{5}{2} \\ P_u &= (5C + C) \cdot R + \left(4 + 2 \cdot \frac{1}{2}\right) R \\ &= 11RC \\ &= \frac{11}{3}\tau. \end{aligned} \quad (13)$$

Vi har $N = 2$ og $f' = F^{\frac{1}{2}} = (G_u \cdot 1 \cdot H)^{\frac{1}{2}} = \sqrt{\frac{5H}{2}}$, der H er elektrisk effort i kjeden. Tidsforsinkelse i kjeden er gitt av:

$$\begin{aligned} D &= NF^{\frac{1}{N}} + P_u \\ &= 2 \left(\frac{5H}{2}\right)^{\frac{1}{2}} + \frac{11}{3}. \end{aligned} \quad (14)$$

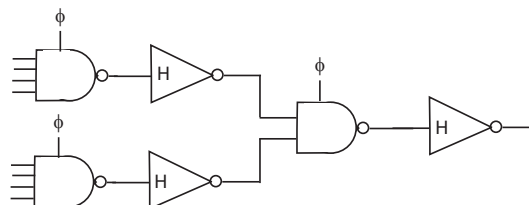


Fig. 25. Logisk effort i dynamiske kjede. (FIG8.42a)

Gitt kretsen i Fig. 25 med high-skew statiske inverttere, med logisk effort $g_u = 5/6$. Anta at 4inngangs NAND portene er footed med $W_n = 5$. Vi kan beregne logisk effort og tidsforsinkelse i kjeden når utgangen er høy:

$$\begin{aligned} G_u &= \frac{5}{3} \cdot \frac{5}{6} \cdot 1 \cdot \frac{5}{6} \\ &= \frac{125}{108} \\ P_u &= (5C + C) \cdot R + \left(2 + \frac{1}{2}\right) R + (3C + C) \cdot R + \left(2 + \frac{1}{2}\right) R \end{aligned}$$

³Eller mer presist lik 3.59.

⁴2 dersom det bare er dynamiske porter og 3 dersom det er et stort innslag av statiske porter i kjeden.

$$\begin{aligned}
 &= 15RC \\
 &= 5\tau.
 \end{aligned}
 \tag{15}$$

Vi har $N = 4$ og $f' = F^{\frac{1}{4}} = (G_u \cdot 1 \cdot H)^{\frac{1}{4}} = (125/108K)^{1/4}$, der H er elektrisk effort i kjeden. Tidsforsinkelse i kjeden er gitt av:

$$D = 4 \left(\frac{125H}{108} \right)^{\frac{1}{4}} + 5.
 \tag{16}$$

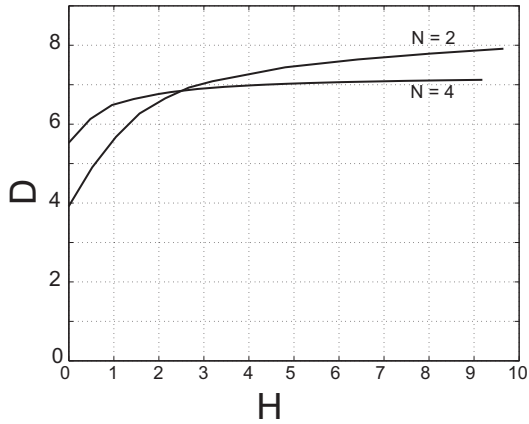


Fig. 26. Tidsforsinkelse i dynamiske kjeder som funksjon av elektrisk effort i kjeden. (FIG8.43c)

I Fig. 26 er tidsforsinkelse i de to kjedene vist som funksjon av kjedens elektriske effort H . Når elektrisk effort er liten, dvs. mindre enn 3, lønner det seg å velge varianten med to porter ($N = 2$). Varianten med 4 porter ($N = 4$) har tidsforsinkelse som i svært liten grad er påvirket av kjedens elektriske effort.

B. Mål

Kunne beregne logisk effort og tidsforsinkelse i kjeder med dynamiske porter.

C. Notater

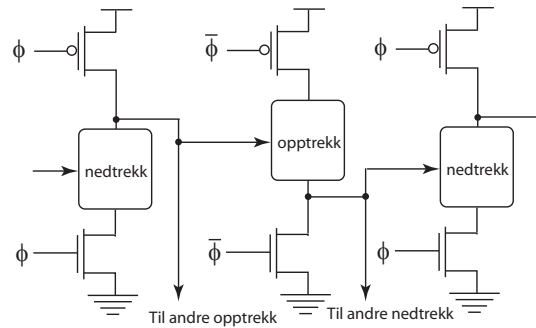


Fig. 27. NP domino. (FIG8.46a)

En annen variant av dynamisk porter er vist i Fig. 27. Her har man alternerende precharge med ϕ og $\bar{\phi}$ for nedtrekk og opptrekk. Denne varianten kalles *NP domino* eller *NORA domino*. Her vil precharget verdi for den første porten være 1 som kan brukes direkte inn på en pMOS transistor (AV). Neste port precharger i samme periode, men da precharges utgangen til 0 som kan kobles direkte inn på en nMOS transistor.

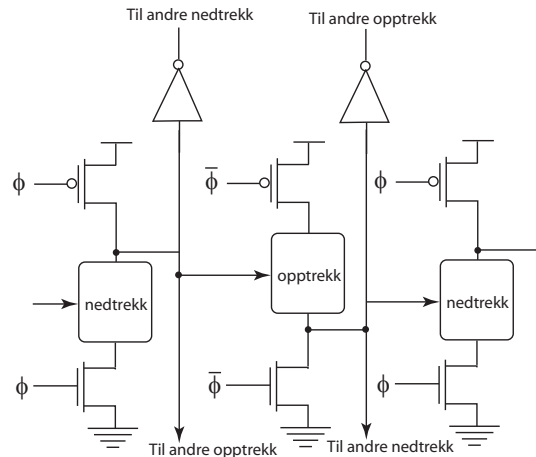


Fig. 28. NP domino. (FIG8.46c)

NP domino logikk kan utvides ved å benytte statiske invertere slik at utgangene på en precharget port kan brukes i både opptrekk on nedtrekk som vist i Fig. 28.

Zipper domino er tilsvarende NP domino logikk der precharge klokkesignaler har redusert sving, dvs. ϕ svinger mellom 0 og $V_{DD} - |V_{tp}|$ og $\bar{\phi}$ svinger mellom V_{tn} og V_{DD} . Precharge transistorene vil da fungere som blødere.

A. Mål

Kunne anvende NP domino logikk.

X. INDEKS

Bløder 8
CVSL 9
Domino logikk 5
Dual-rail domino logikk 6
Dynamiske porter 1
Evaluering 1
Footed porter 1
High-skew 10
Keeper 8
Kokkesignaler 1
Ladningsdeling 7
Ladningslekkasje 8
Nora domino 11
NP domino 11
Precharge 1
Pseudo nMOS 8
Statiske porter 1
Tristate porter 1
Zipper domino 11

REFERENCES

- [1] Neil H.E. Harris og David M. Harris "Integrated Circuit Design" fjerde utgave 2010, ISBN 10: 0-321-69694-8, ISBN 13: 978-0-321-69694-6, *Pearson*.
- [2] Yngvar Berg "INF3400 Del:6"