

Prosjektrapport

*INF4420 - Prosjekter i analog/mixed-signal CMOS
konstruksjon*

Henrik Hagen og Mats Risopatron Knutsen

11.05.2009

Sammendrag

Prosjektet omhandler reduksjon av offset spenning til en OTA. Dette løses ved å benytte en digital kalibreringsløyfe som inneholder et suksessiv approksimasjonsregister (SAR), og en DAC. Offset korreksjonen foretas av en trimmekrets som trekker en strøm fra transistorene i inngangssteget til OTAen. Ytelsen til OTAen påvirkes minimalt av denne trimmekretsen. Trimmekretsen styres av DACen. Det har blitt laget et forslag til utlegg av M3M DAC og trimmekrets. Uten noen form for kalibrering har OTAen et standardavvik til offset spenningen på 7.1 mV. Med kalibreringsløyfen oppnår vi en reduksjon av standardavviket til 0.323 mV med ideell DAC, til 0.638 mV med M3M DAC og til 0.581 mV med ekstrahert layout av M3M DAC og trimmekrets. Med kalibreringsløyfen og egen layout av har standardavviket til offset spenningen til OTAen blitt redusert med nesten 92 %.

Innhold

1	Innledning	4
2	Metoder	5
2.1	OTA uten trimmekrets	5
2.2	OTA med trimmekrets og ideell DAC	8
2.3	Radix 2 og radix 1.77 DAC	9
2.4	R2R DAC kontra M3M DAC	10
2.5	Ideell DAC versus M3M DAC	13
2.6	OTA med trimmekrets og M3M DAC	13
2.7	Utlegg av M3M DAC	13
2.8	Utlegg av strømspeil som utgjør trimmekrets	15
2.9	Feilsjekking	16
2.10	Simulering med parasitter	16
2.11	OTA med trimmekrets og M3M DAC og trimmekrets med ekstraherte parasitter	17
3	Resultat	18
3.1	Målinger og simuleringer på OTA uten trimmekrets	18
3.2	Målinger og simuleringer på OTA med kalibreringssløyfe med ideell DAC	19
3.2.1	Trimmekretsens påvirkning på OTA	20
3.3	Målinger og simuleringer på OTA med kalibreringssløyfe med M3M DAC	21
3.3.1	Ideell overføringsfunksjon for radix 2 og radix 1.77 DAC	21
3.3.2	Måling av overføringsfunksjon til ideell DAC og M3M DAC	21
3.3.3	Monte Carlo simuleringer på kalibreringssløyfe med M3M DAC	23
3.3.4	Monte Carlo simuleringer på kalibreringssløyfe med ekstraherte utlegg	24
3.3.5	Sammenligning av kalibreringssløyfene	25
4	Diskusjon	26
4.1	Sammenligning av OTA ytelse med og uten trimmekrets	26
4.2	Sammenligning av DACene og kalibreringssløyfer	26
4.3	Mulige forbedringer	27
5	Konklusjon	28

1 Innledning

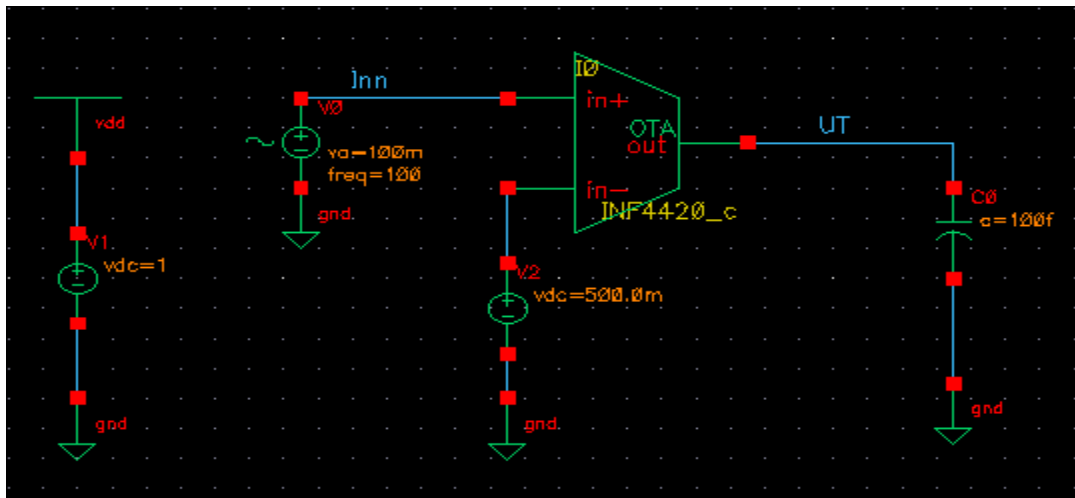
Denne rapporten er et resultat av prosjektarbeid i faget INF4420, *Prosjekter i analog/mixed-signal CMOS konstruksjon*. Prosjektarbeidet har pågått over en periode på ca 3 måneder, og har gått ut på å simulere en OTA med digital kalibreringssløyfe for reduksjon av offset spenning. Systemet har bestått av en OTA (Operasjon transkonduktansforsterker), invertere, et suksessiv approksimasjonsregister (SAR), en DAC (digital til analog konverter) og trimmekrets. Denne trimmekretsen har blitt styrt av DACen som igjen får sitt digitale ord fra SAR. Det har blitt laget utlegg for trimmekrets og M3M DAC hvor parasittiske komponenter har blitt ekstrahert ut og tatt med i simuleringen av det totale systemet. Vi har i løpet av rapporten påvist at standardavviket til offset spenningen til OTAen kan reduseres ved å benytte en slik kalibreringssløyfe og at trimmekretsen minimalt påvirker OTAens ytelse. Designverktøyet som har blitt brukt er Cadence, og en stor del av prosjektet har vært å bli kjent med dette verktøyet og lære seg å konstruere kretser og lage utlegg i dette programmet. Prosessen som er brukt er STM CMOS090 (General purpose med 7 metallag)

2 Metoder

Denne oppgaven går i hovedsak ut på å korrigere for offset spenning i en OTA. En OTA er kort fortalt en Op-Amp uten spenningsbuffer. Offset korrigeringen gjøres av en trimmekrets som styres av en kalibreringssløyfe. Trimmekretsen består av to strømspeil som får input strøm fra en 7 bits DAC. Output til strømspeilene er koblet til transistorene i differensialparet på inngangen av OTAen (for skjematikk se vedlegg 3 figur 7 og figur 10). Altså et strømspeil til hver av inngangstransistorene, disse har et strømtrekk som nødvendigvis er mindre enn bias strømmen til differensialparet. DACen bestemmer hvordan strømtrekket skal fordele seg i de to strømspeilene, og dersom dette strømtrekket tiltes i den ene eller den andre retningen trekkes utspenningen litt opp eller ned. I løpet av rapporten ble det benyttet to forskjellige DACer til å styre trimmekretsen, en ideell radix 1.77 DAC og en radix 1.77 DAC som vi tegnet selv og siden laget layout av. Disse vil bli grundigere forklart lenger ut i rapporten. DACene fikk sitt digitale ord fra et SAR (suksessiv approksimasjonsregister) som vi fikk utdelt. SAR var koblet til utgangen av OTAen via to invertere av typen IVSVTX1 fra biblioteket CORE90PSVT som følger med prosessen. Disse to inverterene, sammen med OTAen, forsterker opp offsetet og mot negativ eller positiv forsyningsspenning rail. På denne måten får SAR en "digital" verdi inn basert på OTAens offset. Ideelt skal SAR få '1' inn når spenningen ut fra OTAen er over 0.5 V og '0' når den er under 0.5 V. Men inverterene trigger ikke akkurat på 0.5 V og vi vil derfor ha litt slingringsmonn rundt denne verdien. SAR fungerer på den måten at den ser om den har '1' eller '0' på inngangen, og om inngangen forandrer seg når den flipper MSB. Dersom inngangen til SAR ikke forandres beholdes verdien på dette bitet og neste bit flippes og prøves på samme måte. Dersom inngangen til SAR forandres beholder ikke SAR verdien på det sist flippede bitet, men prøver seg på de mindre signifikante bitene etter tur. Dette gjøres helt til LSB. På denne måten prøver SAR seg frem til en riktigst mulig ut verdi. Når SAR er ferdig med å gå igjennom alle bitene, sender den en høy puls på Done utgangen, denne skal benyttes siden og forklares da.

2.1 OTA uten trimmekrets

Først skulle vi se på OTAen uten trimmekrets eller kalibreringssløyfe. Det ble simulert og funnet GBW (gain-bandwidth product), fasemargin, slewrate begrensning, sving på utgang og standardavvik av offset spenningen. Målingene av GBW og fasemargin ble gjort i open loop som vist i testbenken i figur 1. Målingen av standardavviket og slewrate begrensning ble gjort i closed loop med OTAen koblet som en følger.



Figur 1: Testbenk OTA uten DAC, open loop

GBW er et veldig vanlig mål på ytelse i forsterkerkoblinger og er definert som DC forsterkning ganger -3dB frekvensen.

$$GBW = f_{-3dB} * A_{DC}$$

GBW er konstant, dvs. at dersom vi reduserer forsterkningen, med mer feedback, kan vi oppnå en høyere båndbredde.

Fasemargin er forskjellen på faseforskyvningen i OTAen og -180grader, ved frekvensen som gir 0dB forsterkning.

$$PM = \theta = 180^0 - \theta_{0dB}$$

Faseforskyvningen er viktig da den forteller om stabilitet i et tilbakekoblet system. Ved 0 grader fasemargin i et tilbakekoblet system har man positiv tilbakekobling, som fører et ustabil system som kan oscillere. Det er vanlig å ha litt størrelse på fasemarginen for å unngå at systemet blir ustabil, ofte over 45 grader. Både GBW og fasemargin kan finnes direkte fra en AC simulering ved å bruke funksjonene gainBwProd og phaseMargin i kalkulatorverktøyet i Cadence.

Slewrate begrensning sier hvor fort utgangen til en krets maksimalt kan forandre seg per tid, det er vanlig å oppgi denne størrelsen i V/μs. En måte å finne slewrate begrensningen på er ved å kjøre en transientanalyse med et påtrykt signal som er slik at utgangen av kretsen ikke klarer å følge inngangen. Deretter måler man stigetiden fra 10 % til 90 % av svinget på utgangen, og deler svinget i denne perioden med tiden det tar.

$$SR = \frac{V_{10\%-90\%}}{t_{10\%-90\%}}$$

Maksimalt sving på utgangen finner vi ved å foreta en transientanalyse og måle peak-to-peak på utgangen når den går i metning. Sving på utgangen kan være en viktig størrelse på så små forsyningsspenninger som benyttes her (1 V). Vi bør som regel benytte oss av forsterkertopologier som har et maksimalt sving som er så nær rail-to-rail som mulig.

Standardavvik eller σ , er et mål på hvor stor spredning vi har i en sannsynlighetsfordeling. Vi benyttet oss av Monte Carlo simuleringer for å få en sannsynlighetsfordeling av offset spenningen til OTAen. Monte Carlo er en statistisk simulering der man foretar mange (vi kjørte 100 hver gang) kjøring av en simulering og designvektøyet forandrer forskjellige prosess og produksjonsparametere i kretsen mellom hver kjøring. På denne måten kan man danne seg et statistisk grunnlag for hvordan ytelses variasjoner en kan forvente å ha i en krets. Standardavviket (σ) til offset spenningen til OTAen fant vi ved å bruke resultatet fra Monte Carlo simuleringene våre. Disse simuleringene var normalfordelt og vi brukte funksjonen `stddev` i kalkulatorverktøyet i Cadence til å regne ut standardavviket. 6σ variasjon er den andel av utfall i sannsynlighetsfordelingen som ligger innenfor 6σ , eller 6 standardavvik, fra gjennomsnittsverdien av fordelingen. I en normalfordeling (som våre Monte Carlo simuleringer), vil denne andelen være 99.999999708 %. Det vil si at 99.999999708 % av ferdig produserte enheter vil havne innenfor 6σ variasjon fra gjennomsnittsverdien. Monte Carlo simuleringer og standardavvik er brukt mange ganger i løpet av oppgaven for å klassifisere ytelsen til kalibreringsløyfen, jo mindre standardavvik jo bedre fungerer kalibreringsløyfen.

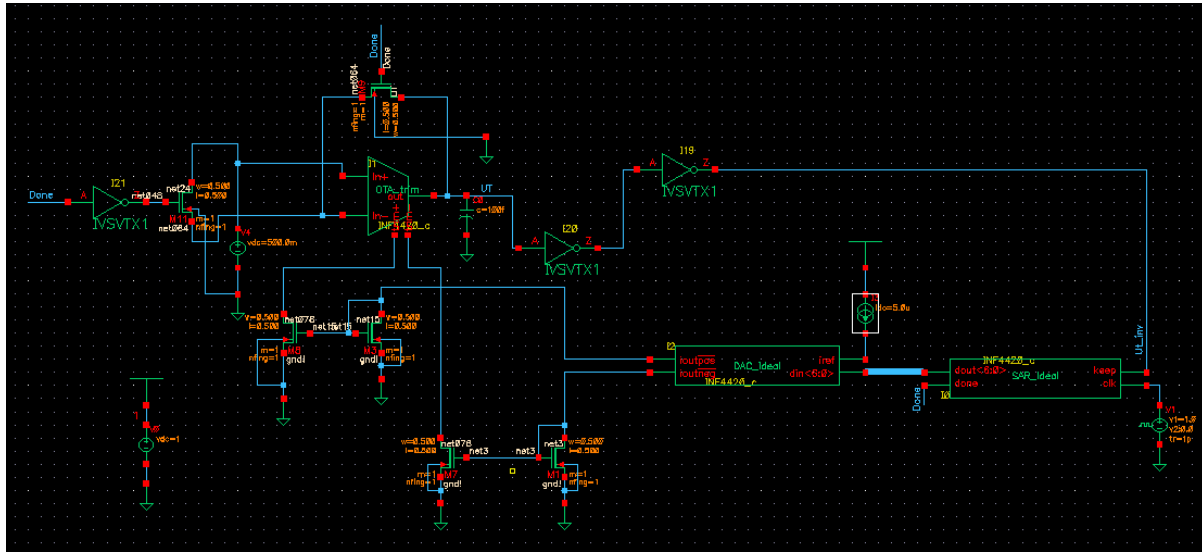
Verdien av 6σ variasjonen ble brukt til å finne den maksimale korreksjonsstrømmen som trengs i trimmekretsen, som OTAen skulle utvides med etter hvert. Den maksimale korreksjonsstrømmen blir den samme som bias strømmen i DACen, og er gitt av:

$$I_{bias} = 6\sigma * gm$$

Hvor gm er transkonduktansen til *en* av transistorene i differensialparet (samme hvilken av dem) på inngangen til OTAen. Transkonduktansen til en transistor er sammenhengen mellom I_{DS} og V_{GS} . Ved å benytte oss av trimmekretsen kan vi korrigere noe på inngangstransistorenes I_{DS} og da følgelig V_{GS} . Gatespenningene til transistorene i differensialparet er konstant når vi måler offset i oppgaven, og en forandring av V_{GS} vil da gå på utspenningen av transistoren. På denne måten kan vi korrigere utspenningen til OTAen og bruke dette til å begrense offset. Den høyeste tillatte avstand fra gjennomsnittsverdien til OTAen sin offset spenning er i følge våre spesifikasjoner 6σ . Ved å sette I_{bias} slik som i formelen over kan vi korrigere for en slik 6σ feil. I og med at vi har et strømspeil på både positiv og negativ inngang av OTAen kan vi med den valgte I_{bias} korrigere for 6σ i både positiv og negativ retning. Vi kan med andre ord korrigere for en 6σ variasjon av offset spenningen.

2.2 OTA med trimmekrets og ideell DAC

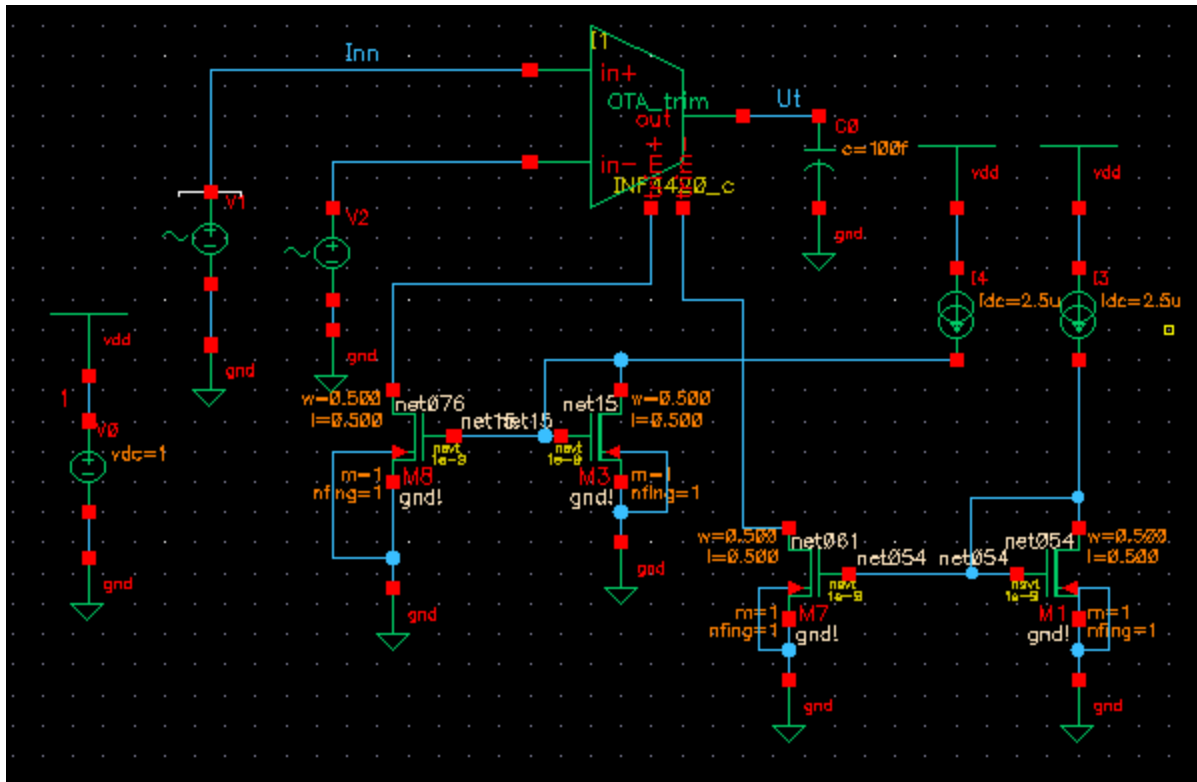
Kretsen ble utvidet med trimmekrets og kalibreringsløyfe, som vist i figur 2.



Figur 2: Testbenk OTA med kalibreringsløyfe

DACen som ble benyttet var i første omgang en ideell radix 1.77 DAC. Radix 1.77 vil bli grundigere forklart senere i rapporten. DACene som benyttes i oppgaven er differensielle strøm DACer, det vil si at de gir ut to differensielle strømmer som er avhengig av input ordet. Transistorene i tilbakekoblingen og mellom terminalene på OTAen brukes som brytere som styres fra SAR via Done signalet. Disse bryterne switcher OTAen mellom open og closed loop konfigurasjon. Kretsen er i open loop når offsetet kalibreres av kalibreringsløyfen. For å teste virkemåten til kalibreringsløyfen utførte vi en transientanalyse og så på innsvingningsforløpet til OTAen. Dette forløpet er plottet i resultatdelen. Standardavvik ble funnet på samme måte som i kretsen uten kalibreringsløyfe.

For å se på trimmekretsens innvirkning på OTA ytelsen ble kalibreringsløyfen koblet bort og begge strømspeilene i trimmekretsen ble tildelt en inngangsstrøm på $I_{bias} / 2$. Med andre ord ble det trukket $I_{bias} / 2$ i både positiv og negativ korreksjons gren. GBW (gain-bandwidth product) og fasemargin ble målt i open loop, som vist i testbenken i figur 3. Slewrate begrensning, standardavvik og sving på utgang ble funnet i closed loop med OTAen koblet som en følger. Resultatene er presentert og sammenliknet med resultatene fra OTAen uten trimmekrets i resultatdelen.



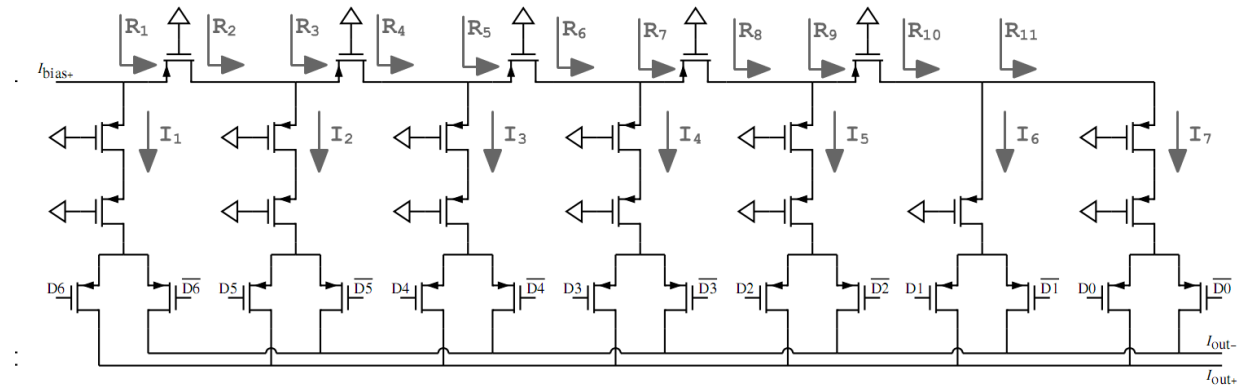
Figur 3: Testbenk OTA med trimmekrets, open loop

2.3 Radix 2 og radix 1.77 DAC

En radix 2 DAC er en DAC som har 2 som grunntall, og baserer seg dermed på to-tallssystemet. Forholdet mellom bit-plassene i en slik DAC er 2. Med andre ord er det nest minst signifikante bitet 2 ganger LSB og så videre. En radix 1.77 DAC derimot vil basere seg på et tallsystem som har 1.77 som grunntall. Forholdet mellom bit-plassene i en slik DAC vil være 1.77. I en radix 1.77 DAC vil vi ha en overføringsfunksjon som er ikke-monoton. Det vil si at ut verdien ikke alltid vil stige med stigende inputverdi. Et plot av den ideelle overføringsfunksjonen til en radix 2 og radix 1.77 DAC er plottet i resultatdelen. Dette plottet ble gjort i Matlab, og Matlab scriptet kan sees i vedlegg 6.

2.4 R2R DAC kontra M3M DAC

I oppgaven benyttes M3M DAC med radix 1.77, for å se hvordan denne strukturen er sammenlignet med R2R DAC tar vi her for oss de to strukturene. En tegning av M3M DAC er vist i figur 4.



Figur 4: Tegning av M3M DAC

DACen består av kun PMOSer, alle med samme lengde(0.2 μm) og bredde(0.5 μm). Gate til alle PMOSene som ikke har en digital inngang er koblet til jord og er i triode området hele tiden. I PMOS "parene" som har digital inngang fra SAR er en av de to transistorene på til enhver tid. Det vil si at i hvert av "parene" som har digital inngang, så vil en av de to transistorene være i triode området til enhver tid da det digitale signalet er enten høy eller lav. Høy vil si Vdd og lav vil si jord. PMOSer som er i triode området og har en konstant gatespenning (som er lavere en source spenningen), kan ses på som en motstand. I og med at alle transistorene har samme størrelse sier vi at de har samme motstandsverdi. Vi uttrykker denne motstandsverdien med R. Dette kan vi bruke til å regne på M3M DACen over. Vi bør ha en sammenheng mellom strømmene I_1 og I_2 på 1.77 hvor I_1 er størst. Det samme med strømmene I_2 og I_3 der I_2 er størst også videre. Dette fordi M3M DACen er en radix 1.77 DAC, som forklart i forrige punkt i rapporten. Dersom vi starter med å regne ut de forskjellige resistansverdiene vi ser i M3M DACen i figur 3 får vi:

$$\begin{aligned}
 R_{11} &= 3 R \\
 R_{10} &= 2R || R_{10} = 1.2 R \\
 R_9 &= R_{10} + R = 2.2 R \\
 R_8 &= 3R || R_9 = 1.27 R \\
 R_7 &= R_8 + R = 2.27 R \\
 R_6 &= 3R || R_7 = 1.29 R \\
 R_5 &= R_6 + R = 2.29 R \\
 R_4 &= 3R || R_5 = 1.3 R \\
 R_3 &= R_4 + R = 2.3 R \\
 R_2 &= 3R || R_3 = 1.3 R \\
 R_1 &= R_2 + R = 2.3 R
 \end{aligned}$$

Dette kan vi bruke til å regne ut strømmen i de forskjellige greinene i M3M DACen:

$$I_1 = I_{bias} * \frac{R_1}{3 R + R_1} = 0.433 I_{bias}$$

$$I_2 = (I_{bias} - I_1) * \frac{R_3}{3R + R_3} = 0.246 I_{bias}$$

$$I_3 = (I_{bias} - I_1 - I_2) * \frac{R_5}{3R + R_5} = 0.139 I_{bias}$$

$$I_4 = (I_{bias} - I_1 - I_2 - I_3) * \frac{R_7}{3R + R_7} = 0.0784 I_{bias}$$

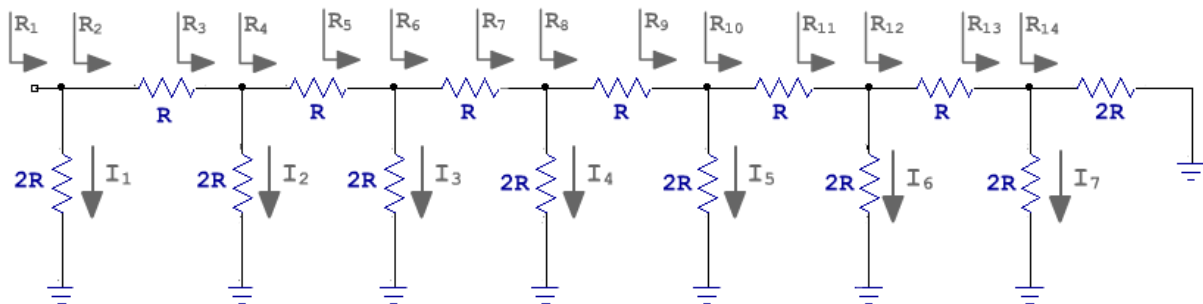
$$I_5 = (I_{bias} - I_1 - I_2 - I_3 - I_4) * \frac{R_9}{3R + R_9} = 0.0438 I_{bias}$$

$$I_6 = (I_{bias} - I_1 - I_2 - I_3 - I_4 - I_5) * \frac{R_{11}}{2R + R_{11}} = 0.0359 I_{bias}$$

$$I_7 = (I_{bias} - I_1 - I_2 - I_3 - I_4 - I_5 - I_6) * \frac{2R}{2R + R_{11}} = 0.0239 I_{bias}$$

Forholdet mellom strømmene er her som vi kan se ca 1.77, frem til forholdet mellom strømmene I_5 og I_6 som er 1.22. Forholdet mellom strømmene I_6 og I_7 er 1.5. Med andre ord er ikke denne DACen radix 1.77 på de to minst signifikante bitene.

M3M DAC typen minner en del om DAC typen R2R som baserer seg på motstander. En R2R DAC er en radix 2 DAC. En typisk R2R DAC er vist figur 5.



Figur 5: Tegning av R2R DAC

Vi kan analysere denne på samme måte som M3M DACen, men her skal forholdet mellom strømmene være 2 og ikke 1.77. Med andre ord bør vi ha en sammenheng mellom strømmene I_1 og I_2 på 2 hvor I_1 er størst, og det samme med strømmene I_2 og I_3 hvor I_2 er størst også videre. Starter med å finne resistansverdiene vi ser på forskjellige punkter i R2R DACen:

$$R_{14} = 2R$$

$$R_{13} = 2R || R_{14} = R$$

$$R_{12} = R_{13} + R = 2R$$

$$R_{11} = 2R || R_{12} = R$$

$$R_{10} = R_{11} + R = 2R$$

$$R_9 = 2R || R_{10} = R$$

$$R_8 = R_9 + R = 2R$$

$$R_7 = 2R || R_8 = R$$

$$R_6 = R_7 + R = 2R$$

$$R_5 = 2R || R_6 = R$$

$$R_4 = R_5 + R = 2R$$

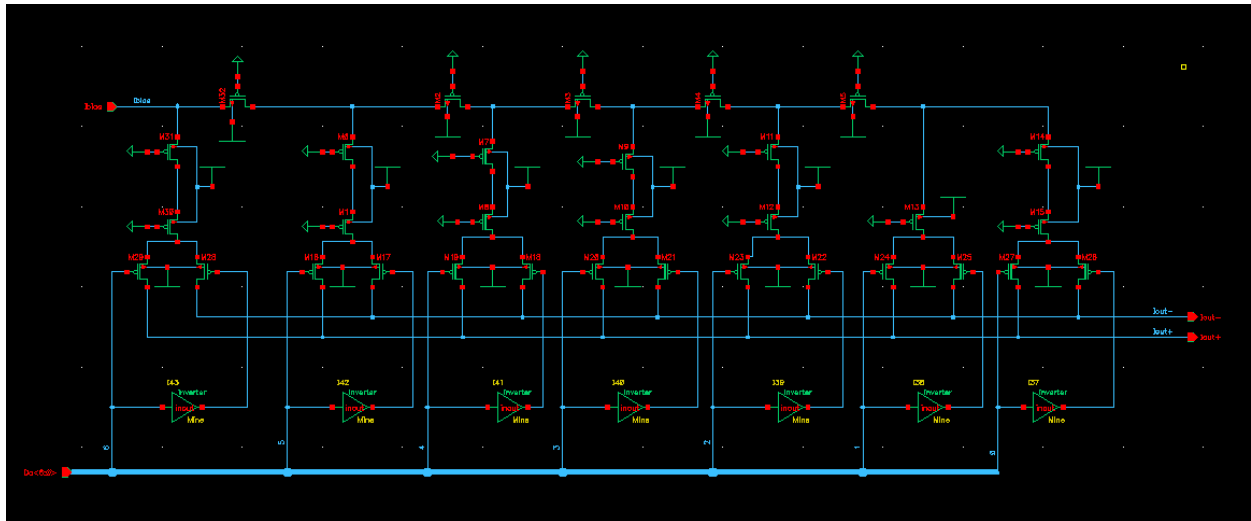
$$R_3 = 2R \parallel R_4 = R$$

$$R_2 = R_3 + R = 2R$$

$$R_1 = 2R \parallel R_2 = R$$

Bruker vi dette til å regne ut strømmene med samme fremgangsmåte som i M3M DACen, får vi et forhold mellom strømmene som er 2. Dette er med andre ord en radix 2 DAC.

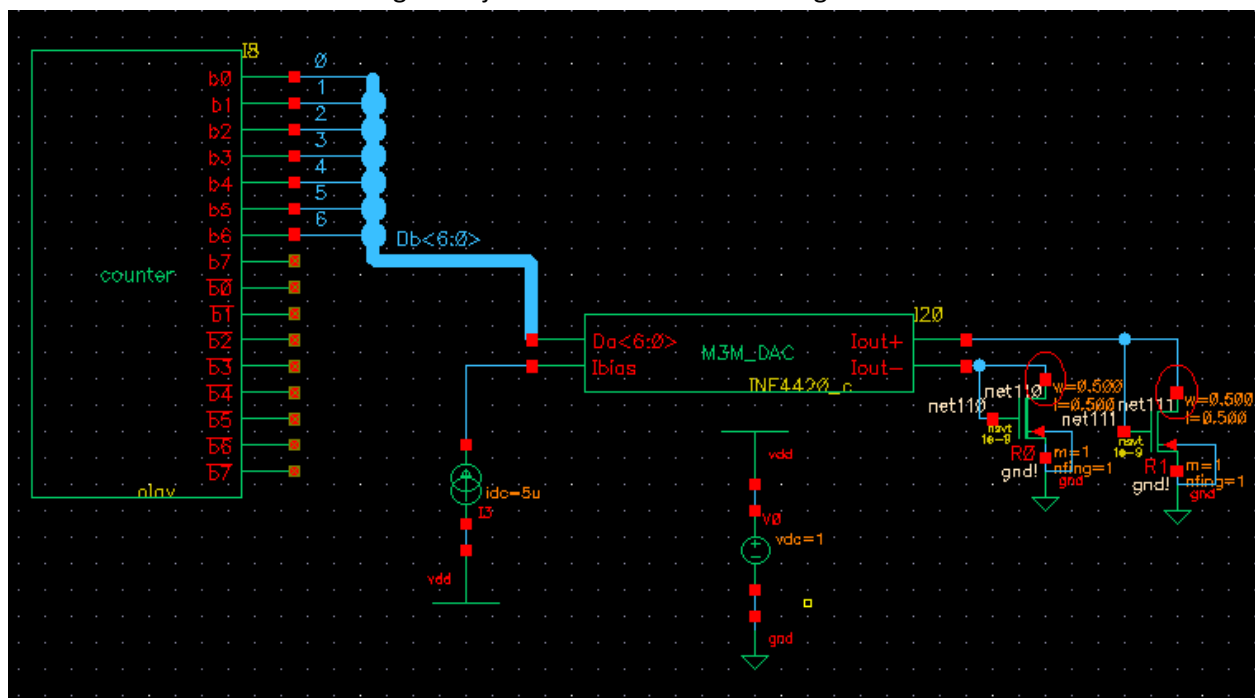
Det ble laget skjematikk av M3M DACen, se figur 6. Denne består kun av PMOSer, men vi har også inkludert en inverter mellom invertert og ikke-invertert datainngang. Inverteren er grundigere forklart senere i kapittelet. Alle PMOS størrelsene ble satt til 0.5 μm bredde og 0.2 μm lengde, unntatt PMOSen i inverteren som hadde bredde 0.6 μm og lengde 0.2 μm .



Figur 6: Skjematikk M3M DAC

2.5 Ideell DAC versus M3M DAC

For å sammenligne den ideelle DACen med M3M DACen (uten ekstrahert layout) ble det laget en testbenk for å se deres overføringsfunksjoner. Testbenken er vist i figur 7 med en M3M DAC.



Figur 7: Testbenk overføringsfunksjon ideell DAC og M3M DAC

Counterblokk i denne testbenken er en binær tellerkrets som er utviklet av Olav Liseth [1], skjematikk er vist i vedlegg 3 (figur 15). Tellerkretsen er 8 bits med både vanlige og inverterte utganger, vi brukte bare 7 av de vanlige utgangene da DACene som benyttes er 7 bits. Telleren har to variabler man kan sette verdier til i Analog Environment i Cadence, variablene var periodetid og amplitude på firkantpuls. Vi valgte en amplitude på 1V og en periodetid på 1 μ s. Ved å velge periodetiden slik vil telleren vil inkrementers pr 1 μ s. Det vil være lett og tolke plottet av overføringsfunksjonen da tiden som har gått i antall μ s er lik den desimale verdien av det digitale ordet inn til DACen. Som last benyttet vi oss av diodekoblet transistor med samme dimensjoner som i trimmekretsen (bredde 0.5 μ m og lengde 0.5 μ m). Plotene av overføringsfunksjonene er vist i resultatdelen. Overføringsfunksjonen til M3M DAC med ekstrahert layout ble også plottet for sammenligningens skyld. Dette plottet er også vist i resultatdelen.

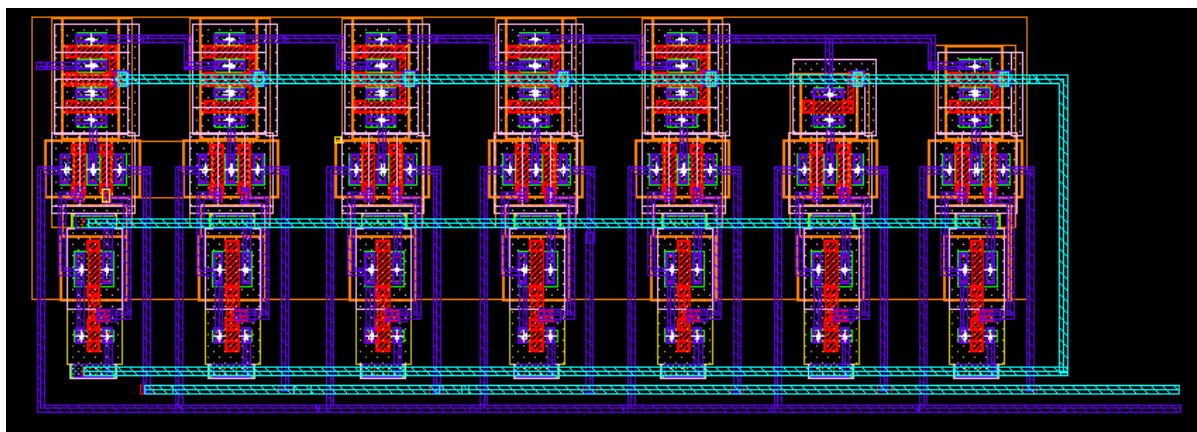
2.6 OTA med trimmekrets og M3M DAC

Den ideelle DACen i kalibreringssløyfa ble erstattet av M3M DACen vi hadde laget skjematikk for. Det ble foretatt måling av standardavvik ved hjelp av Monte Carlo simuleringer. Plott av Monte Carlo simuleringene og standardavvik verdi er vist i resultatdelen.

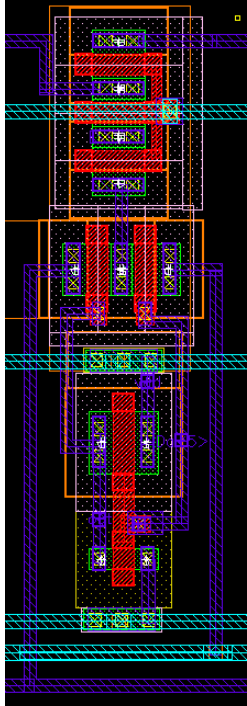
2.7 Utlegg av M3M DAC

Det ble laget layout av M3M DACen og trimmekretsen i Virtuoso XL layout. I M3M DACen brukes det flere invertere for å lage de inverterte digitale inngangene. Derfor laget vi en egen inverter hvor vi finjusterte transistorstørrelsene slik at den switchet nøyaktig på $V_{dd}/2$, og hadde likt opptrekk og

nedtrekk. Overføringsfunksjonen til inverteren er plottet i figur 22 vedlegg 4. Transistor størrelsene vi endte opp med var NMOS: Bredde $0.2 \mu\text{m}$ og lengde $0.2 \mu\text{m}$, PMOS: Bredde $0.6 \mu\text{m}$ og lengde $0.2 \mu\text{m}$. Grunnen til at vi ikke benyttet en mindre lengde var at vi ville begrense lekkasje strømmen noe. Utleppet på inverteren ble også laget og sjekket med DRC og LVS slik at den var klar til å brukes i M3M DAC utlegget. Utleppet av inverteren er vist i vedlegg 5 figur 23, resultatene av DRC og LVS sjekkene er i vedlegg 2 figur 3 og 4. Med utgangspunkt i skjematikken for M3M DACen og genererte vi utlegget. På denne måten blir alle de riktige komponentene hentet inn og plassert på omtrent samme måte som i skjematikken. Det kan også vises hvordan de ulike komponentene skal kobles sammen. Dette gjør det enklere å lage utlegget. Siden M3M DACen består av syv nesten like blokker bygget vi først opp en blokk og feilsjekket den med DRC. Deretter kopierte vi denne blokken syv ganger, endret på to av dem og koblet så alle blokkene sammen. Hele utlegget vises i figur 8, mens utlegget av en blokk vises i figur 9. Det ble lagt ned del jobb i å gjøre blokken minst mulig før den ble kopiert, slik at hele utlegget til M3M DACen vil bruke minst mulig areal. Det er mulig å gjøre utlegget enda mindre ved å flytte blokkene nærmere hverandre, men for å holde en viss oversikt ble det ikke gjort. Alle PMOS transistorene ble lagt slik at n-well området kunne tegnes som ett stort rektangel og det ble ikke brukt mer enn to metallag for å tegne opp ledningene. På denne måten holdes utlegget så enkelt mulig. Transistorstørrelsene i M3M DACen er lengde $0.5 \mu\text{m}$ og bredde $0.2 \mu\text{m}$. Størrelsen på transistorene i inverterne er tilpasset til best mulig operasjon og er $0.6 \mu\text{m}$ bredde og $0.2 \mu\text{m}$ lengde.



Figur 8: Utlegg av M3M DAC

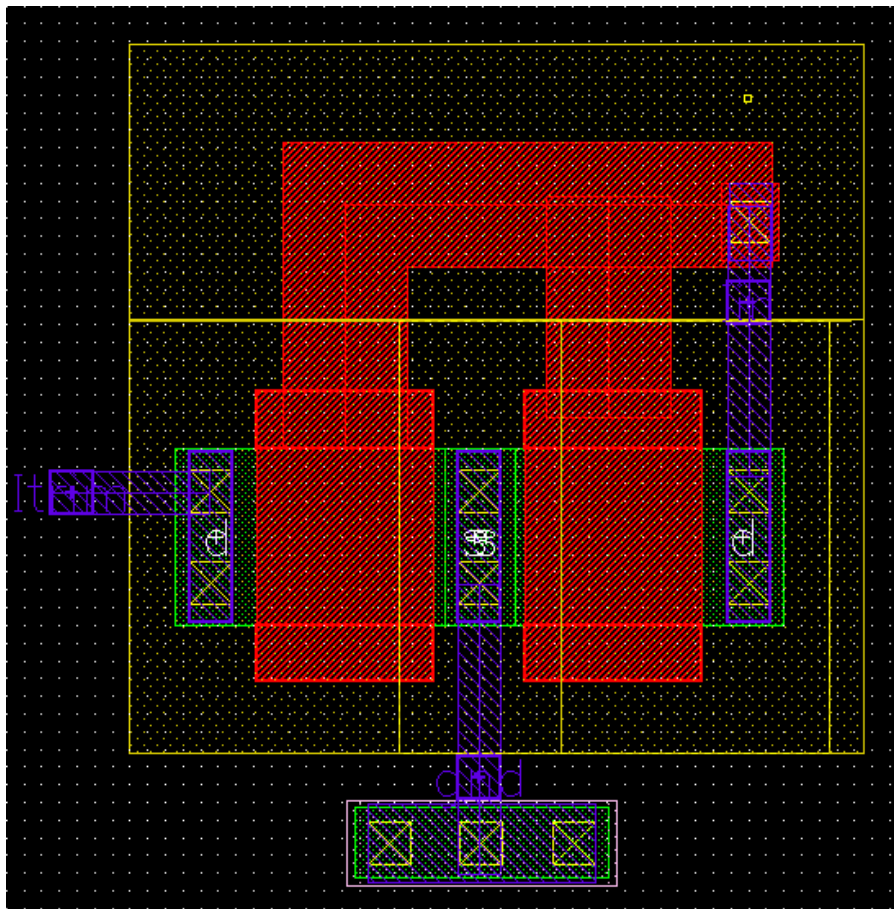


Figur 9: Utlegg av M3M DAC (zoomet inn på en blokk)

LVS og DRC av M3M DAC utlegget er vist i vedlegg 2 figur 1 og 2.

2.8 Utlegg av strømspeil som utgjør trimmekrets

For å lage NMOS strømspeilet brukte vi samme fremgangsmåte som for M3M DACen. Det ble tegnet skjematikk, laget et symbol og generert utlegg. Dette utlegget ble laget for å kunne simulere kalibreringsløyfen med trimmekrets med parasitter, da med to slike strømspeil. Transistorstørrelsene på strømspeilet er lengde $0.5 \mu\text{m}$ og bredde $0.5 \mu\text{m}$. Utleppet er vist i figur 10.



Figur 10: Utlegg strømspeil

LVS og DRC av strømspeil utlegget er vist i vedlegg 2 figur 5 og 6.

2.9 Feilsjekking

Feilsjekking av kretsen er helt nødvendig for å kunne vite om den fungerer som den skal. De feilsjekkene vi har benyttet er DRC og LVS.

DRC (Design Rule Checking) sjekker om utlegget har brutt noen av design reglene til prosessen som brukes. Design regler legger begrensninger på hvordan utlegget kan utformes. For eksempel minimum areal på kontakter, minimum avstand mellom objekter på ulike lag og at noen objekter i et lag må ligge innenfor et område i et annet lag.

LVS (Layout vs. Schematic) sjekker om utlegget stemmer overens med skjematikken. Måten den gjør det på er å lage en nettliste av utlegget og sammenligne den med nettlisten til skjematikken. En LVS sjekker at alle noder er riktig koblet, at alle komponenter er på plass og at inn- og ut-pinnene er satt riktig.

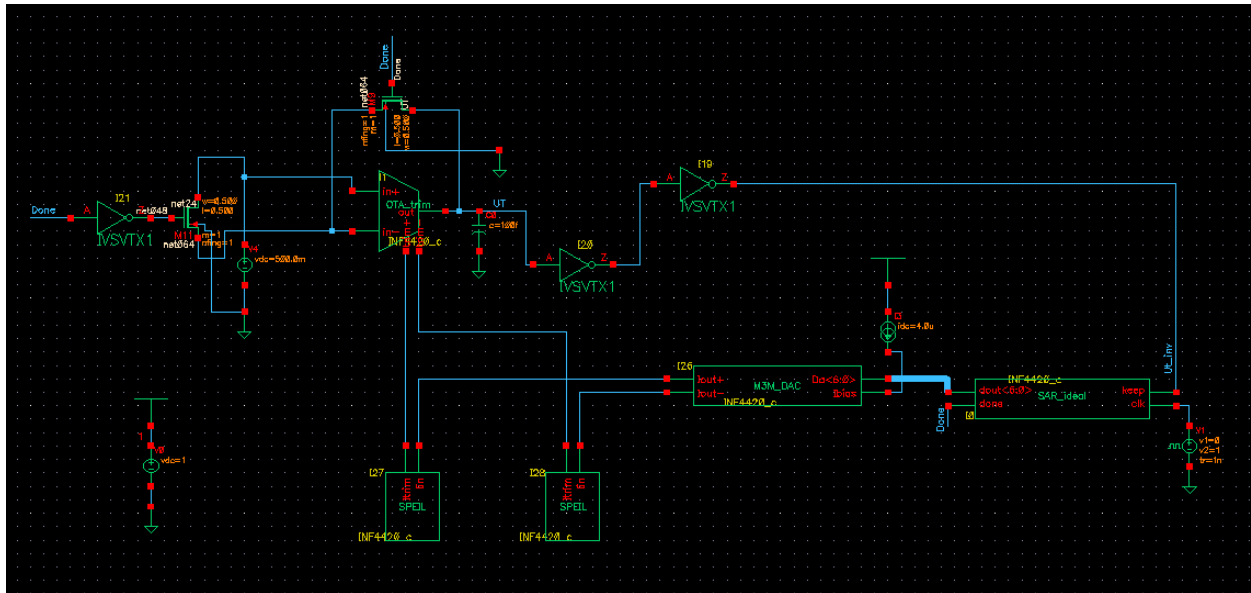
2.10 Simulering med parasitter

For å kunne simulere på kretsen med parasitter laget vi en nettliste fra utlegget av M3M DACen og trimmekretsen, dette ble gjort med PLS (Post Layout Simulation) funksjonen i Virtuoso Layout XL.

Deretter ble det laget en ny kretstegning av OTA med kalibreringsløyfen, som vist i figur 11, med en tilhørende config fil hvor det ble spesifisert at nettlisterne fra utlegget skulle brukes. Neste skritt var å starte opp Analog Enviroment, skru på import av nettlister og kjøre simulering som vanlig.

2.11 OTA med trimmekrets og M3M DAC og trimmekrets med ekstraherte parasitter

M3M DAC og trimmekrets med ekstrahert layouter ble satt inn i kalibreringsløyfen. Testbenken er vist i figur 11.



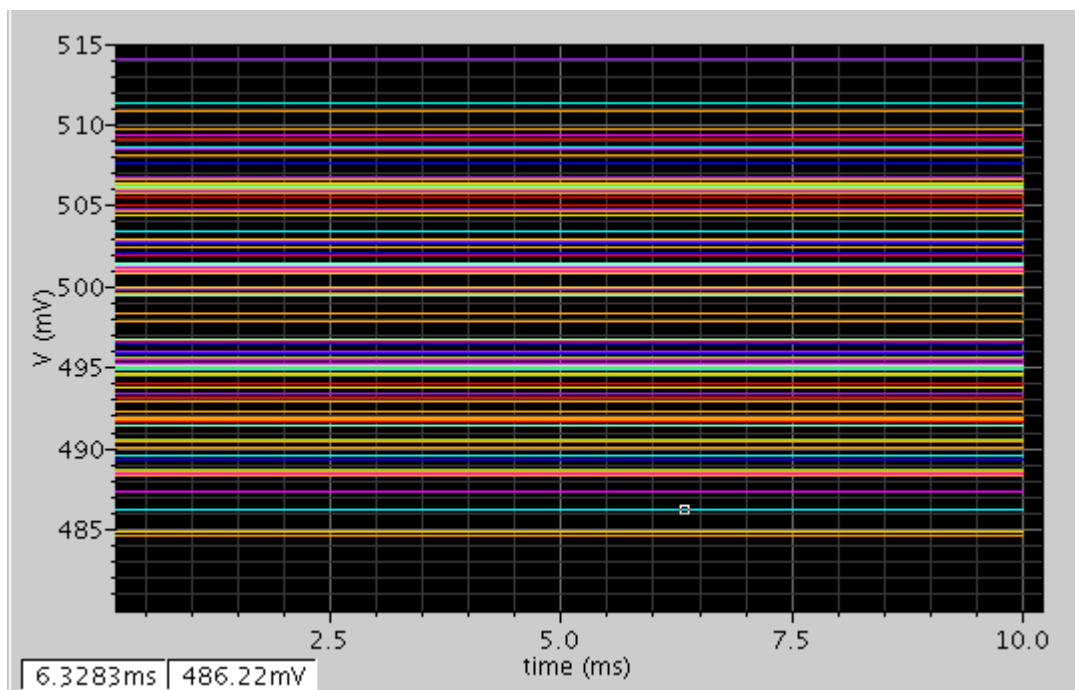
Figur 11: Testbenk med ekstrahert layout i trimmekrets og M3M DAC

Trimmekretsen vises her som det symbolet vi laget. For å se på hvordan de parasittiske effektene i layoutene påvirket ytelsen til kalibreringsløyfen ble det målt standardavvik på bakgrunn av Monte Carlo simulering. Resultatet av disse simuleringene og verdien standardavvik er presentert i resultatdelen.

3 Resultat

3.1 Målinger og simuleringer på OTA uten trimmekrets

For å måle variasjonen til offset spenningen til OTAen ble den satt opp i en open loop testbenk (se figur 1). Det ble utført en Monte Carlo simulering med 100 kjøring, og resultatet av Monte Carlo simuleringen er plottet i figur 12.



Figur 12: Monte Carlo OTA uten trimmekrets

På bakgrunn av Monte Carlo simuleringen ble standardavviket (σ) funnet til å være 7.1 mV, ved hjelp av stddev funksjonen til kalkulator verktøyet i Cadence. Dette gir oss en 6σ verdi på 42.6 mV.

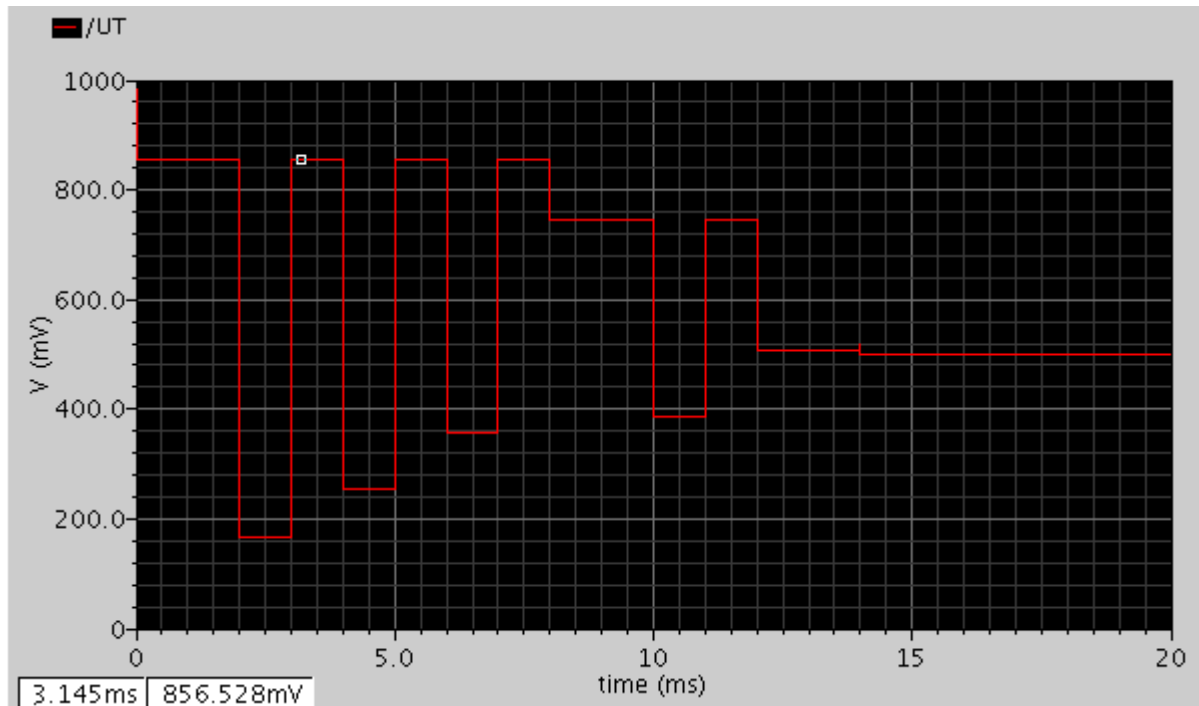
Verdien av I_{bias} er gitt ved:

$$I_{bias} = 6\sigma * gm$$

G_m i likningen er transkonduktansen til *en* av transistorene i differensialparet på inngangen til OTAen (se figur 7 i vedlegg 3). Cadence fant disse transkonduktansene til å være henholdsvis 104.1 $\mu\text{A/V}$ og 104.3 $\mu\text{A/V}$. For å regne ut I_{bias} valgte vi den største av transkonduktansene for "worst case scenario", og kom frem til en I_{bias} lik 4.443 μA . Etter konsultasjon med Jørgen, som synes denne verdien var litt lav, bestemte vi oss for å sette I_{bias} lik 5 μA . Vi får da en noe høyere σ på grunn av at LSB verdien til DACen vil ha en høyere verdi enn ved lavere I_{bias} , noe som vil tillate en høyere variasjon rundt middelverdien. Men vi er da sikre på at det korrigeres for minst 6σ , og dette anser vi som viktig selv om det går på bekostning av en litt høyere σ verdi.

3.2 Målinger og simuleringer på OTA med kalibreringsløyfe med ideell DAC

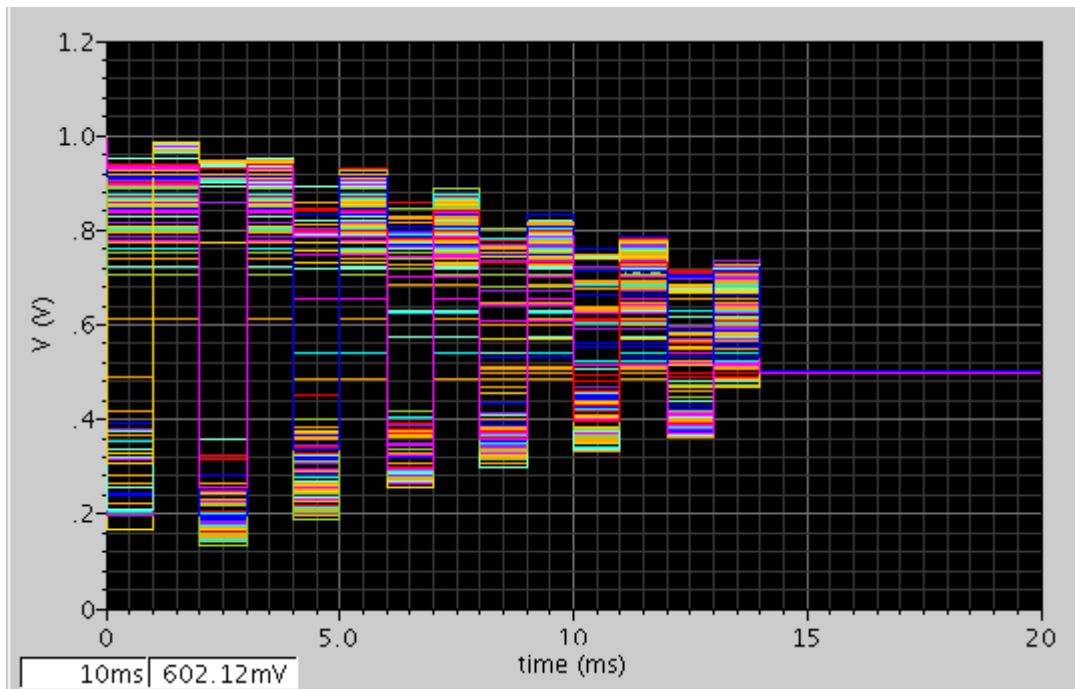
OTA med kalibreringsløyfe (figur 2) ble koblet opp og dens virkemåte kontrollert ved transient simulering, figur 13.



Figur 13: Funksjonalitet til kalibreringsløyfe

Som vi ser av denne transientanalysen svinger kretsen seg inn mot 0.5 V. Vi kan tydelig se at det testes bit for bit og at feilen blir mindre og mindre før kalibreringsløyfa stabiliserer seg. Offset etter kalibrering ble målt til 0.05mV i denne transient simuleringen.

Det ble foretatt Monte Carlo simuleringer, med I_{bias} lik 5 μ A. Resultatene er vist i figur 14.



Figur 14: Monte Carlo av OTA med kalibreringsløyfe og I_{bias} lik 5μA

Som vi ser av Monte Carlo simuleringen er variansen av offset spenningen etter stabilisering betydelig mindre enn ved kretsen uten kalibreringsløyfe. Dette bekreftet også det nye standardavviket (σ) som ble funnet til å være 0.323mV.

3.2.1 Trimmekretsens påvirkning på OTA

Trimmekretsens påvirkning på OTAens ytelse ble målt ved å koble bort kalibreringsløyfen og sette $I_{bias}/2$ (2.5 μA) som inngangstrøm på de to strømspeilene i trimmekretsen (se figur 3). Det ble foretatt de samme målingene som med OTAen uten trimmekrets. Resultatene ble funnet ved hjelp av funksjonene gainBwProd og phaseMargin til kalkulatoren i Cadence. Resultatene er sammenlignet med resultatene til OTAen uten trimmekrets i tabell 1.

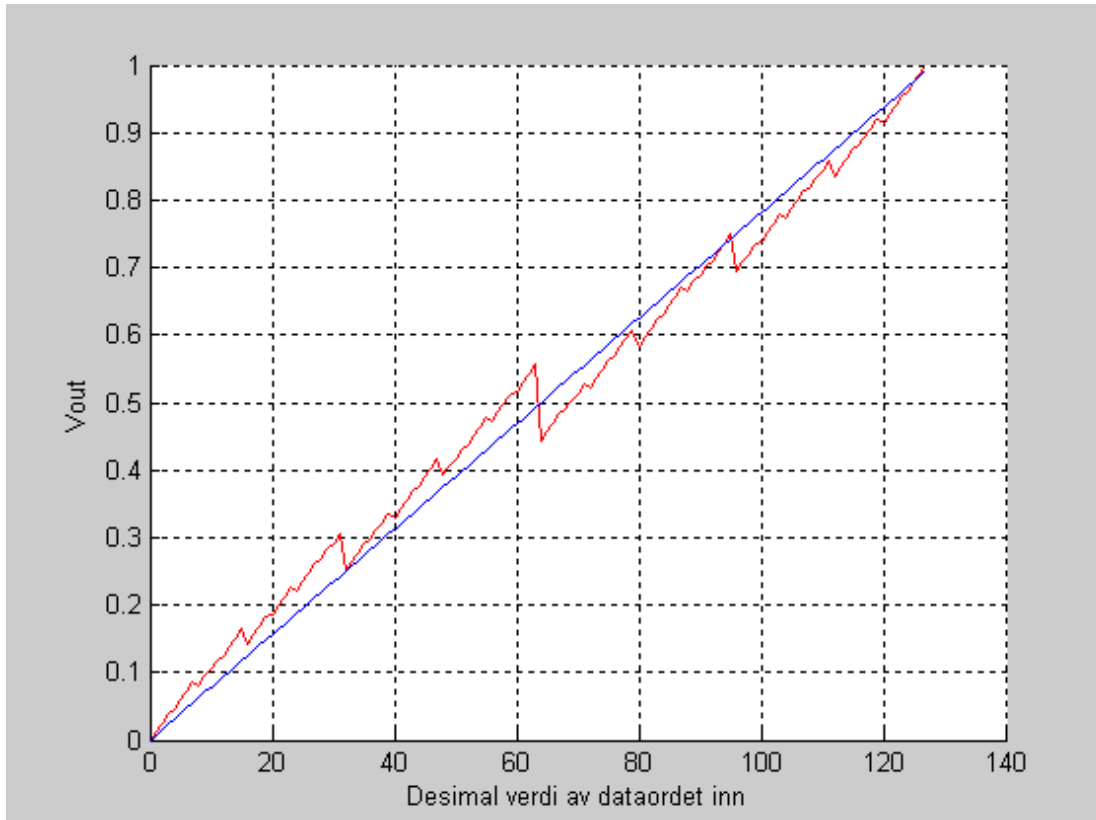
Tabell 1: Sammenligning av OTA ytelse med og uten trimmekrets.

Måling	Kobling	Uten trimmekrets	Med trimmekrets
Gain Bandwidth Product (GBW)	Open loop	145.77 MHz	143.11 MHz
Phase Margin	Open loop	80.55 grader	79.85 grader
Slewrate	Closed loop	63.63 V/μS	60.1 V/μs
Sving på utgang	Open loop	0.95 V	0.95 V
Sving på utgang	Closed loop	0.75 V	0.73 V

3.3 Målinger og simuleringer på OTA med kalibreringsløyfe med M3M DAC

3.3.1 Ideell overføringsfunksjon for radix 2 og radix 1.77 DAC

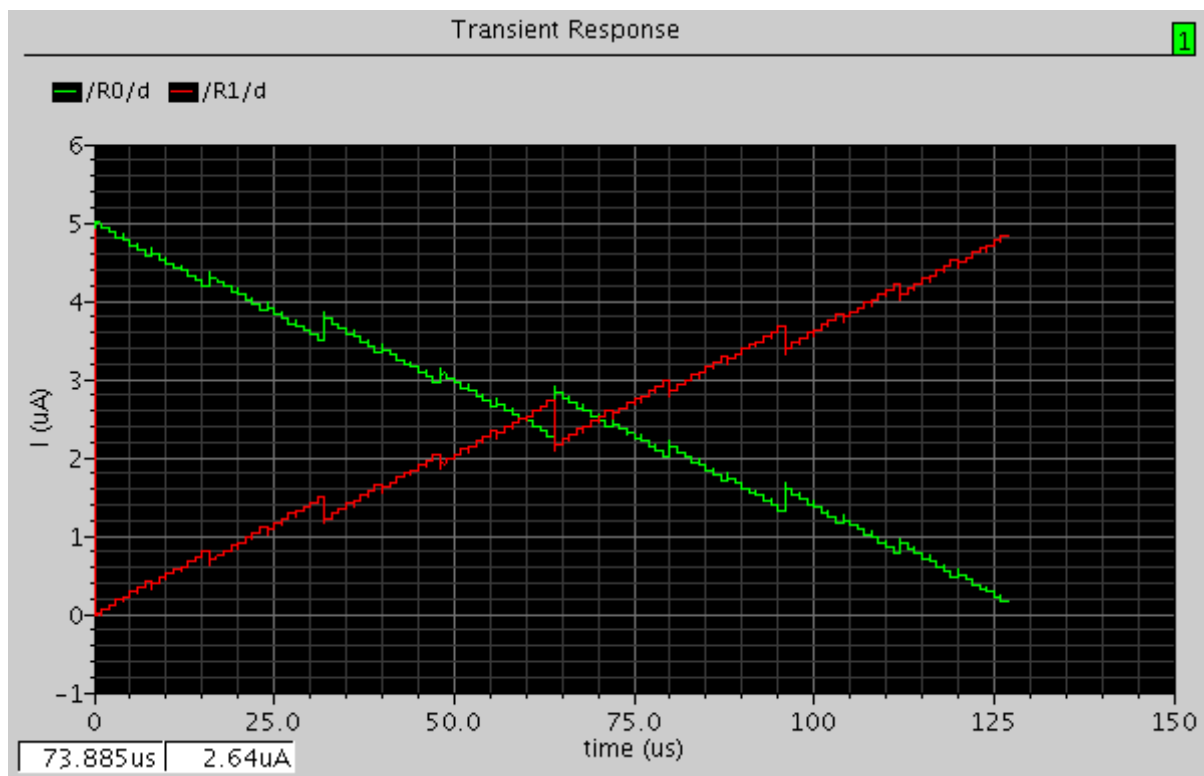
Den ideelle overføringsfunksjonen til en radix 2 konverter og en radix 1.77 konverter, ble laget og plottet i Matlab. Skriptet finnes i vedlegg 6. Plotet er vist i figur 16, der radix 2 er vist i blått og radix 1.77 i rødt.



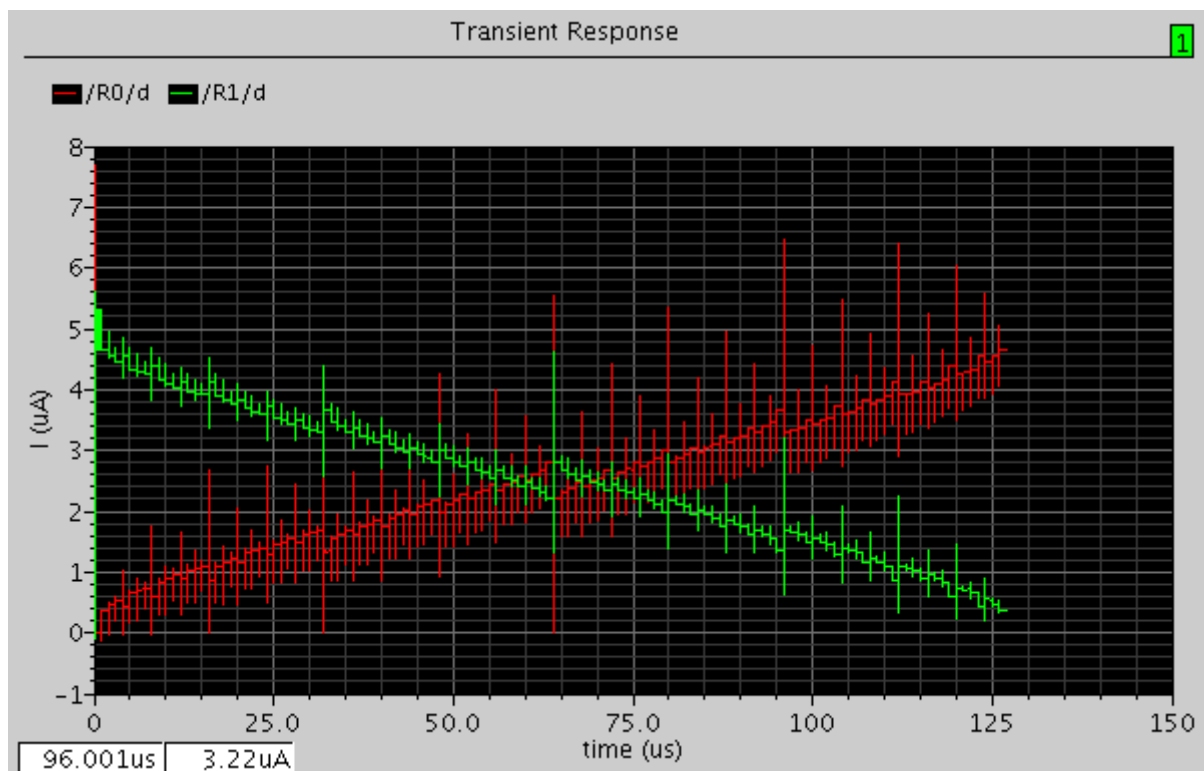
Figur 15: Ideell overføringsfunksjon radix 2 konverter (blå) og radix 1.77 konverter (rød)

3.3.2 Måling av overføringsfunksjon til ideell DAC og M3M DAC

For å sammenlikne overføringsfunksjonene til den ideelle og M3M DACen, ble det laget en testbenk (se figur 7). Testbenken benyttet seg av en binærteller konstruert av Olav Liseth [1] (se figur 15 i vedlegg 3 for skjematikk), hver verdi holdes i $1 \mu\text{s}$ av telleren. De målte overføringsfunksjonene til DACene er vist i figur 17 og 18.

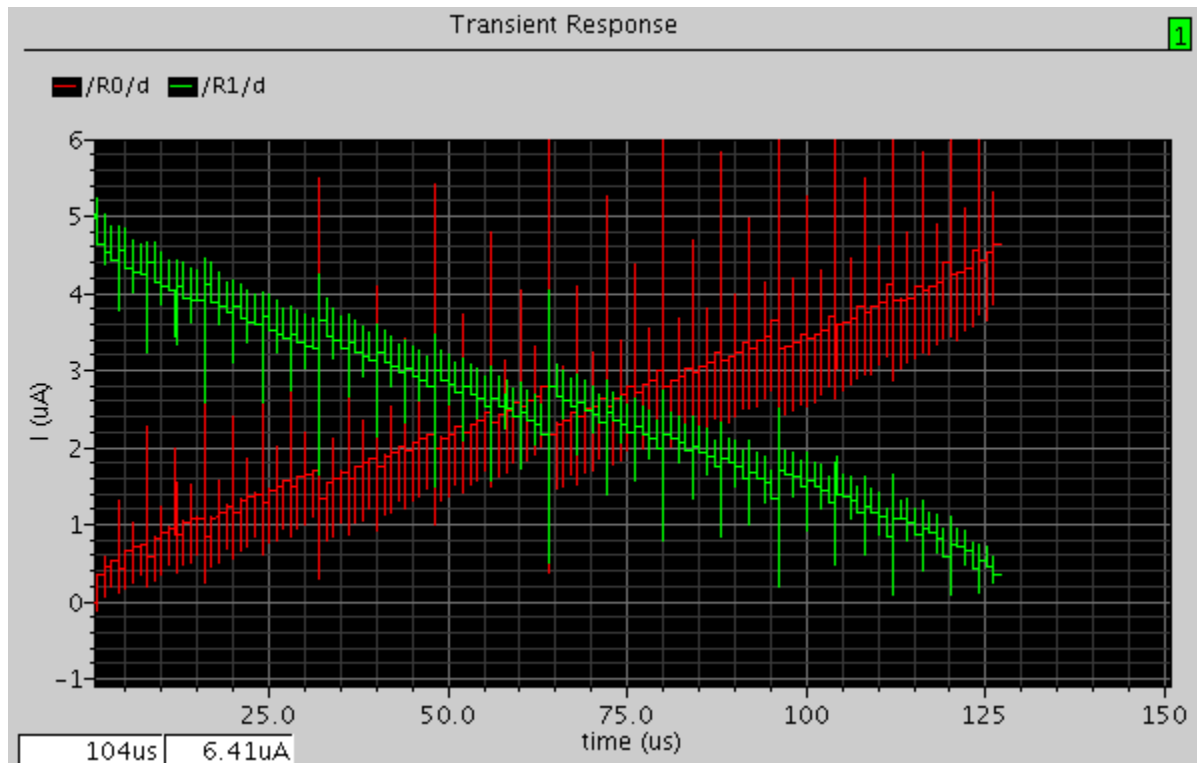


Figur 16: Overføringsfunksjon ideell DAC



Figur 17: Overføringsfunksjon M3M DAC

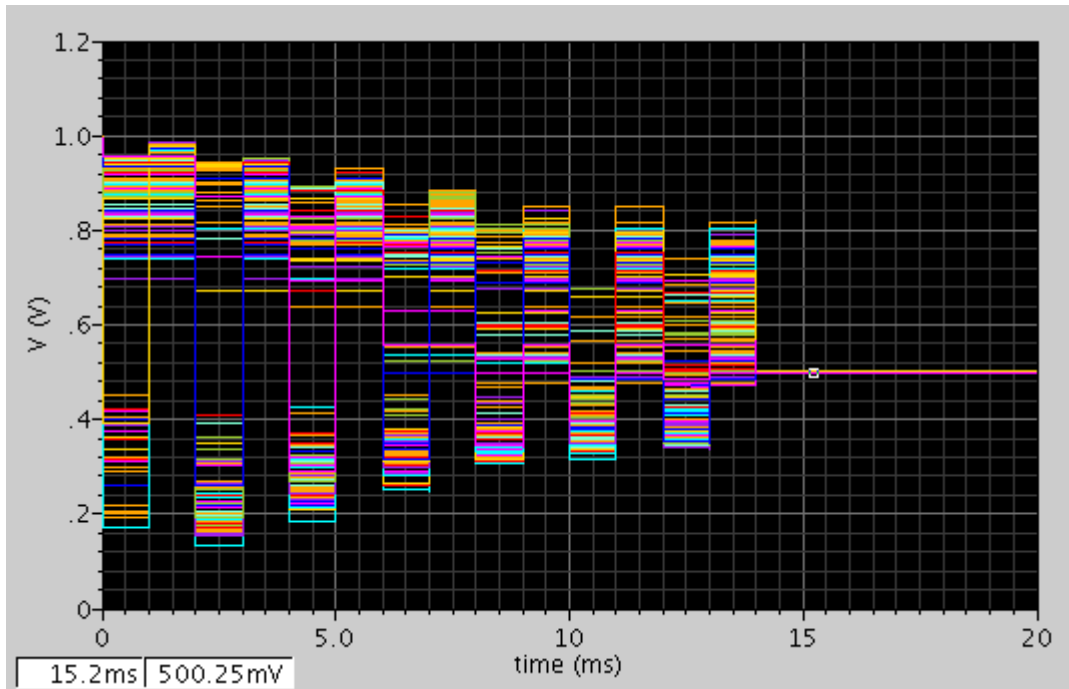
For sammenligning satt vi senere inn M3M DACen med ekstrahert layout i samme testbenk, overføringsfunksjonen er vist i figur 19.



Figur 18: Overføringsfunksjon M3M DAC med ekstraherte parasitter

3.3.3 Monte Carlo simuleringer på kalibreringsløyfe med M3M DAC

M3M DACen erstattet den ideelle DACen i kalibreringsløyfen og det ble foretatt Monte Carlo simulering med 100 kjøring. Resultatene er plottet figur 20.

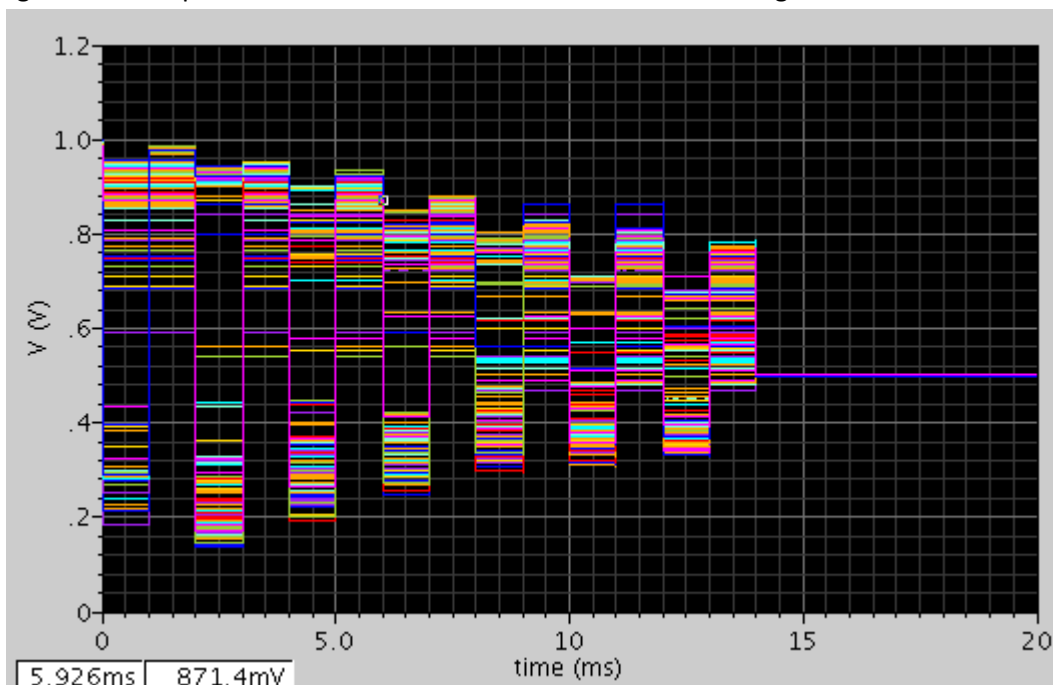


Figur 19: Monte Carlo med kalibreringssløyfe med M3M DAC

Standardavviket (σ) ble funnet til å være 0.638 mV.

3.3.4 Monte Carlo simuleringer på kalibreringssløyfe med ekstraherte utlegg

Layout av M3M DAC og trimmekrets ble laget og ekstrahert. Monte Carlo simulering med 100 kjøringar og ekstraherte parasittiske effekter ble foretatt. Plottet er vist i figur 21.



Figur 20: Monte Carlo av kalibreringssløyfe med parasitter

Standardavviket ble funnet til å være 0.581 mV.

3.3.5 Sammenligning av kalibreringssløyfene

En oppsummert resultatliste av de tre kalibreringssløyfe variantene er vist i tabell 2.

Tabell 2: Sammenligning av kalibreringssløyfene

Kalibreringssløyfe	Standardavvik, σ
Ideell DAC	0.323 mV
M3M DAC	0.638 mV
M3M DAC og trimmekrets med ekstrahert layout	0.581 mV

For ordens skyld ble det også foretatt transientanalyser av de forskjellige oppkoblingene av kalibreringssløyfa med klokkeperiode på 2 ms og 1 μ s. Dette ble gjort for å se om det var noen store forskjeller i innsvingningsforløpet i de forskjellige oppkoblingene, det var det ikke. Derfor henvises det til vedlegget 4 (figur 16 til 21) for nærmere ettersyn av disse simuleringene.

4 Diskusjon

4.1 Sammenligning av OTA ytelse med og uten trimmekrets

Ut i fra tabell 1 i resultatdelen ser vi at trimmekretsen ikke har noe særlig innvirkning på OTAens ytelser. Dette er egentlig litt overraskende da en kunne forventet at det strømtrekket trimmekretsen står for ville saktet ned kretsen noe mer enn den i realiteten gjør. Men vi kan benytte oss av denne trimmekretsen uten å bekymre oss om at de går utover OTAen prestasjoner, vi ser derfor ingen grunn til å gjøre noen tiltak for å redusere trimmekretsens innvirkning på OTAen.

Vi kan ved å redusere I_{bias} oppnå et lavere standardavvik, men dette vil gå på bekostning av området vi korrigerer for. Dersom vi kan tillate at en minimalt større andel av ferdig produserte enheter havner utenfor spesifikasjonene, kan vi f. eks ved å redusere bias strømmen i DACen til 4 μA komme ned på et standardavvik på 0.458 mV med ekstraherte layout. Dette er noe vi mener ledelsen i firmaet burde vurdere.

4.2 Sammenligning av DACene og kalibreringsløyfer

Når vi sammenligner de simulerte overføringsfunksjonene til den ideelle DACen og M3M DAC uten ekstrahert layout, ser vi at vi i den ideelle har en glattere og finere overføringsfunksjon. Men M3M DACen har vi tydelige glitcher som fremstår som "spikes" på plotet. Det er også mer glitcher i den negative trimmestrømmen enn i den positive. Disse glitchene kan ha forskjellige årsaker, men en av dem er nok at fordi vi har forskjellige strømmer gjennom greinene i M3M DACen og at dette muligens vil gjøre at switchingen i noen av greinene tar lengre tid enn i andre. En annen effekt kan være charge injection fra kanalen til transistorene som switcher, men ladningen her er muligens ikke så stor at det er dette vi ser. Det er også klart at layouten har en innvirkning på glitchene. Etter å ha eksperimentert litt har vi funnet ut at inverteren er skyld i noe av disse glitchene, der er også derfor negativ korreksjonsstrøm har mer glitcher i overføringsfunksjonen. Glitchene kan skyldes delayet i inverteren, da begge transistorer kan være i samme state under dette delayet. Vi prøvde å 10 doble bredden på transistorene i inverteren for å få en brattere overgang i switchepunktet, i håp om at dette ville redusere delayet igjennom inverteren og dermed redusere glitchene. Dette hadde liten eller ingen effekt ved simuleringen. Det er mulig glitchene har blitt noe smalere, men de er fortsatt like store på utgangen til DACen.

Hvordan effekt disse glitchene har på OTAen ser vi bedre når vi tar for oss M3M DACen med ekstrahert layout. Denne har ganske mye mer glitching enn de to andre DACene. Men ved transientanalyser og Monte Carlo simuleringer ser vi at kalibreringsløyfen presterer bedre med M3M DACen med ekstrahert layout. OTAen er med andre ord robust i mot glitcher, og så lenge verdien har tid til å settle vil ikke glitcher ha noe særlig innvirkning på utgangen til OTAen.

Det er OTA prestasjonene som er det som det har blitt lagt vekt på i oppgaveteksten, derfor har det ikke blitt lagt mer vekt på å redusere glitchene, da dette ikke har forverret resultatet kontra uten ekstrahert layout (heller forbedret det).

4.3 Mulige forbedringer

Ting det hadde vært naturlig å eksperimentere med er dummy strukturer for bedre matching, et vanlig triks her er å sette på dummy transistorer utenfor en rekke transistorer som skal matches. Matchingen på transistorer har en tendens til å bli dårligere i endene av strukturer. Derfor kan man pakke inn de transistorene hvor matchingen er viktig med dummy transistorer. Det kunne også blitt gjort en innsats for å forbedre hastigheten i kalibreringssløyfen, her er det sikkert en del å hente. Men da timing ikke har vært avgjørende i denne oppgaven, har vi ikke prioritert dette innenfor den tidsrammen vi har hatt.

Alt i alt kan vi si at måleresultatene av kalibreringssløyfa med vår egen layout er tilfredsstillende. Det er helt sikkert mulig å forbedre disse resultatene enda mer, men dette vil kreve mer tid.

5 Konklusjon

Det har blitt laget en kalibreringsløyfe for regulering av offset i en OTA. Kalibreringsløyfen har bestått et SAR med to invertere som buffering på inngang, en M3M DAC og en trimmekrets bestående av to strømspeil. Denne trimmekretsen har påvirket ytelsen til OTAen minimalt. Med kalibreringsløyfen har offsetet til OTAen blitt betraktelig redusert. Uten noen form for kalibrering har OTAen et standardavvik til offset spenningen på 7.1 mV, med vår egen layout med ekstraherte parasitter har et standardavvik på 0.581 mV. I oppgaveteksten står det at den første OTAen nesten møter spesifikasjonene og når vi har klart å redusere offset spenningen til ca 8 % av den opprinnelige verdien må dette sies å være bra. Kalibreringsløyfen har heller ikke blitt noe tregere med vår implementasjon kontra den ideelle DACen.

Hadde det vært mer tid hadde det vært naturlig å perfektionere layouten vi har laget enda mer, da spesielt med tanke på matching og minimalisering av parasittiske effekter. Det kunne også blitt lagt noe innsats i å prøve å få kalibreringsløyfen enda raskere enn den opprinnelig er. Dette prosjektet har vært vårt første møte med Cadence, og vi føler at vi igjennom dette arbeidet har lært oss dette verktøyet å kjenne.

VEDLEGG

Innhold

1	OTA Prosjekt del 1.....	2
1.1	Innledning	2
1.2	Måling av ytelse til OTA	3
1.3	MonteCarlo (MC) simulering	8
2	DRC og LVS sjekk	9
2.1	DRC og LVS sjekk av M3M DAC	9
2.2	DRC og LVS sjekk av inverter	10
2.3	DRC og LVS sjekk av strømspeil.....	10
3	Skjematikk.....	12
3.1	Skjematikk til OTA	12
3.2	Skjematikk til bias del til OTA.....	13
3.3	OTA uten kalibreringsløyfe sin offset testbenk.....	13
3.4	Skjematikk til OTA med kalibreringsløyfe	14
3.5	Skjematikk testbenk trimmekrets.....	14
3.6	Skjematikk M3M DAC	15
3.7	Skjematikk inverter i M3M DAC.....	16
3.8	Skjematikk til testbenk ideel DAC vs M3M dac.....	17
3.9	Skjematikk til teller i testbenk.....	18
4	Simuleringer.....	19
4.1	Innsvingningsforløp til OTA med kalibreringsløyfe klokkeperiode 1 μ s.....	19
4.2	Innsvingningsforløp OTA med kalibreringsløyfer og klokkeperiode lik 2ms.	20
4.3	Overføringsfunksjon inverter	22
5	Layout.....	23
5.1	Layout inverter brukt i M3M DAC.....	23
5.2	Utlegg av strømspeil som utgjør trimmekrets	24
	Matlab script	25
	7.Referanser.....	26

1 OTA Prosjekt del 1

Navn: Mats R. Knutsen

Henrik Hagen

Dato: 18.03.2009

1.1 Innledning

Vi har blitt gitt en foldet kaskode OTA hvor det skal korrigeres for offset ved hjelp av en digital kalibreringsløyfe. I første del av prosjektet skal det gjøres målinger dirkete på OTAen uten kalibreringsløyfe.

En OTA er en opamp uten spenningbuffer og kan dermed kun drive en kapasitiv last.

For å finne OTAens Gain-bandwidth product (GBW) koblet vi opp OTAen i open loop kobling som vist i figur 3. Minus terminalen er koblet til $V_{dd}/2$ og vi kjører et AC signal med DC verdi på $V_{dd}/2$ på pluss terminalen.

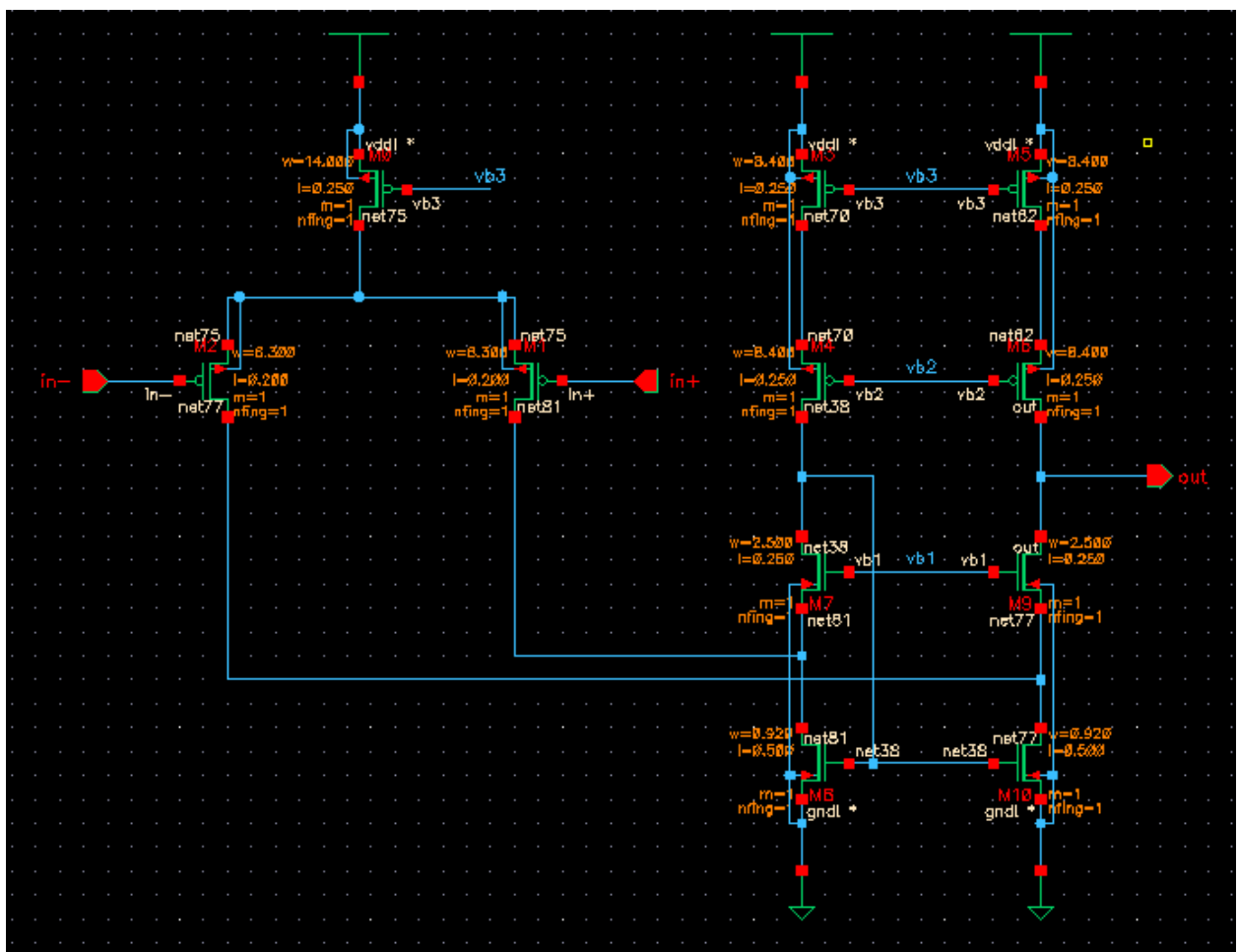


Figure 1: OTA kretsen

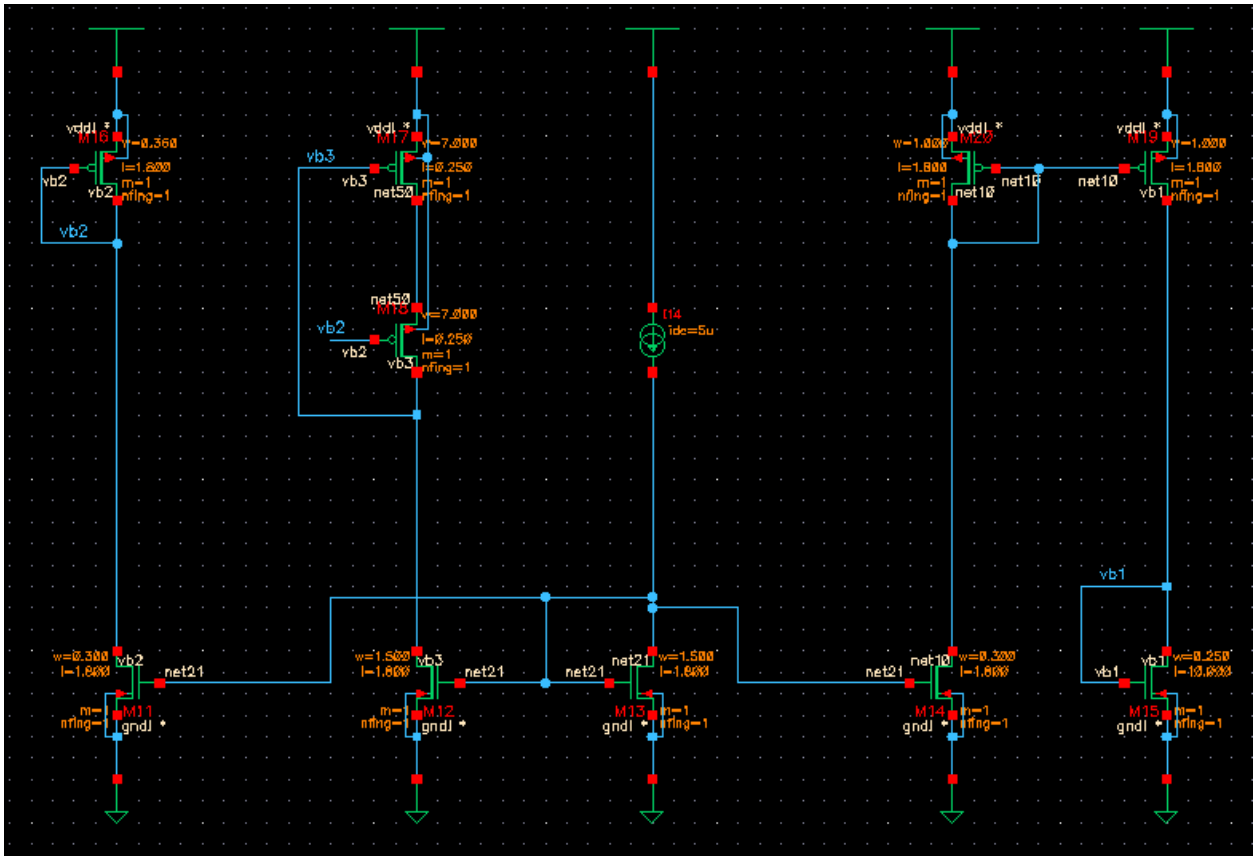


Figure 2: Bias delen av OTA kretsen

1.2 Måling av ytelse til OTA

Resultatene av målingen vi gjorde er oppsummert i tabell 1 nederst i avsnittet.

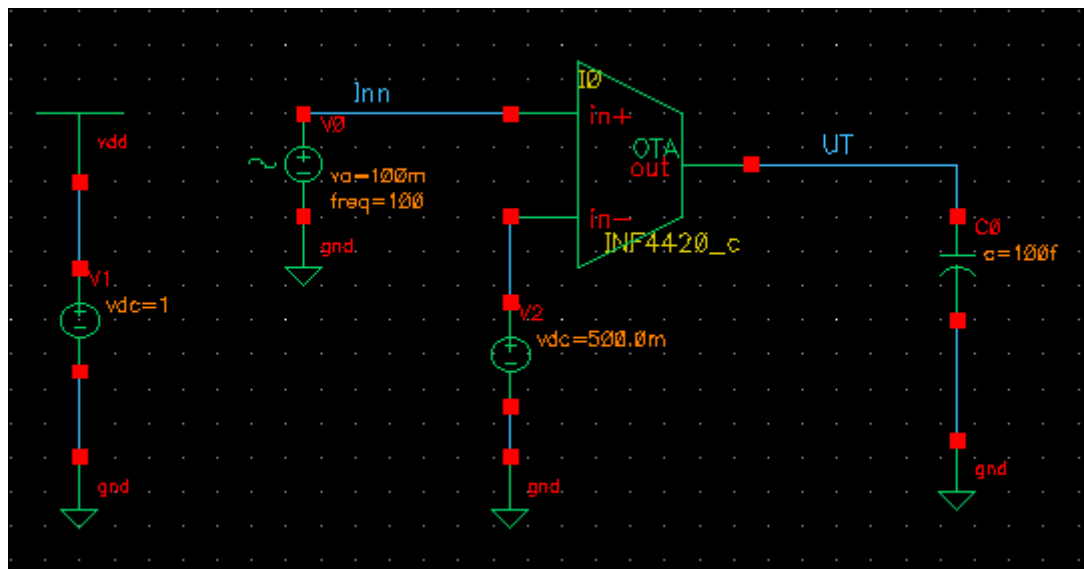


Figure 3: OTA i Open loop kobling

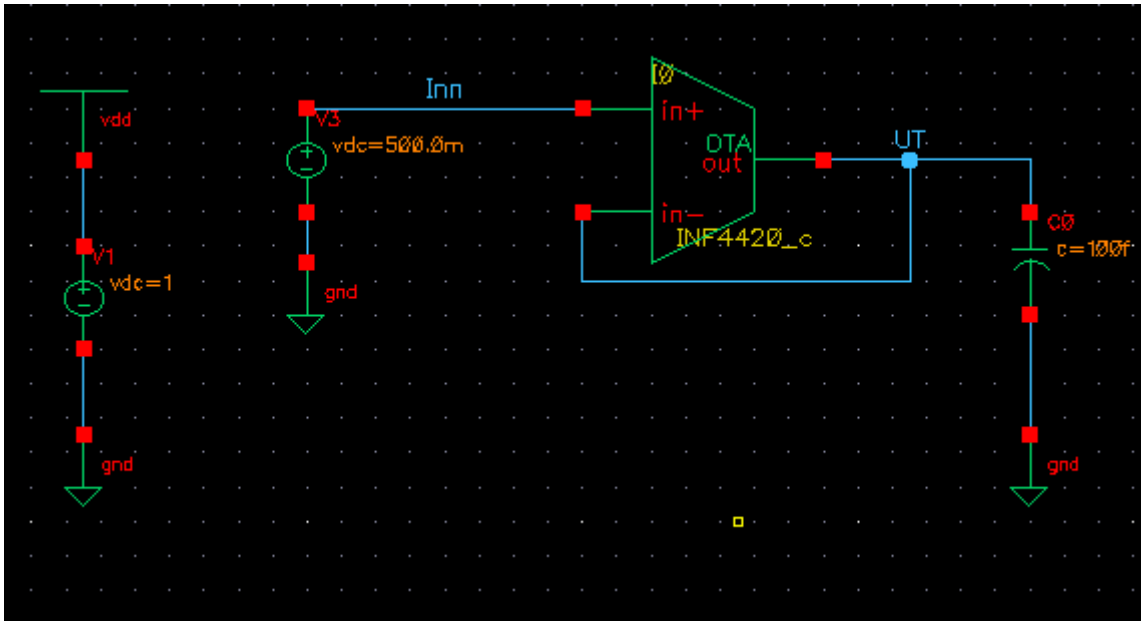


Figure 4: OTA i closed loop kobling

For å finne GBW foretar vi en AC analyse. Det vil si at vi sveiper inngangssignalet fra lav til høy frekvens og se hvordan utgangssignalet til kretsen blir. GBW kan finne ved å ta -3dB frekvensen og gange med DC forsterkningen:

$$GBW = \omega_{-3dB} * A_{DC}$$

eller man bruke den innebygde kalkulatoren i Cadence og finne det direkte. Fasemarginen er 180 grader minus den fasen vi har ved 0dB gjennom gangen, denne kan vi se ut i fra frekvensresponsplottet eller bruke Cadence kalkulatoren her og.

$$PM = \theta = 180^0 - \theta_{0dB}$$

Frekvensresponsen til OTAen er vist i figur 5.

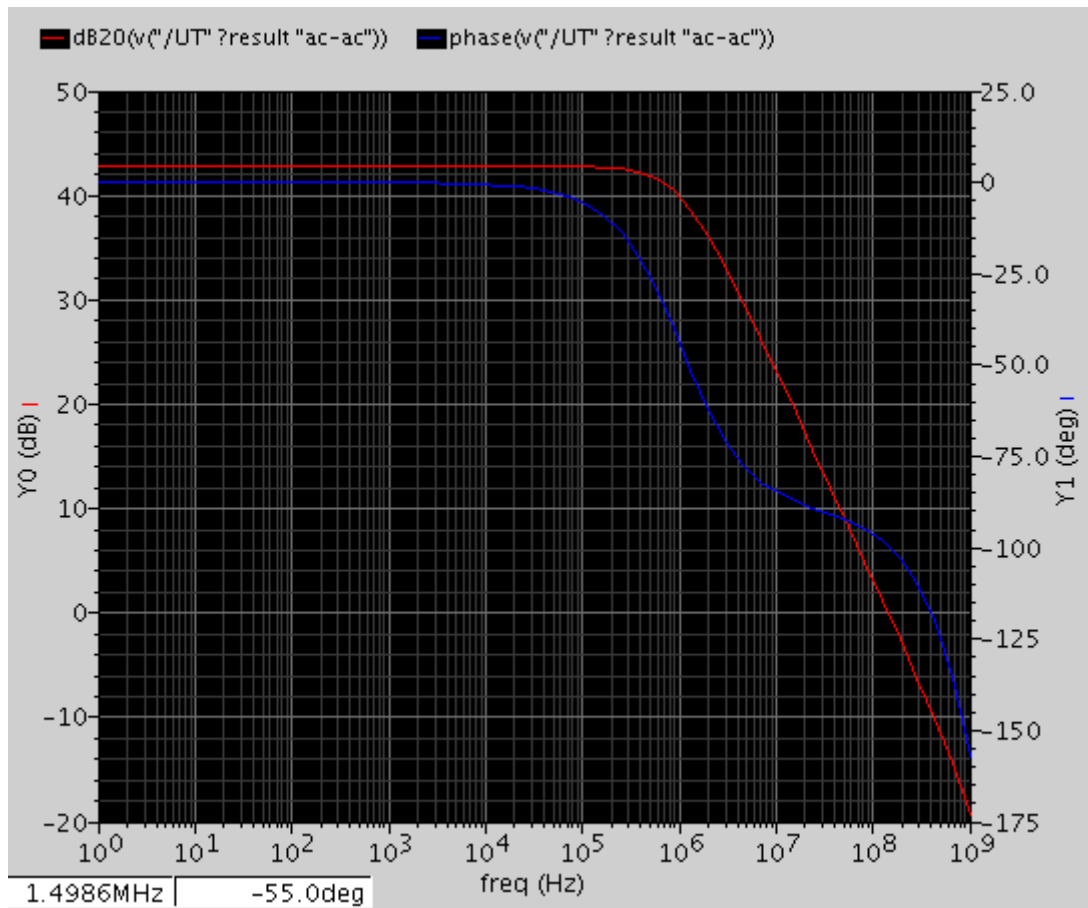


Figure 5: Rød kurve er forsterkning i dB. Blå kurve er fase

Fra Cadence kalkulatoren får vi at GBW=145.8MHz og fasemargin =80.55 grader.

Slew rate begrensning sier hvor fort utgangen til en krets maksimalt kan forandre seg per tid, det er vanlig å oppgi denne størrelsen i V/μs. Vi fant denne størrelsen ved å påtrykke en firkantsignal på inngangen, kretsen vil ikke være rask nok til å følge en firkantsignal med en nogenlunde amplitude, derfor er dette et fint signal å påtrykke når man skal finne slew rate begrensingen. Vi måler stige tid mellom 10% til 90% av svinget på utgangen. Denne tiden deles på svinget og vi får slew rate begrensningen i volt per sekund.

$$SR = \frac{V_{10\%-90\%}}{t_{10\%-90\%}}$$

Plot at slew rate målingen i åpen sløyfe er vist i figur 6.

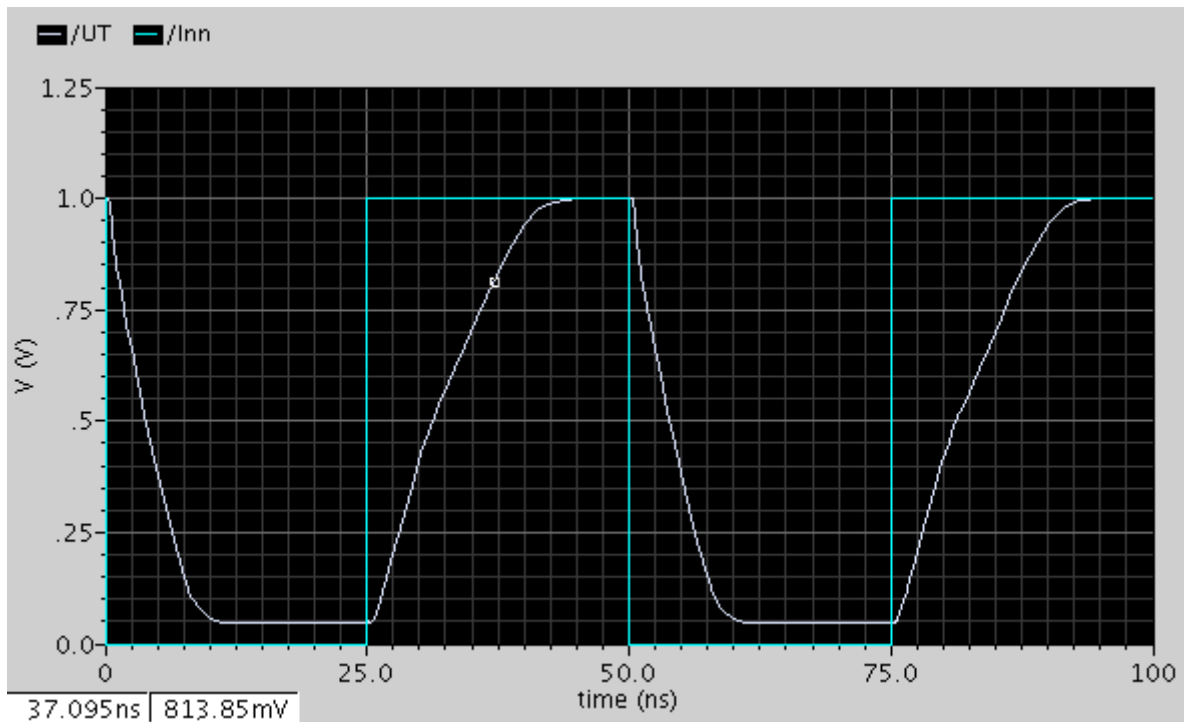


Figure 6: Transientanalyse for å finne slewrate

Vi målte slew rate begrensingen til å være ca 63.67 V/ μ s i både åpen og lukket sløyfe. I teorien skal denne være:

$$SR = \frac{I_{bias}}{C_L}$$

Svinget på utgangen er en viktig parameter, spesielt nå som teknologien har blitt slik at vi benytter oss av veldig små transistorer og dermed ditto lave forskyningsspenninger. Denne OTAen er realisert i 90nm teknologi, og forskyningsspenningen vi benytter oss av er 1V. Vi målte output sving i både åpen og lukket sløyfe. Vi påtrykte et inngangssignal på 1V og målte svinget på utgangen. Svinget i åpen sløyfe er vist i figur 7. Og svinget i lukket sløyfe er vist i figur 8.

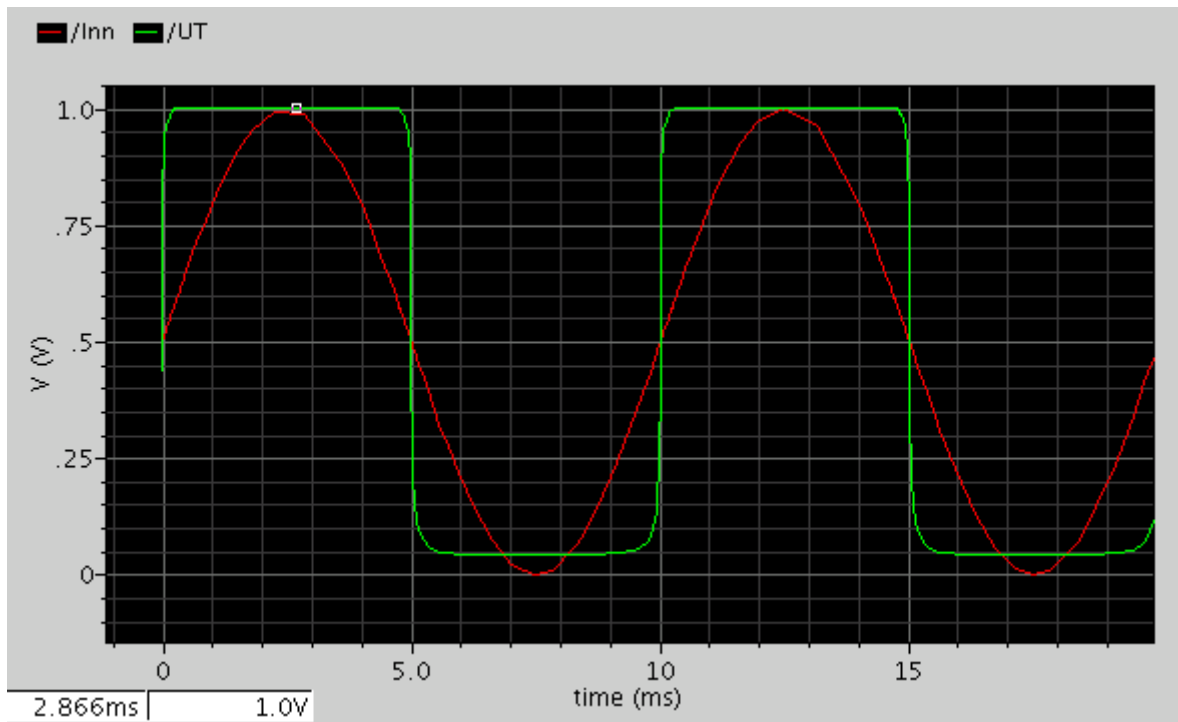


Figure 7: Output swing - Open loop

Som vi ser går utgangen naturlig nok i metning da vi har en høy forsterkning (over 40 dB) og samme forskyningsspenning som signalspenning. Svingen blir ca 0.95 V, dvs at vi har en meget godt sving på utgangen (så å si rail- to-rail).

I lukket sløyfe blir det ikke like bra, plottet er vist i figur 8.

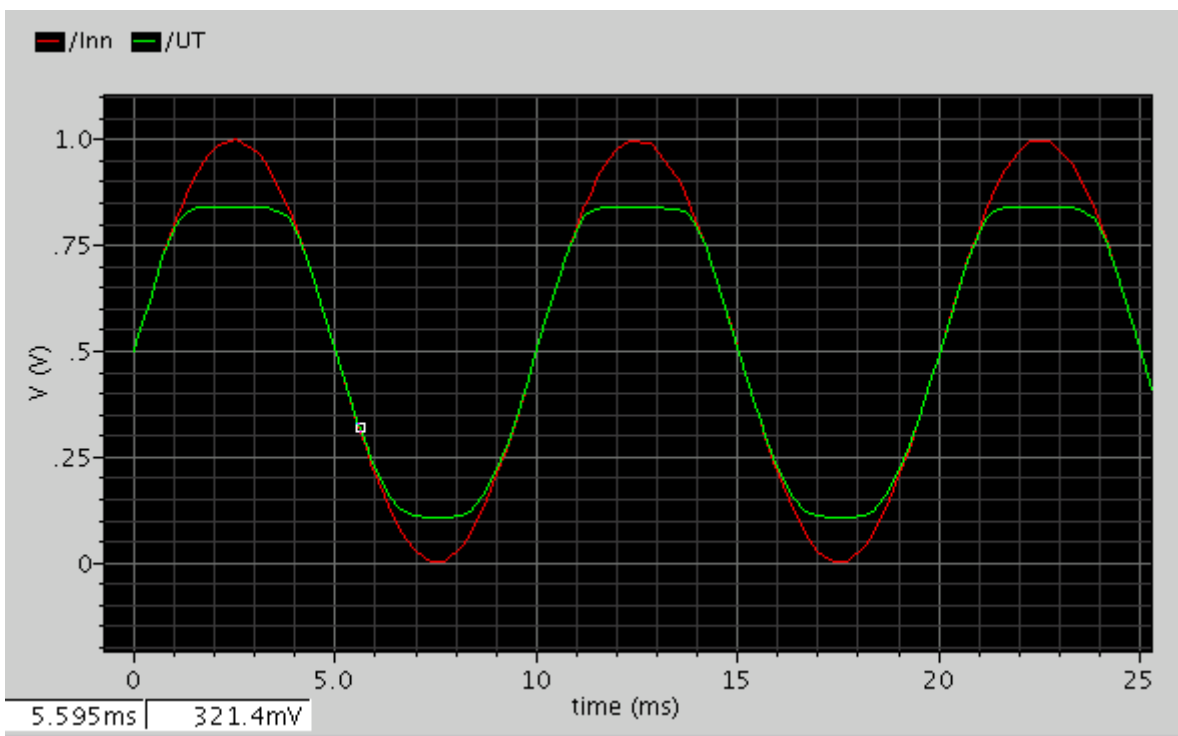


Figure 8: Output swing - closed loop

Som vi ser er svinget begrenset en del, nå er det ca 0.75V. Dette er et meget akseptabelt sving (i forhold til forskyningsspennning) i de fleste andre elektronikkområder enn nanoelektronikk. I vår applikasjon er det nok greit nok.

Table 1: Måleresultater

Gain Bandwidth Product (GBW)	145.77 MHz
Phase Margin	80.55 grader
Slewrate	63.63 V/ μ S
Outputswing – Open loop	0.95V
Outputswing – Closed loop	0.75V

1.3 MonteCarlo (MC) simulering

En monte carlo simulering er et sett med simuleringer, hvor mange bestemmer man selv. Flere simuleringer gir bedre blir resultat. For hver simulering blir det gitt noen tilfeldige input, i vår sammenheng er det prosess og mismatch parameterne. Etter å ha kjørt en MC simulering er det mulig å finne ut om sannsynligheten for at kretsen havner innenfor de valgte spesifikasjonene er akseptabel.

Etter å ha kjørt en MC simulering med 100 simuleringer fant vi at standard avviket til offset spenningen var 7.1mV. Det er flere måter å finne denne verdien på. En måte er å bruke standardavvik funksjonen i kalkulatoren på cadence. En annen metode er å eksportere simuleringene som en tabell til matlab og bruke std() funksjonen. Siden hver enkelt simulering hadde en konstant spenning gjennom hele simuleringen, holdt det å ta en verdi fra hver enkelt simulering. Vi fant standard avviket ut fra en gjennomsnittsverdi på 4.995V.

Fremgangs måte for å finne standardavvik:

- * Finn gjennomsnittet av verdiene.
- * Finn differensen mellom hver verdi og gjennomsnittet.
- * Opphøy hver enkelt differansene i 2.
- * Summer disse verdiene.
- * Del summen på antall verdier og ta roten av resultatet.

Hvis vi dekker 6σ variasjon, dvs. $\pm 6\sigma$, vil 99.99999708% av OTA'ene fungere i henhold til spesifikasjonene.

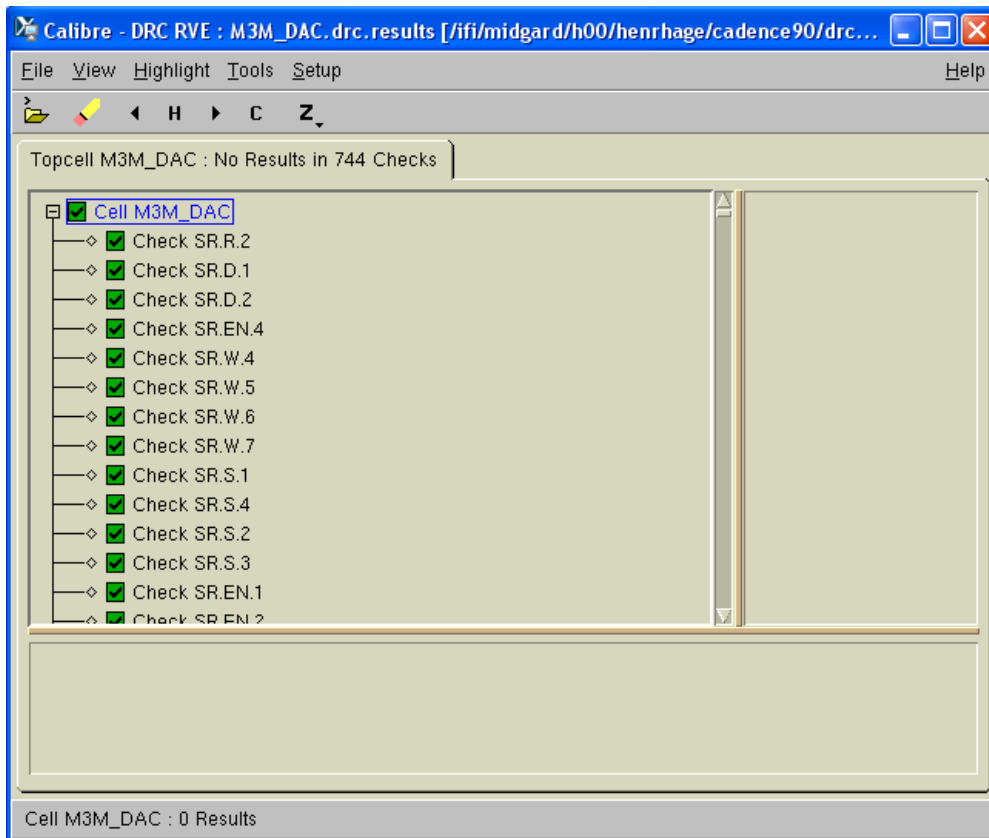
$$6\sigma \text{ verdien er } 6 * \sigma = 6 * 7.1\text{mV} = 42.6\text{mV}$$

Verdiene for g_{m1} for transistoren M1 og g_{m2} for transistoren M2 finner vi i cadence. Først sjekker vi at M1 og M2 er transistorene i differensial parret, ved å gå inn i OTA blokken. Deretter kjører vi en DC-analyse hvor vi haker av for save DC-operating voltage. Finner så verdiene for M1 og M2 i result browseren under dcinfo. $g_{m1}=104.1 \mu\text{A/V}$ og $g_{m2} =104.3\mu\text{A/V}$.

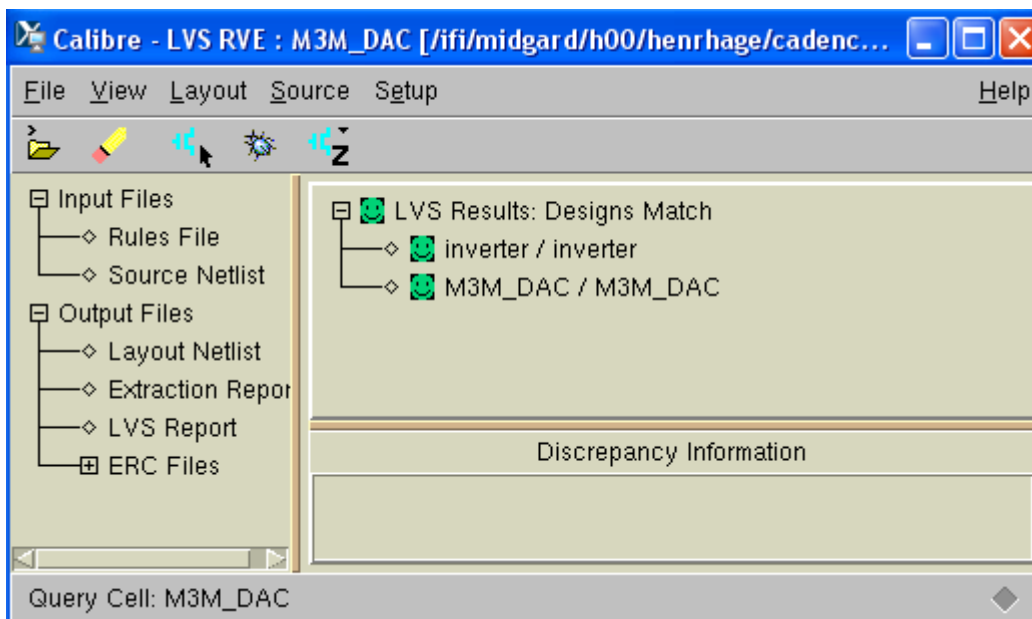
For å finne I_{bias} bruker vi formelen $I_{bias} =6\sigma * g_m$. Bruker g_{m2} siden den er størst og vil gi størst I_{bias}
 $I_{bias} = 6 * 7.1e-3 * 104.3e-6 = 4.44318\mu\text{A}$.

2 DRC og LVS sjekk

2.1 DRC og LVS sjekk av M3M DAC

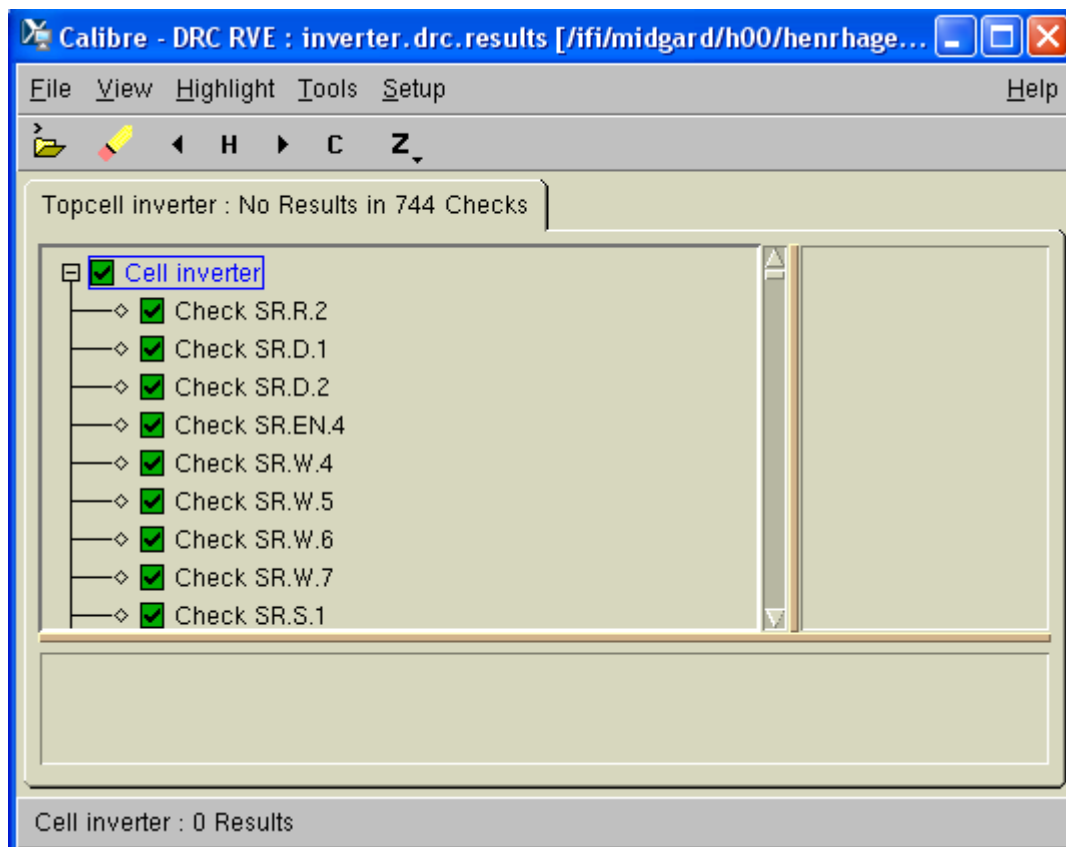


Figur 1: DRC av M3M DAC

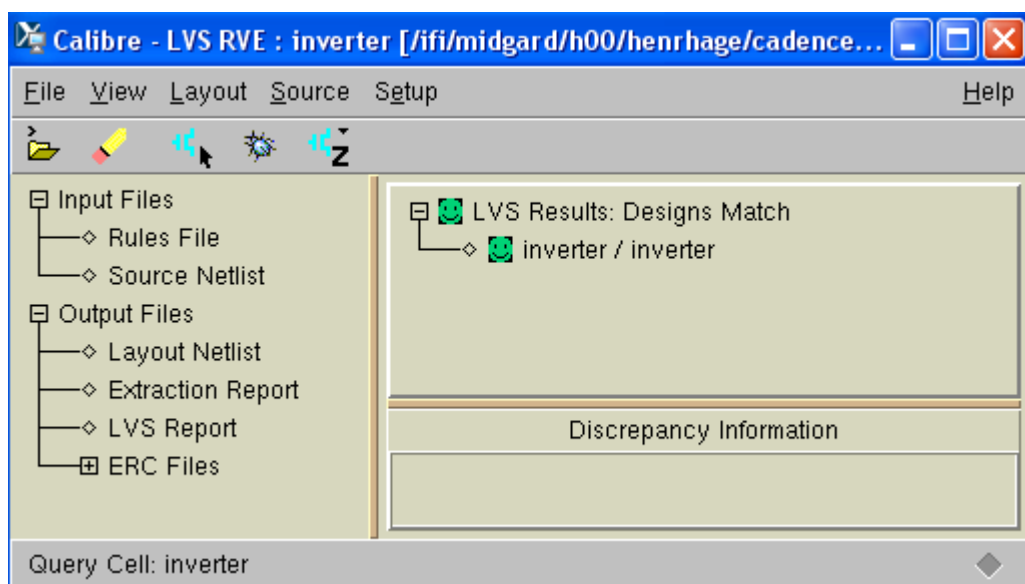


Figur 2: LVS av M3M DAC

2.2 DRC og LVS sjekk av inverterer

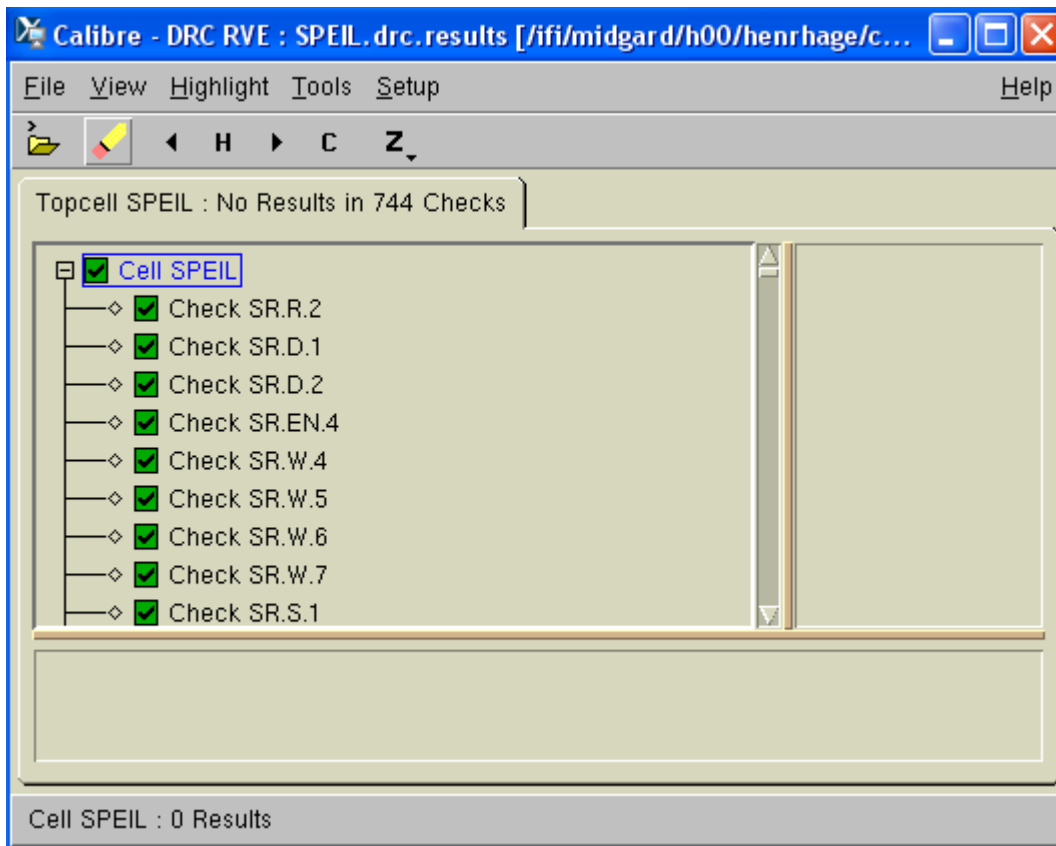


Figur 3: DRC av inverter

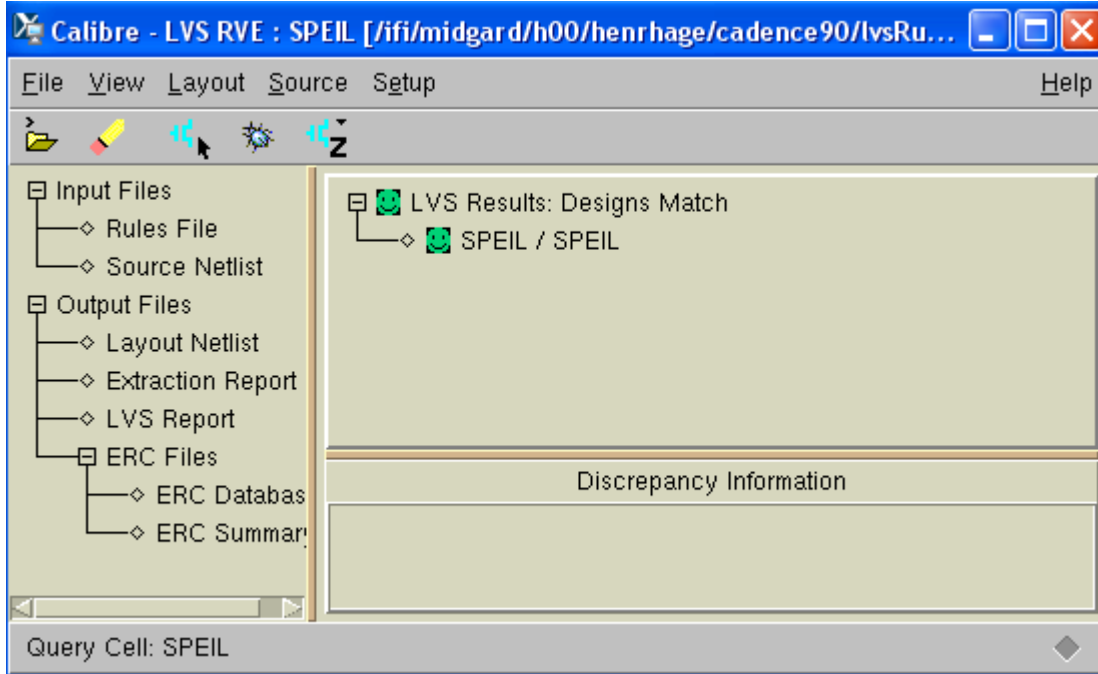


Figur 4: LVS av inverter

2.3 DRC og LVS sjekk av strømspeil



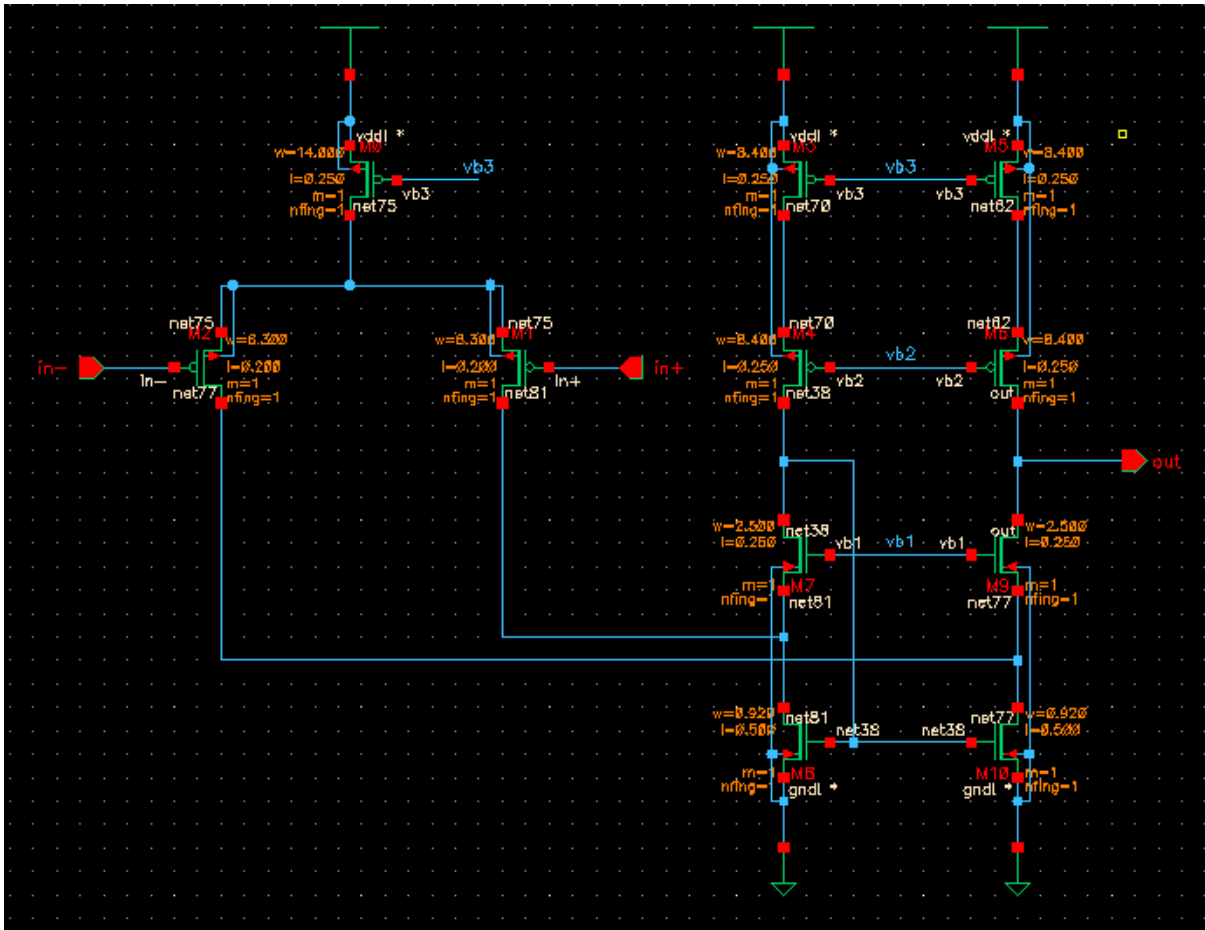
Figur 5: DRC av strømspeil



Figur 6: LVS av strømspeil

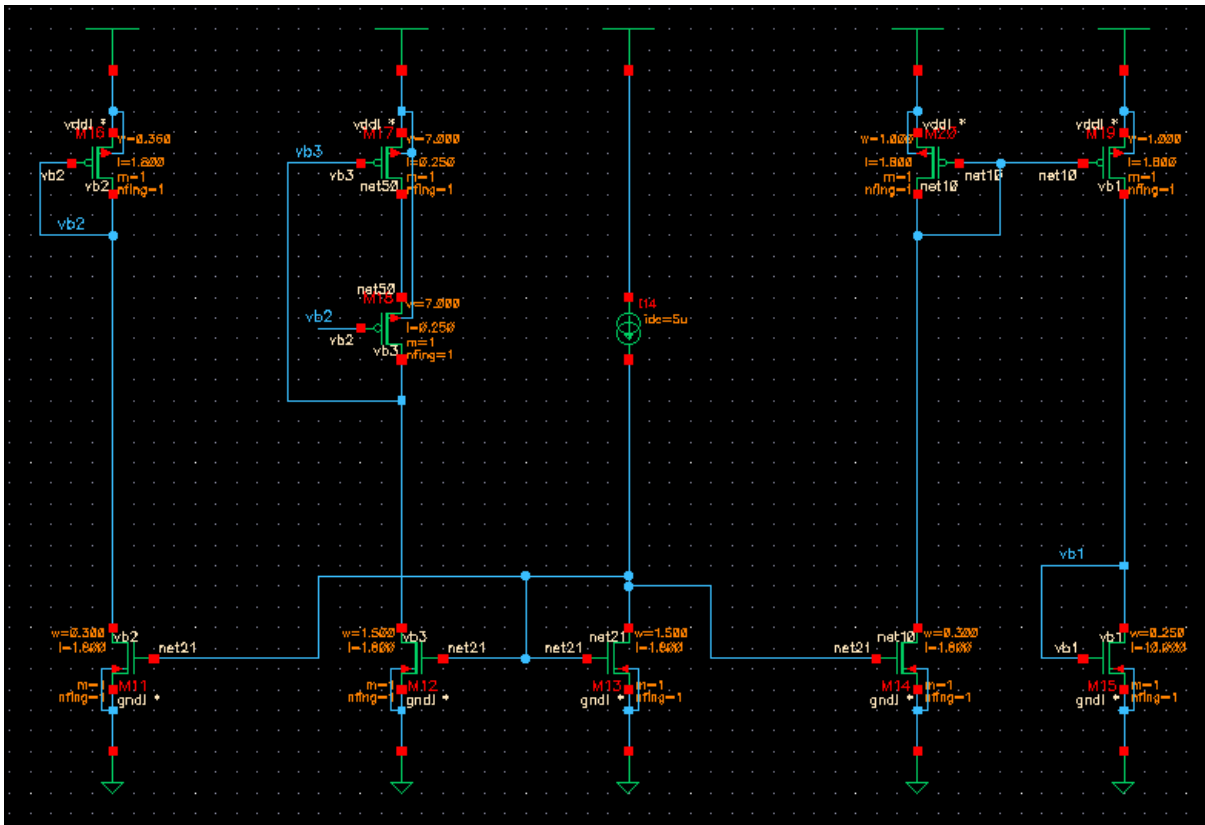
3 Skjematikk

3.1 Skjematikk til OTA



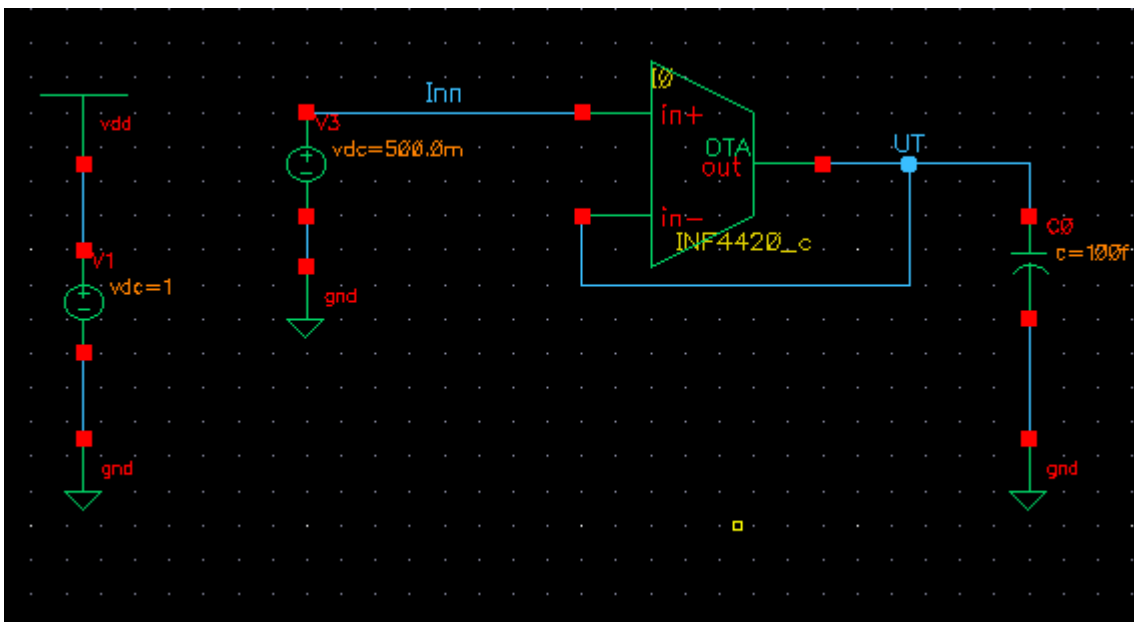
Figur 7: Skjematikk til OTA

3.2 Skjematikk til bias del til OTA



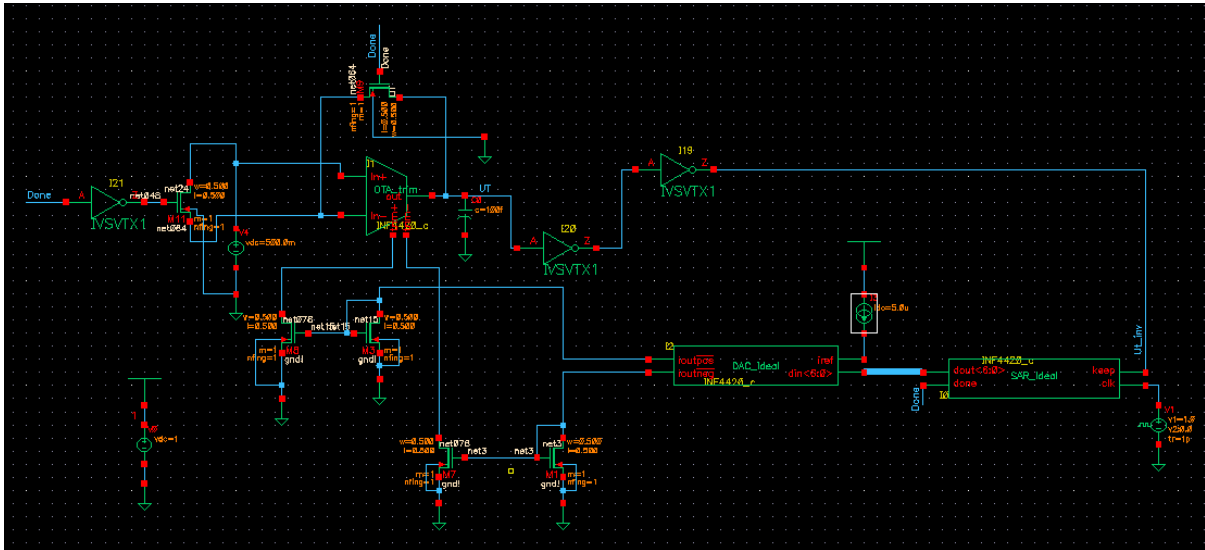
Figur 8: Skjematikk biasdel i OTA

3.3 OTA uten kalibreringsløyfe sin offset testbenk



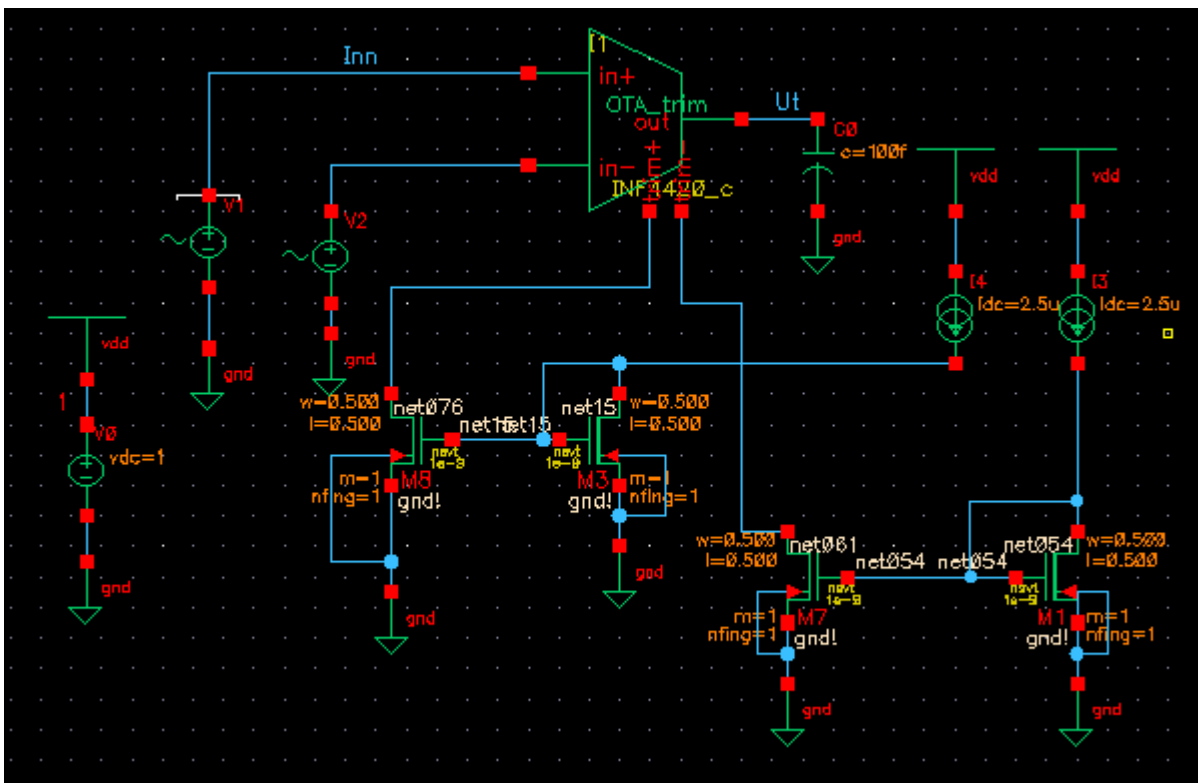
Figur 9: Offset testbenk OTA uten kalibreringsløyfe

3.4 Skjematikk til OTA med kalibreringssløfe og brytere



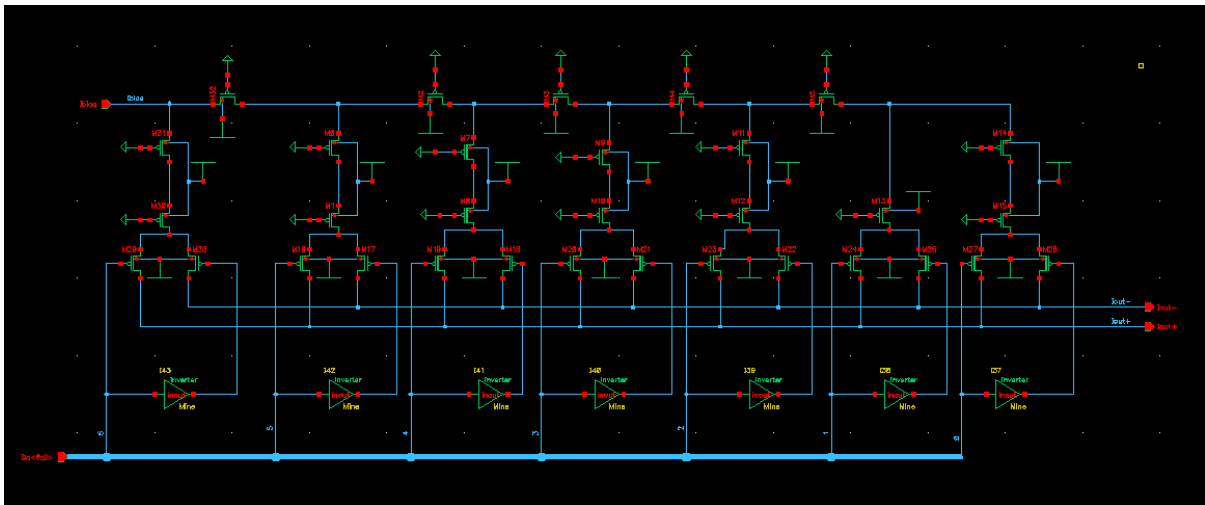
Figur 10: Skjematikk til OTA med kalibreringssløfe og brytere

3.5 Skjematikk testbenk trimmekrets



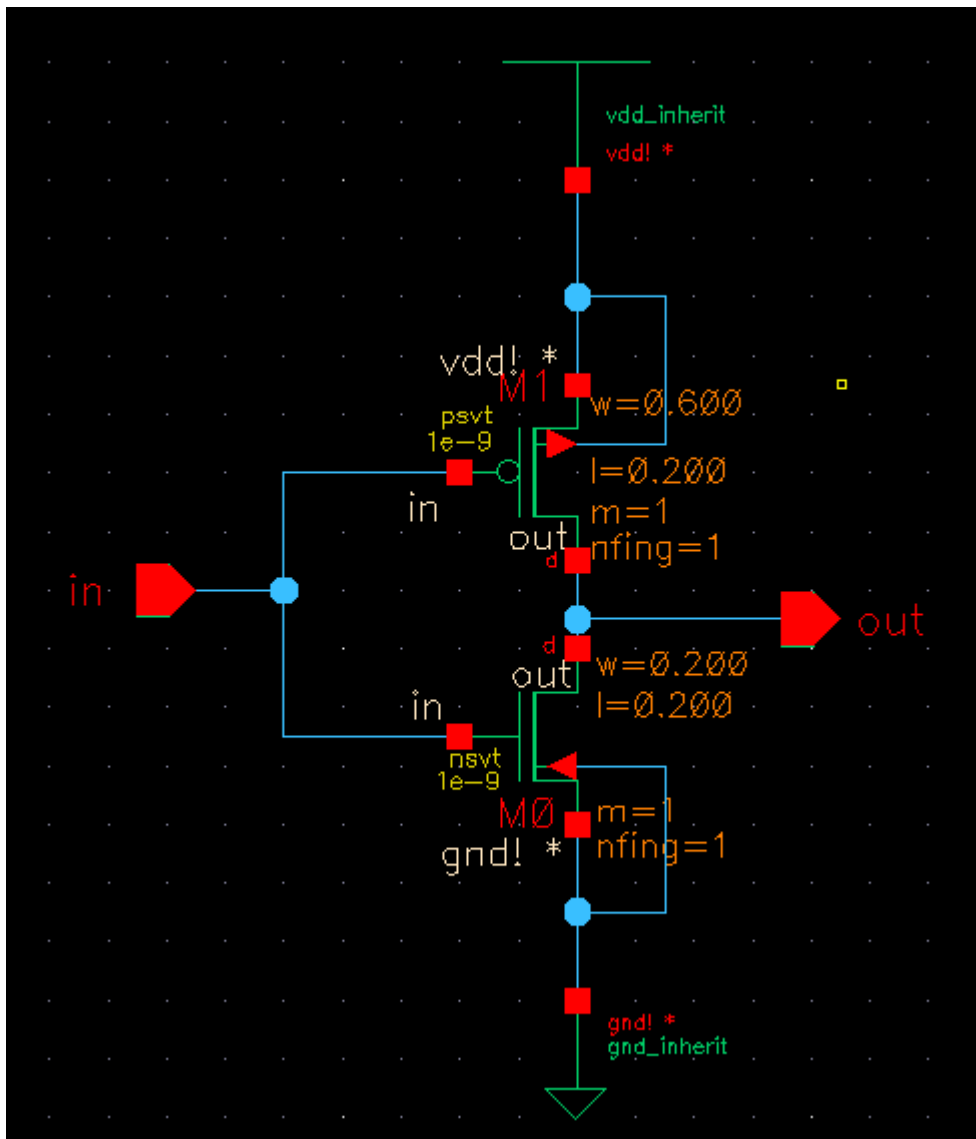
Figur 11: Skjematikk testbenk trimmekrets

3.6 Skjematikk M3M DAC



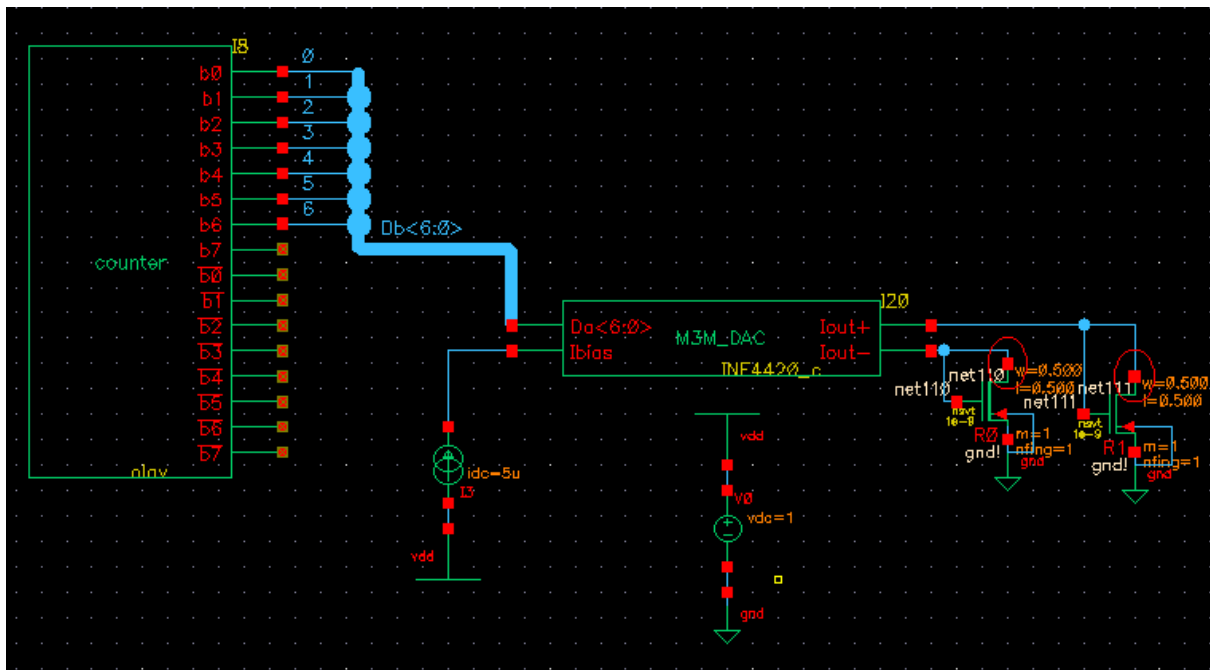
Figur 12: Skjematikk M3M Dac

3.7 Skjematikk inverter i M3M DAC



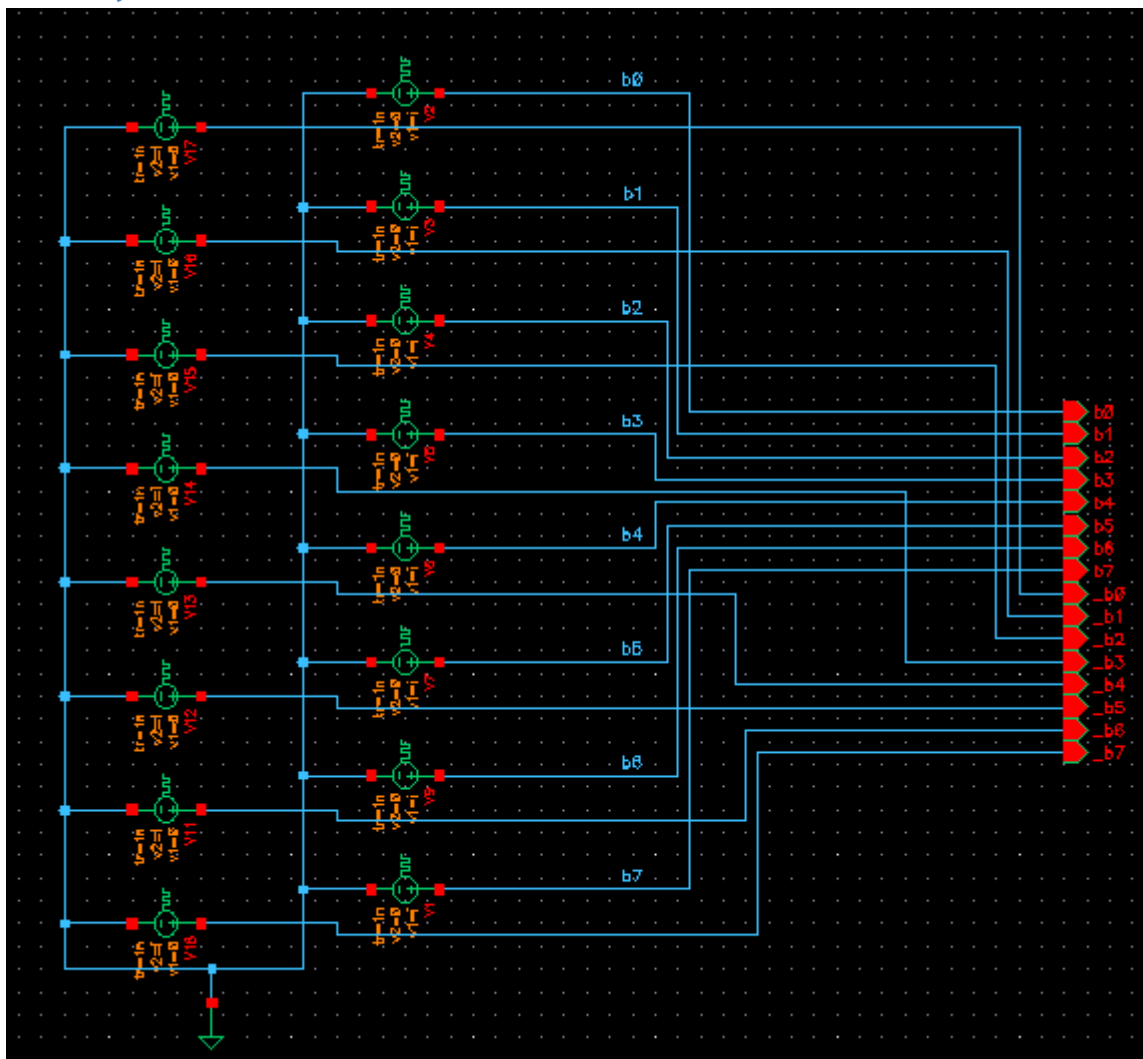
Figur 13: Inverter i M3M DAC

3.8 Skjematikk til testbenk ideel DAC vs M3M dac



Figur 14: Testbenk overføringsfunksjon

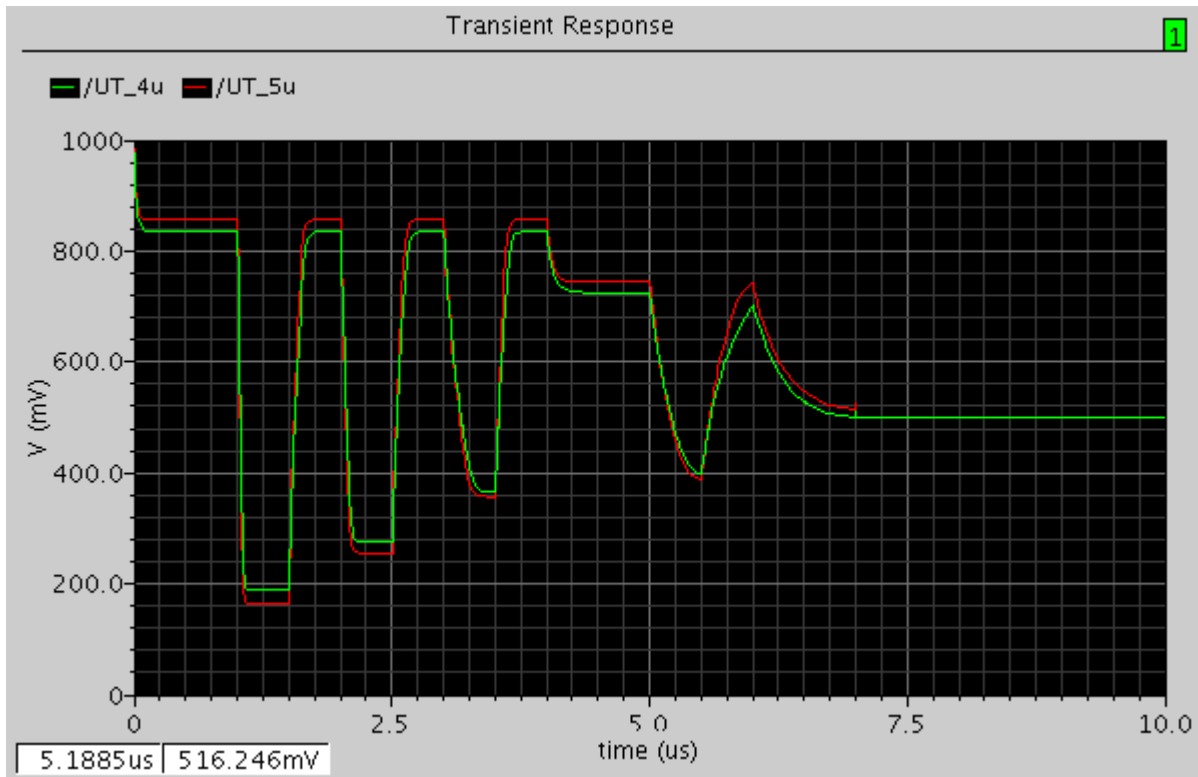
3.9 Skjematikk til teller i testbenk



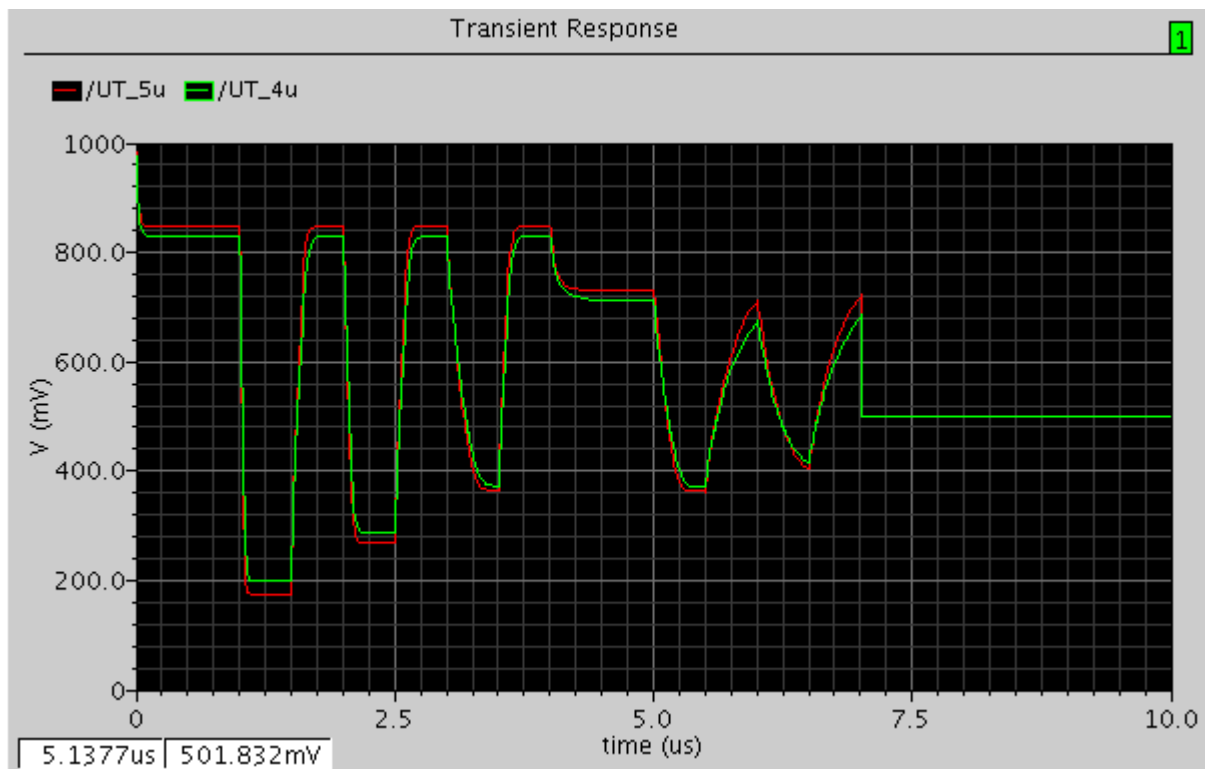
Figur 15: Skjematikk teller (Olav Liseth)

4 Simuleringer

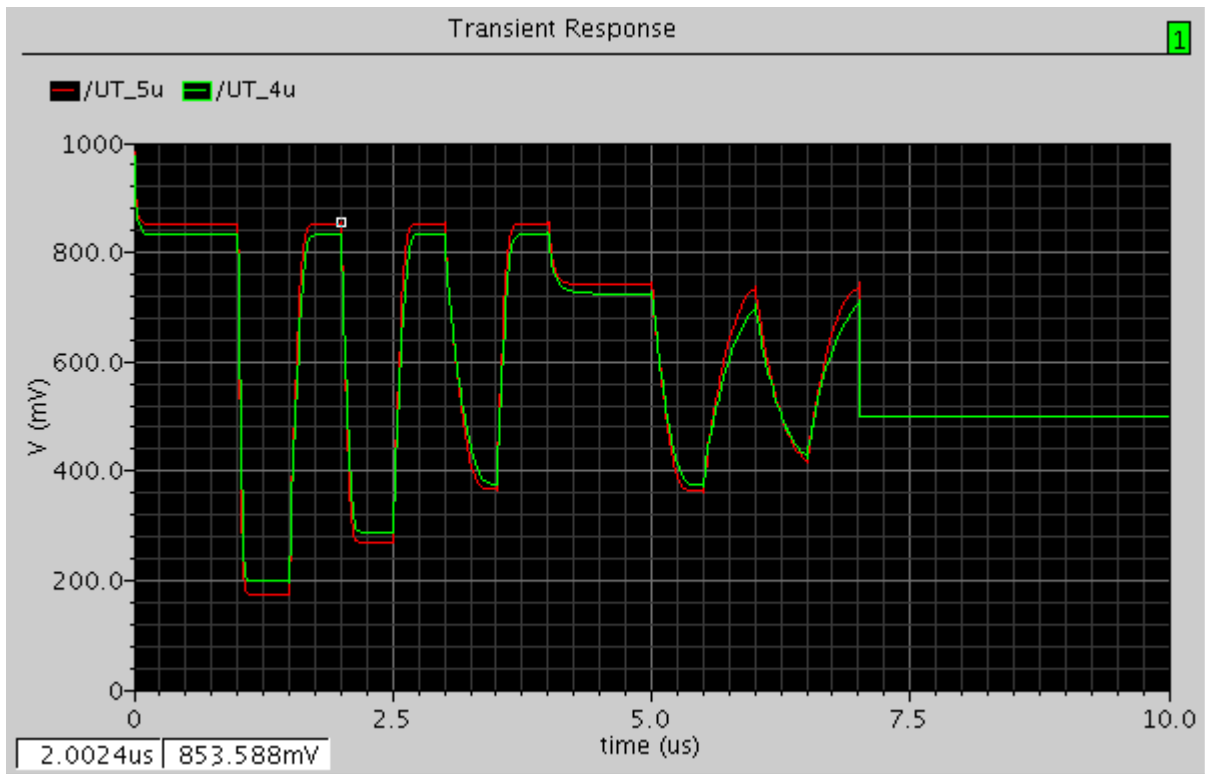
4.1 Innsvingningsforløp til OTA med kalibreringssløyfe klokkeperiode 1 μ s.



Figur 16: Simulering av innsvingningsforløp til kalibreringssløyfe med ideell DAC, klokkeperiode 1 μ s

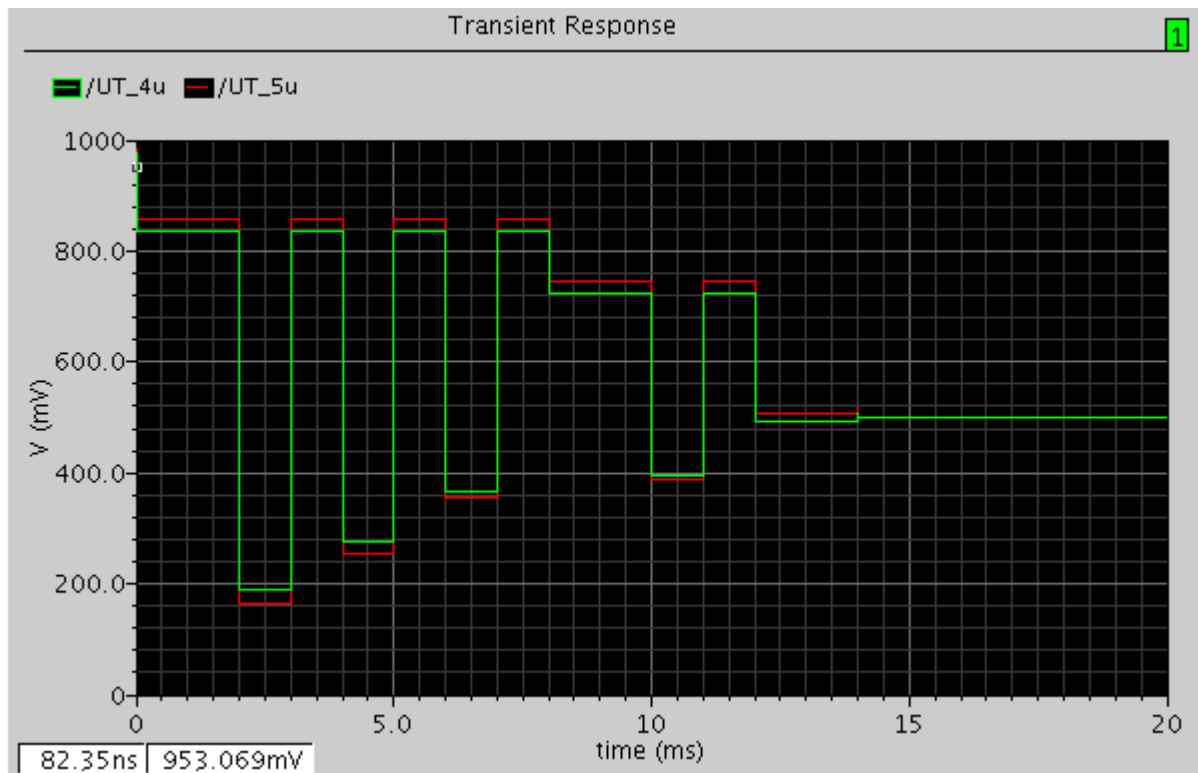


Figur 17: Simulering av innsvingningsforløp til kalibreringssløyfe med M3M DAC (uten parasitter), klokkeperiode 1 μ s

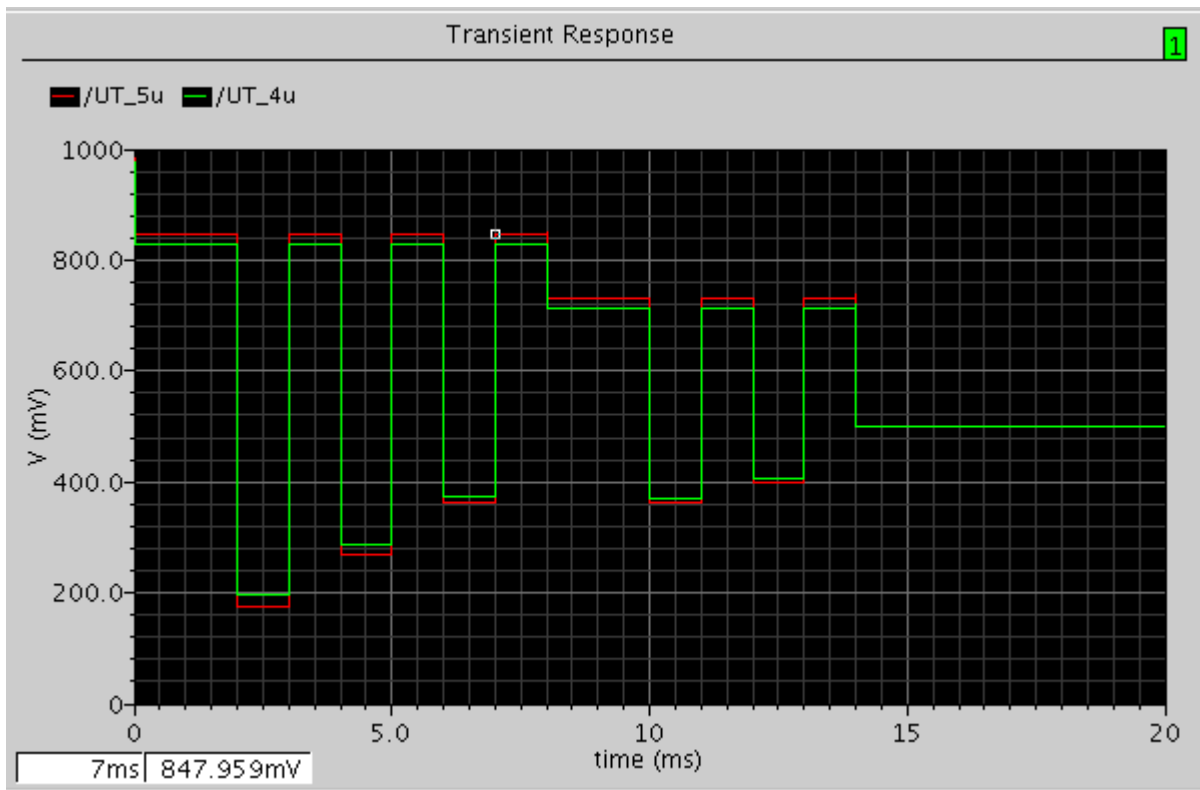


Figur 18: Simulering av innsvingningsforløp til kalibreringsløyfe med M3M DAC og ekstrahert layout for DAC og trimmekrets, klokkeperiode 1 μ s

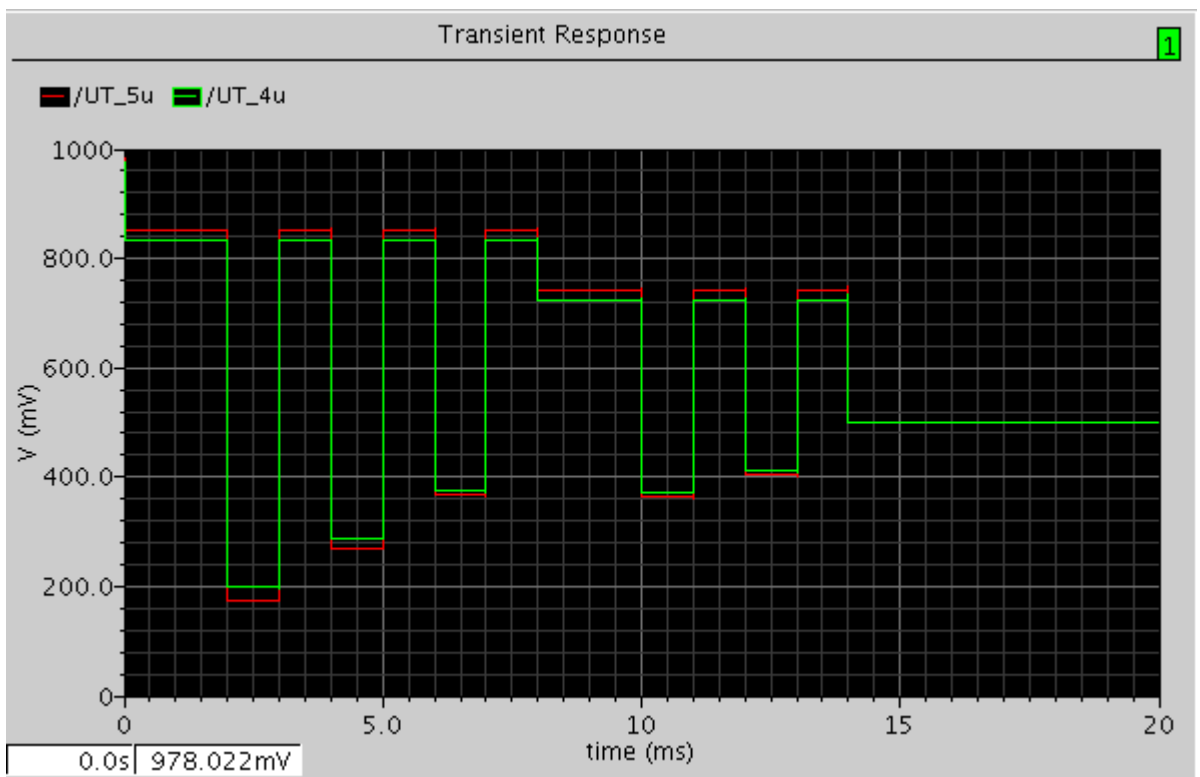
4.2 Innsvingningsforløp OTA med kalibreringsløyfer og klokkeperiode lik 2ms.



Figur 19: Simulering av innsvingningsforløp til kalibreringsløyfe med ideell DAC, klokkeperiode 2ms

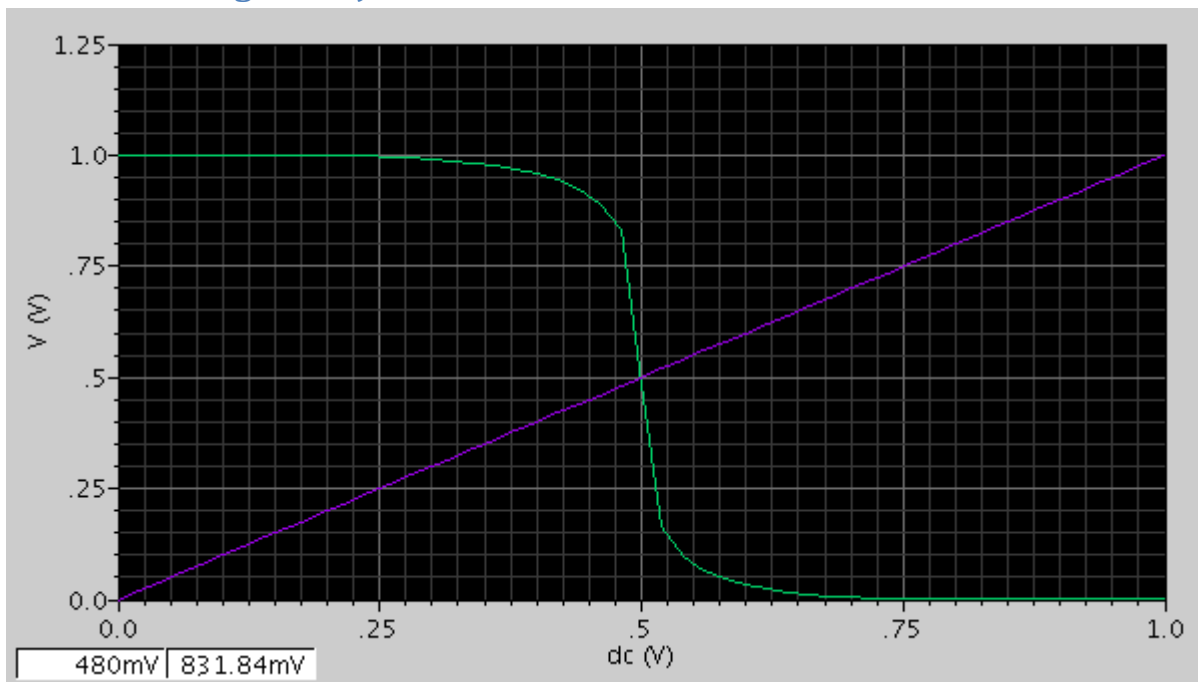


Figur 20: Simulering av innsvingningsforløp til kalibreringsløyfe med M3M DAC, klokkeperiode 2ms



Figur 21: Simulering av innsvingningsforløp til kalibreringsløyfe med M3M DAC og ekstrahert layout for DAC og trimmekrets, klokkeperiode 2ms

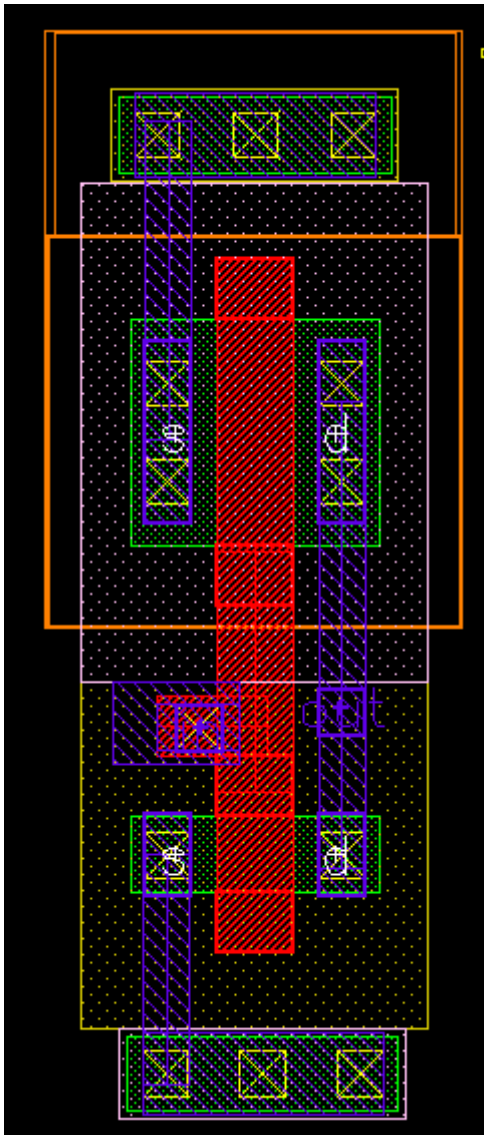
4.3 Overføringsfunksjon inverter



Figur 22: Overføringsfunksjon til inverter i M3M DAC

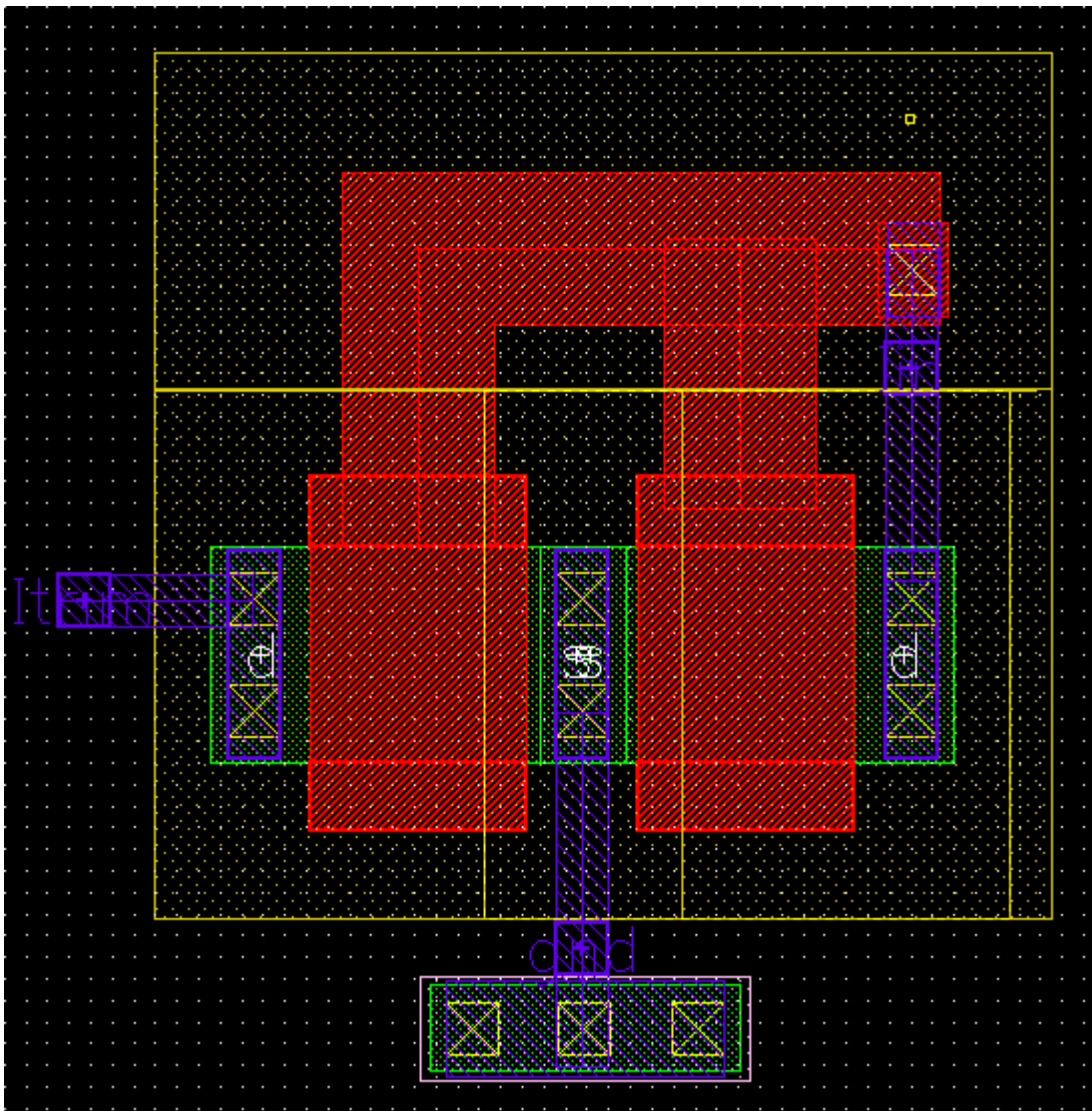
5 Layout

5.1 Layout inverter brukt i M3M DAC



Figur 23: Layout inverter brukt M3M DAC

5.2 Utlegg av strømspeil som utgjør trimmekrets



Figur 24: Utlegg av strømspeil som utgjør trimmekrets

Matlab script

Tabellradix er ikke lagt med da dette var en 128x7 matrise med alle 128 verdiene i 7 bit skrevet binært i kronologisk rekkefølge. Kolonne 1 var MSB mens kolonne 7 var LSB. Denne tabellen er såpass stor og såpass enkel at det vi ikke finner det nødvendig å legge med de fem sidene den tar. Matlab scriptet som brukte tabellen og plottet overføringsfunksjonen er vist nedenfor.

```
load tabellradix.mat;

x = (0:1:127);
%%
tabel(:,1) = tabel(:,1)*1.77^6;
tabel(:,2) = tabel(:,2)*1.77^5;
tabel(:,3) = tabel(:,3)*1.77^4;
tabel(:,4) = tabel(:,4)*1.77^3;
tabel(:,5) = tabel(:,5)*1.77^2;
tabel(:,6) = tabel(:,6)*1.77^1;
tabel(:,7) = tabel(:,7)*1.77^0;

%%
sumrad = sum(tabel')./69.3855;
hold on
grid on
plot(x,sumrad,'r');
vref=(1/(2^7))*x;
plot(x, vref)
xlabel('Desimal verdi av dataordet inn');
ylabel('Vout');
```

7.Referanser

[1] Olav Liseth