

LØSNINGSFORSLAG 2006

Oppgave 1), vekt 12.5%

1a) Bruk Karnaughdiagram for å forenkle følgende funksjon:

$$Y = a'b'c'd' + a'b'c'd + a'b'cd' + a'bc'd' + a'bc'd + ab'c'd' + ab'cd'$$

	cd				
ab		00	01	11	10
	00	1	1		1
	01	1	1		
	11				
	10	1			1

$$Y = b'd' + a'c'$$

1b) Finn et maksimalt forenklet boolsk uttrykk for F i tabellen til høyre. X betyr don't care.

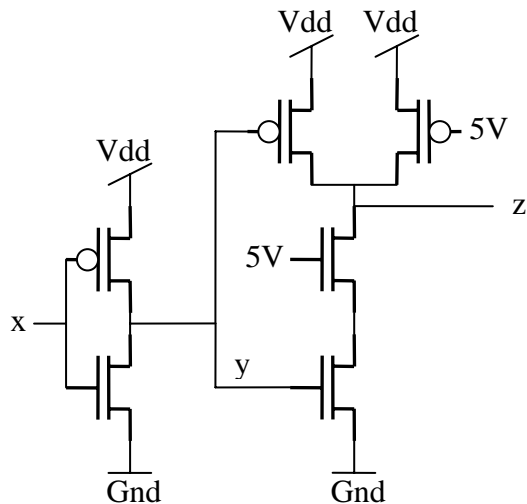
	cd				
ab		00	01	11	10
	00			1	
	01	1			1
	11	X			1
	10			X	

$$Y = bd' + b'cd$$

a	b	c	d	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	X
1	1	0	0	X
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

Oppgave 2) Vekt 12.5%

Finndet boolske uttrykket for y og z i figuren under uttrykt ved x. Anta $V_{dd} = 5V$. Der det står 5V i figuren menes det at spenningen er konstant 5V.



Her har vi en standard inverter etterfulgt av en standard NAND. I forhold til tilsvarende NAND figur i forelesningsnotatene har de to PMOS'ene med sine innganger byttet plass, men da transistorene bare kan sees på som spenningsstyrte brytere betyr det jo ikke noe. NAND'en har en fast 1'er inn på sin ene inngang. Om inngangen med fast verdi kalles A eller B betyr ikke noe.

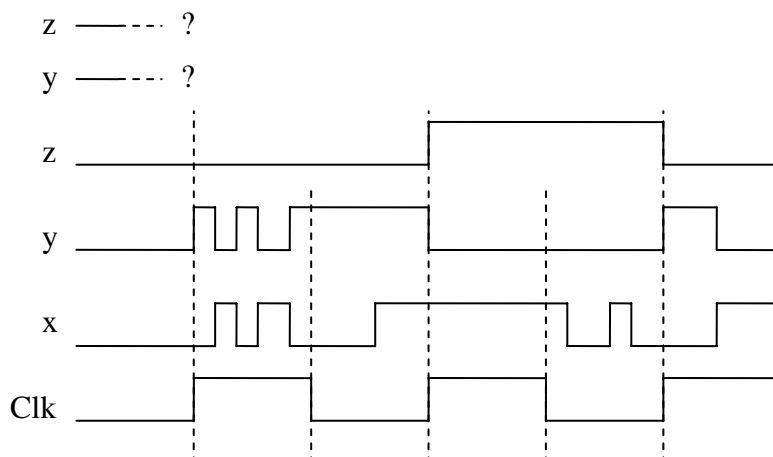
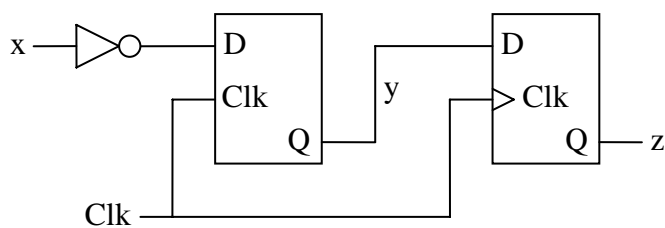
$$y = x'$$

$$z = y' = x$$

Oppgave 3) Vekt 12.5%

For kretsen i figuren under, tegn opp tidsforløpet til signalene y og z slik som påbegynt i diagrammet under. Anta at y og z begge er 0 i utgangspunktet og at Clk og x har verdier som vist i diagrammet.

Merk: den første er en D-latch og den andre er en D-flip-flop



Oppgave 4) Vekt 12.5%

- a) Forenkle følgende uttrykk maksimalt.

$$A = x \cdot z + x \cdot z' + x \cdot x$$

$$A = x(z + z' + x)$$

$$A = x(1 + x)$$

$$A = x \cdot x$$

$$A = x$$

- b) Forenkle følgende uttrykk maksimalt.

$$B = (x' + y')' \cdot z + (x \cdot y \cdot z)'$$

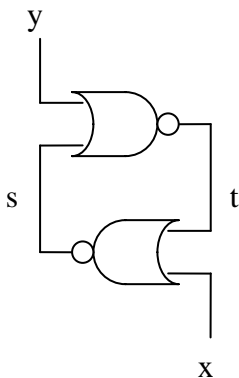
$$B = (x \cdot y)z + (x \cdot y \cdot z)'$$

$$B = x \cdot y \cdot z + (x \cdot y \cdot z)'$$

$$B = 1$$

Oppgave 5) Vekt 12.5%

- a) Hvis $x=1$ og $y=0$ i figuren under, hvilken verdi får s og t ?
 $s = 0, t = 1$



- b) Anta at i utgangspunktet er $x=0$ og $y=1$ i figuren over, hvis y så får verdien 0, hvilken verdi får s og t ?
 $s = 1, t = 0.$
- c) Hva er det vanlige navnet på kretsen i figuren over?
SR-latch (identisk med den i forelesningsnotatene/boka – bare roter den nederste NOR'en 180grader)

Oppgave 6) Vekt 12.5%

I denne oppgaven lager vi logikk for å lese av hvor mange omdreiningen en aksel på en maskin har rotert. For å få det til kan man bruke 2 lyskilder (lysdioder), 2 lyssensorer og en ugjennomsiktig halvslike montert på akselen slik som vist i figuren under. Når akselen roterer vil skiven vekselvis skygge for lyset til sensor A og sensor B slik som illustrert i figuren. Ut fra lyssensor A og B får man en høy spenning når skiven ikke skygger og lyset treffer. Man får ut en lav spenning når skiven skygger og lyset ikke treffer. Det betyr at hvis akselen roterer med urviseren (framover) kan man først få ut en lav spenning fra sensor B og en høy spenning fra sensor A. Så får man etter hvert $B=0, A=0$. Så får man $B=1, A=0$. Tilslutt får man $B=1$ og $A=1$, og så gjentar denne sekvensen seg. Hvis akselen roterer mot urviseren vil man få en annen sekvens ut.

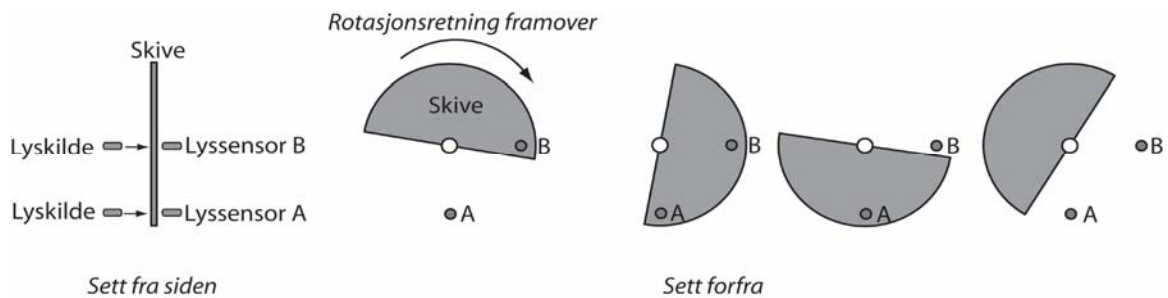
Oppgaven går ut på å designe en tilstandsmaskin som tar inn signalene A og B og genererer to

utgangssignaler F (framover) og B (bakover). Disse to signalene skal gå inn som hver sitt klokkesignal på to tellere som teller bevegelser i hver sin retning (disse 2 tellerne trenger du ikke å lage).

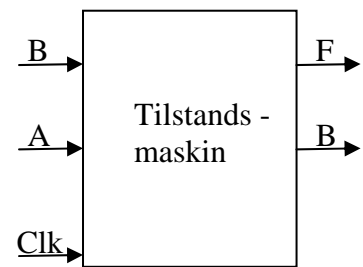
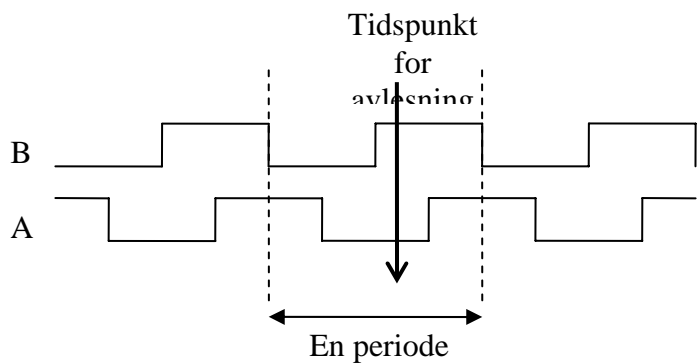
Krav: Signal F skal gå høy hvis det oppstår en forandring i logisk verdi på enten A eller B og denne forandringen skyldes en bevegelse med urviseren (framover). Hvis ingen bevegelse er registrert skal F være lav. Signal R skal gå høy hvis det oppstår en forandring i logisk verdi på A eller B som følge av en bevegelse mot urviseren (revers). Hvis ingen bevegelse er registrert skal R være lav. En høy verdi på F og R skal maksimalt vare en klokkeperiode av gangen.

Forutsetninger: Man kan anta at klokkefrekvensen er mye høyere enn maksimal frekvens på signal A og B. Signal F og R vil kunne være høye i kortere tid enn en klokkeperiode da signalene A og B er asynkrone i forhold til klokken.

Tips: Avhengig av valg av tilstandskoder vil den kombinatoriske logikken kunne bli meget enkel.

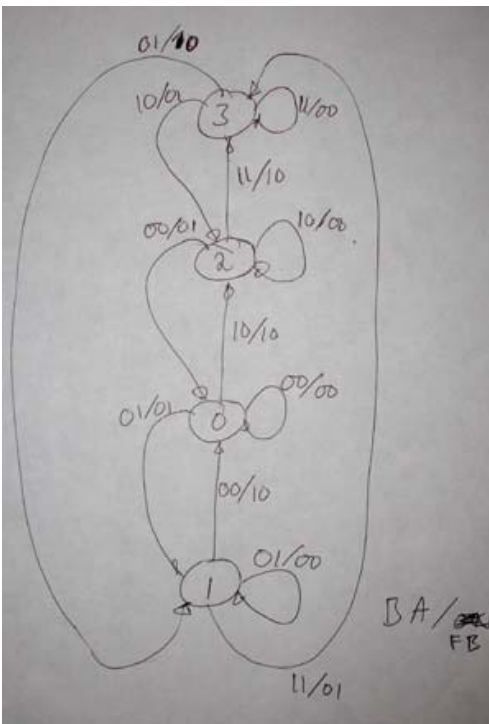


Rotasjonsretning bakover ← → Rotasjonsretning framover

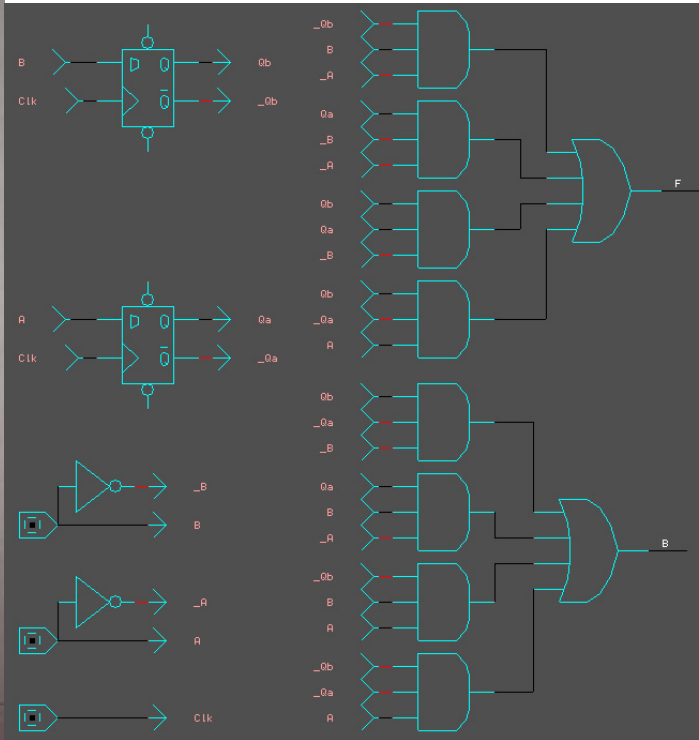
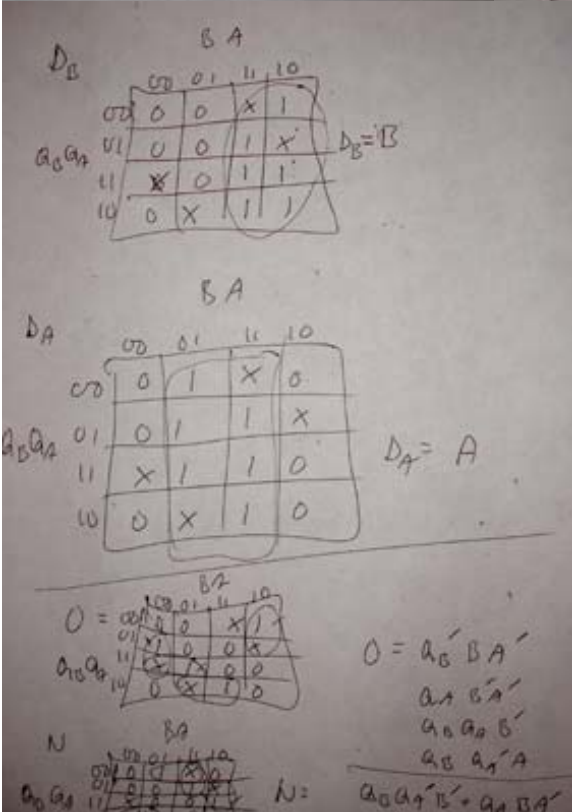


Kommentar: I praksis ville man la A og B først passere et register slik at disse signalene ble synkrone med tilstandsmaskinen. På denne måten ville 1'ener-pulsene på F og B få fast lengde (en klokkeperiode).

En av flere mulige løsninger (der det står i figurene B som utgangsverdi menes det R):



Q_B	Q_A	BA	Q_B	Q_A	F	B
0	0	00	0	0	0	0
0	0	01	0	1	0	1
0	0	10	1	0	1	0
0	0	11	X	X	X	X
0	1	00	0	0	1	0
0	1	01	0	1	0	0
0	1	10	X	X	X	X
0	1	11	1	1	0	1
1	0	00	0	0	0	1
1	0	01	X	X	X	X
1	0	10	1	0	0	0
1	0	11	1	1	1	0
1	1	00	X	X	X	X
1	1	01	0	1	1	0
1	1	10	1	0	0	1
1	1	11	1	1	0	0



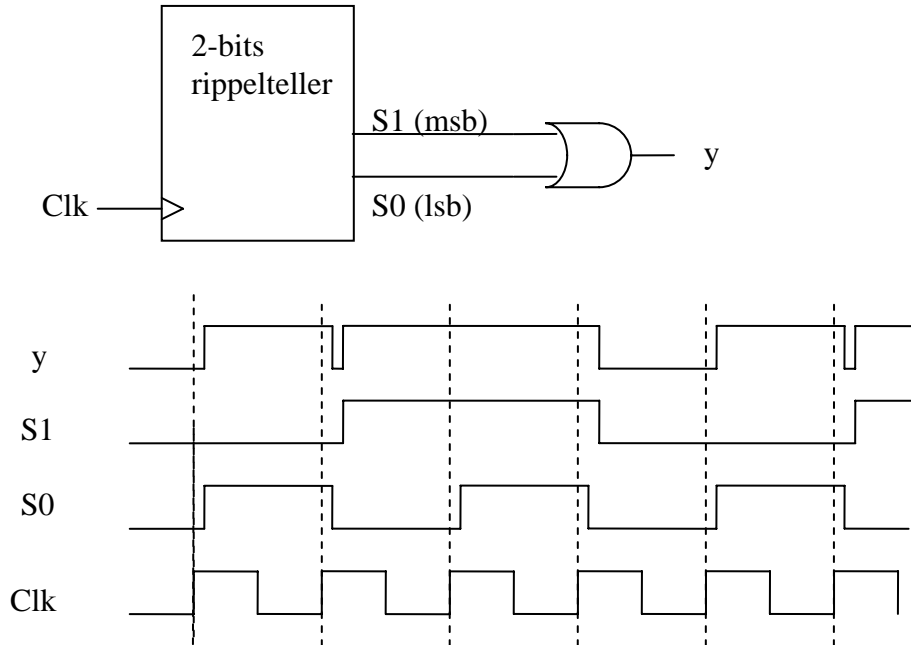
$D_a = A$
 $D_b = B$
 $F = Q_b'BA' + Q_aB'A' + Q_bQ_aB' + Q_bQ_a'A$
 $R = Q_bQ_a'B' + Q_aBA' + Q_b'BA + Q_b'Q_a'A$

Test vedlagte .lgf fil for diglog hvis du vil prøve ut virkemåten

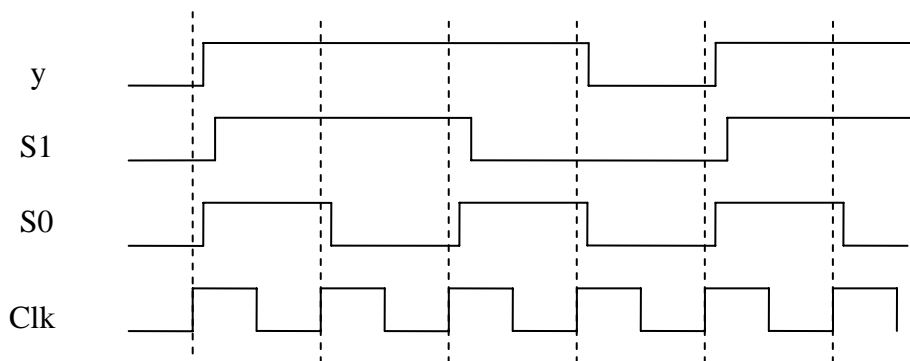
Oppgave 7) Vekt 12.5%

I figuren under har man en vanlig rippelteller med to bit ut. Anta at i utgangspunktet er $S_0=0$ og $S_1=0$. Skisser tidsforløpet til S_0 , S_1 og y over 5-6 klokkeperioder. Vis på skissen hvordan portforsinkelse i telleren påvirker signalene S_0 , S_1 og y . Se for enkelhets skyld bort i fra portforsinkelse i OR-porten og skisser effekten av "hazards" i systemet. Vi antar at telleren teller på stigende klokkeflanke.

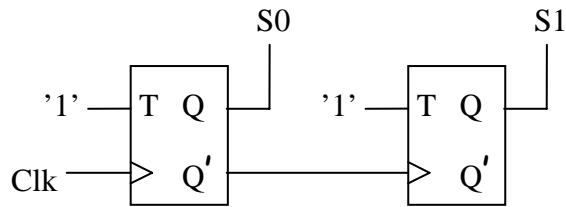
Her viste det seg at det oppgaveteksten kunne tolkes på 2 måter. Telleren skulle telle på positiv flanke – dette sier i utgangspunktet ikke noe om innmaten i telleren. Det finnes da to løsninger der den ene (dessverre) ikke får hazards. Det som skiller løsningene blir hvilken S0-flanke som S1 toggler på. Bedømmingen av besvarelsene tar hensyn til dette slik at denne oppgaven blir kreditert med poeng for riktig S0 kurve og poeng for riktig S1 kurve, og her finnes det to riktige kurver for S1. Poeng gis også for riktig illustrasjon av portforsinkelse.



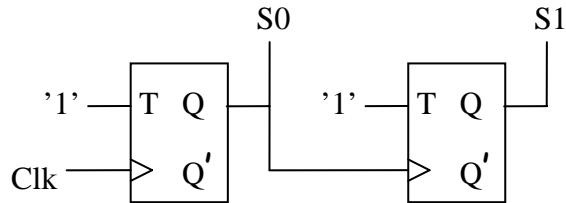
Alternativ løsning (uten hazards)



To mulige måter å lage telleren på etter spesifikasjonen i oppgaveteksten (var ikke nødvendig å tegne dette opp på eksamen)



Alternativt innmat



Oppgave 8) Vekt 12.5%

Vis med et port-skjema virkemåten til koden i figuren under.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity top is
    Port ( A      : in std_logic;
          clk    : in std_logic;
          D      : out std_logic);
end top;

architecture Behavioral of top is

    signal x      : std_logic;
    signal y      : std_logic;
    signal C      : std_logic;
    signal tmp    : std_logic;

begin
    process (clk, A, x)
    begin
        if (clk='1' and clk'event) then
            C <= x;
            y <= A;
        end if;
    end process;

    process (y, A, C)
    begin
        if (A='0') then
            tmp <= y;
        else
            tmp <= C;
        end if;
    end process;

    x <= y xor C;
    D <= tmp;

end Behavioral;

```

