

Oppgavesett 8 – Sekvensiell logikk 2

- 1) Gjør ferdig alle oppgavene fra oppgavesett 7
- 2) Sett opp tabellene for D flip-flop, Jk flip-flop og T flip-flop.

JK flip-flop

J	K	Q(t+1)
0	0	Q(t)
0	1	0(Reset)
1	0	1(Set)
1	1	Q(t)'

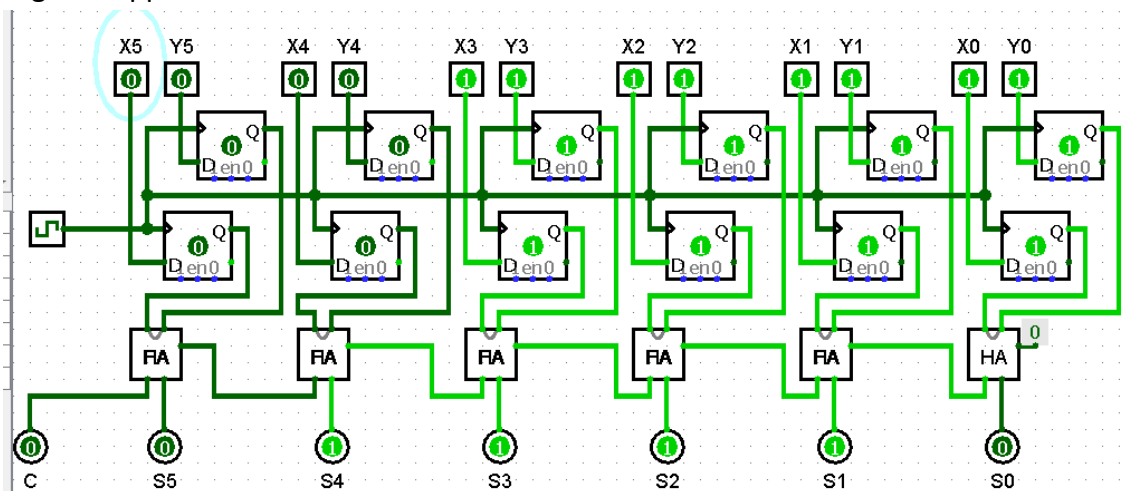
D flip-flop

D	Q(t+1)
0	0(Reset)
1	1(Set)

T flip-flop

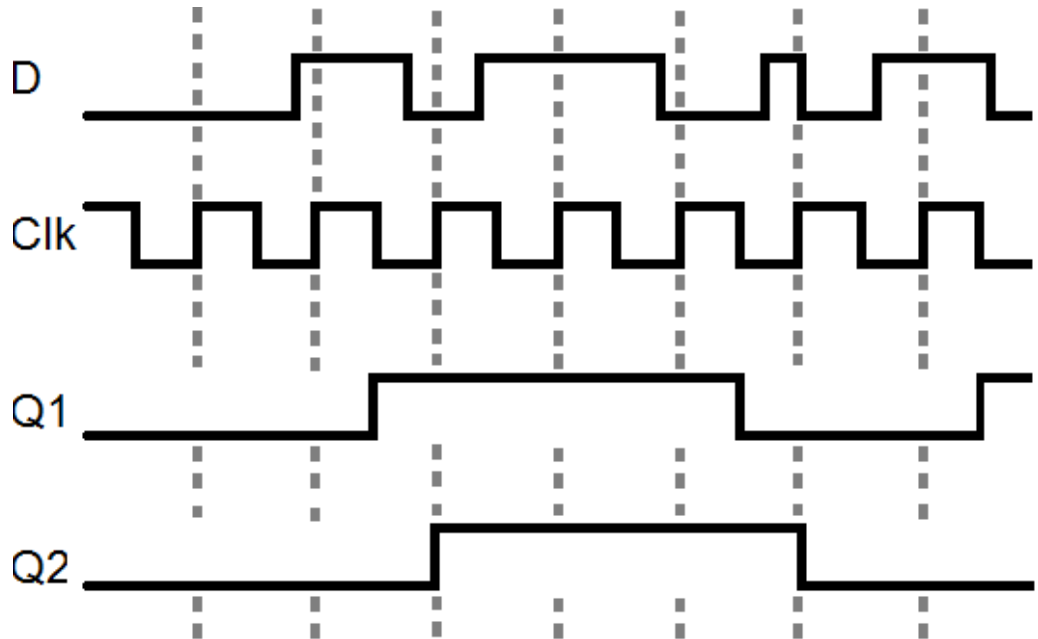
T	Q(t+1)
0	Q(t)
1	Q(t)'

- 3) Tegn en rippeladder for to 6-bits tall.

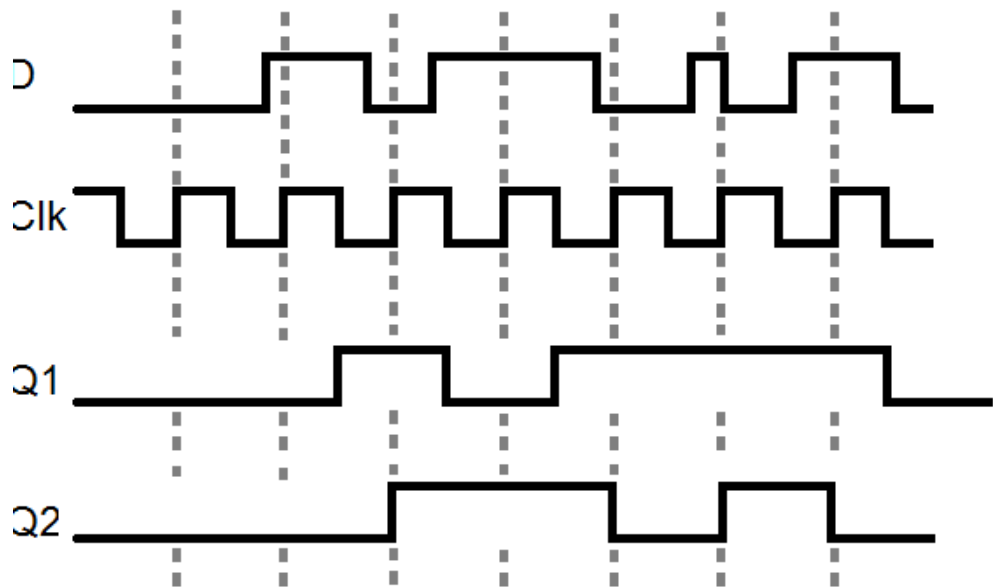


4) Tegn et timing diagram for:

a. Kretsen under når du har inputs som gitt i diagrammet under



b. Kretsen under hvis du bytter ut D flip-flopene med T flip-floper. Inngangene er det samme som oppg a.

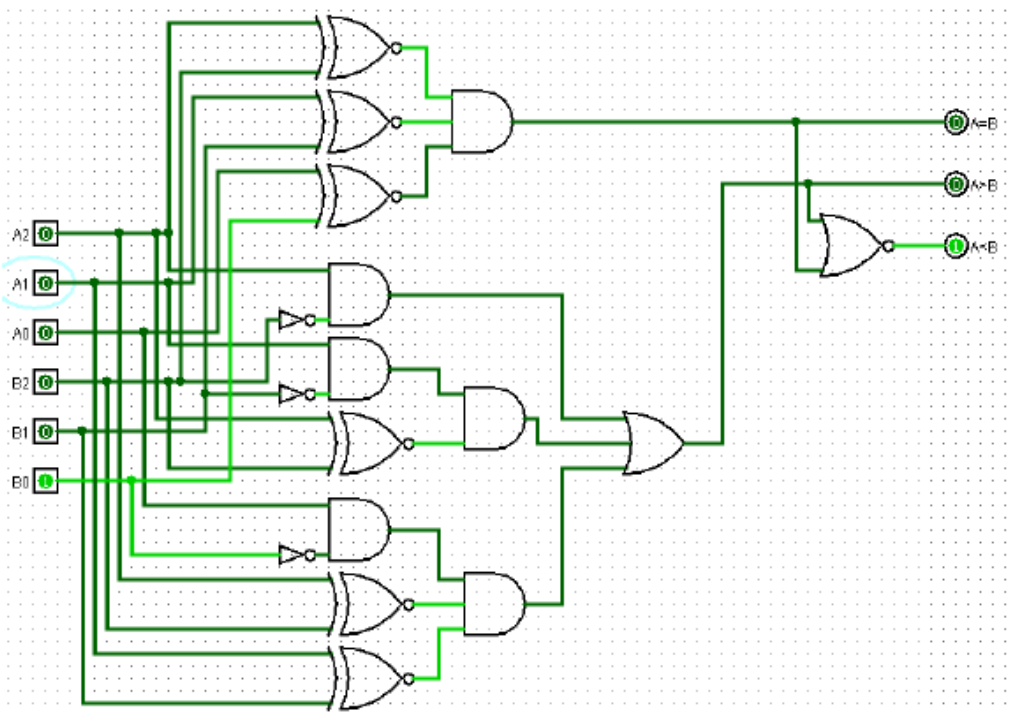


5) Hva er (den største) forskjellen på en asynkron og en synkron sekvensiell krets? Er synkrone eller asynkrone kretser mest brukt?

Svar: I en synkron sekvensiell krets vil endringene på utgangen skje samtidig med en endring i klokkesignalet. I asynkrone sekvensielle kretser vil endringen skje uavhengig av et klokkesignal.

Synkrone kretser er mer brukt, ettersom et stort system trenger klokker for å kunne operere riktig.

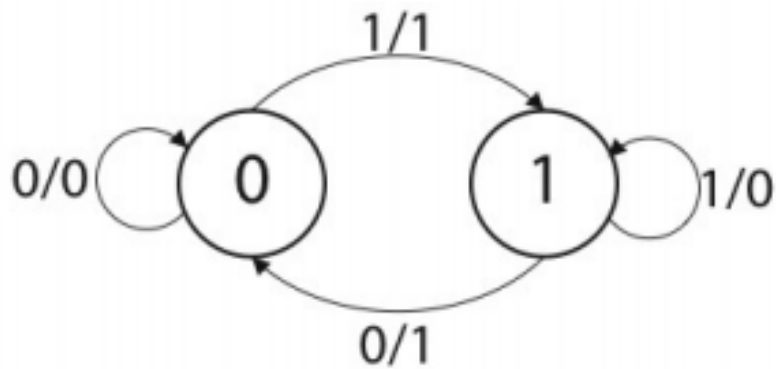
- 6) Hva er worst-case logisk dybde for kretsen under? Hva er best-case logisk dybde?(Alle porter har i dette tilfellet lik forsinkelse, inkludert inverter)



Worst-case logisk dybde(lengste signalvei) for kretsen under er 5. To signaler i kretsen må gjennom 5 porter.

Best-case logisk dybde(korteste signalvei) er 2. Flere signaler i kretsen må gjennom bare 2 porter.

7) Lag tilstandstabellen for tilstandsdiagrammet under:



In	Q	Ut	Qnext
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

8) Tegn tilstandsdiagram for tabellen under.

Q1	Q0	X	Y	QAnext	QBnext	Out
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	1	0	1
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	0	1	1	1	1	1
1	1	0	0	1	1	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1
1	1	1	1	0	1	0

