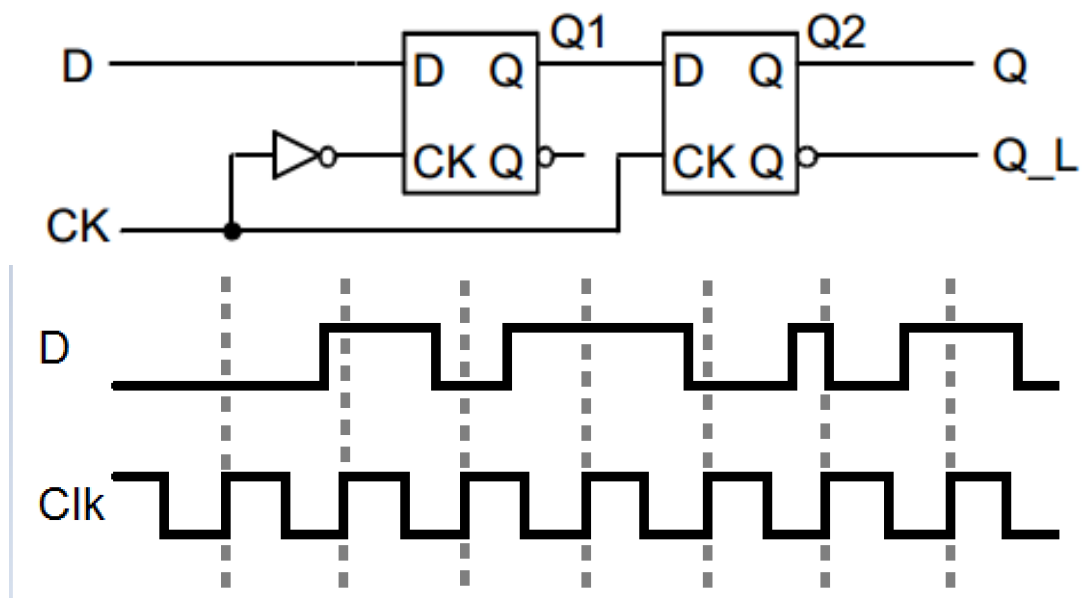


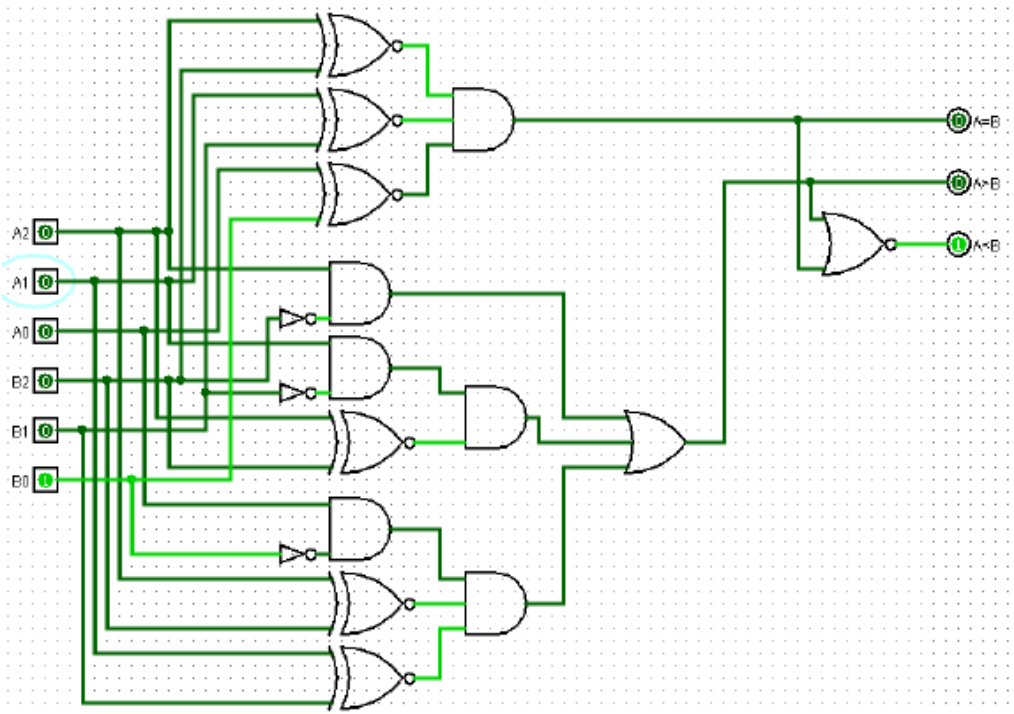
## Oppgavesett 8 – Sekvensiell logikk 2

- 1) Gjør ferdig alle oppgavene fra oppgavesett 8
- 2) Sett opp tabellene for D flip-flop, Jk flip-flop og T flip-flop.
- 3) Tegn en rippeladder for to 6-bits tall.
- 4) Tegn et timing diagram for:
  - a. Kretsen under når du har inputs som gitt i diagrammet under
  - b. Kretsen under hvis du bytter ut D flip-flopene med T flip-floper. Inngangene er det samme som oppg a.

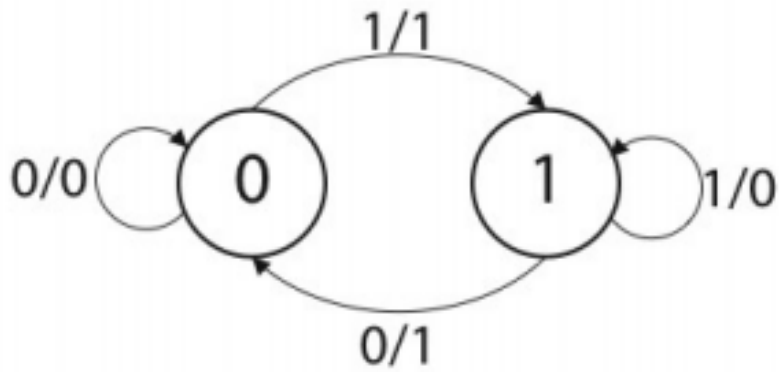


- 5) Hva er (den største) forskjellen på en asynkron og en synkron sekvensiell krets? Er synkron eller asynkron kretser mest brukt?

- 6) Hva er worst-case logisk dybde for kretsen under? Hva er best-case logisk dybde? (Alle porter har i dette tilfellet lik forsinkelse, inkludert inverter)



- 7) Lag tilstandstabellen for tilstandsdiagrammet under:



8) Tegn tilstandsdiagram for tabellen under.

Q1	Q0	X	Y	QAnext	QBnext	Out
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	1	0	1
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	0	1	1	1	1	1
1	1	0	0	1	1	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1
1	1	1	1	0	1	0