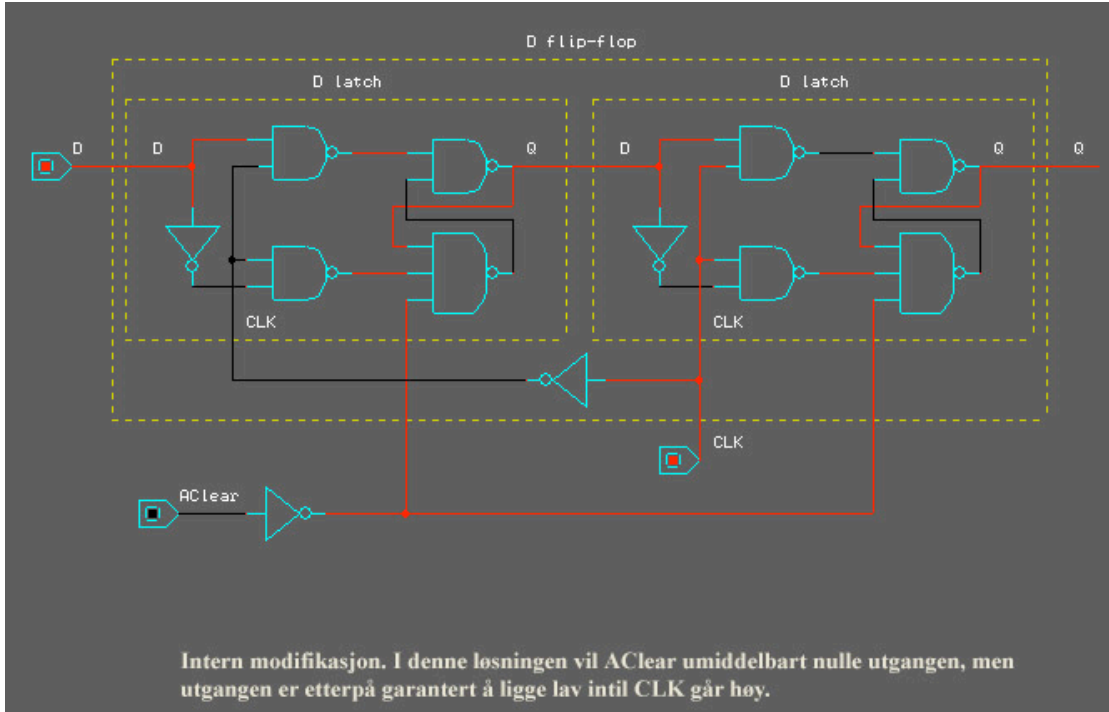
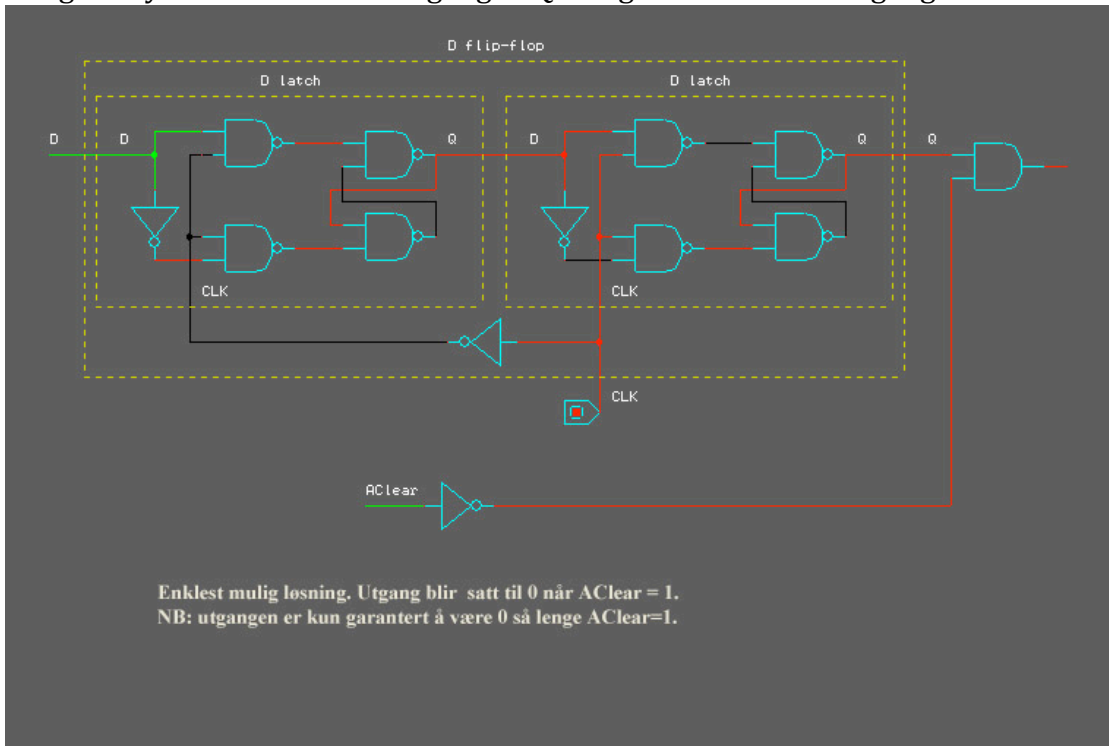
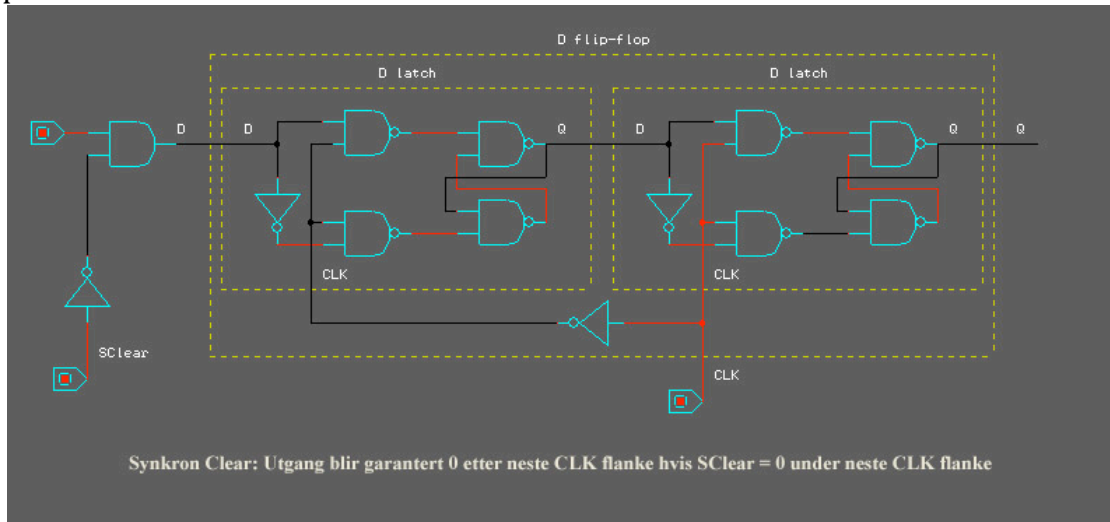


1) Modifiser en standard D flip-flop (legg til ekstra logikk) slik at den får asynkron CLEAR. Dvs. flip-floppen skal ha en ekstra inngang "Clear" som, hvis den går høy umiddelbart får utgangen Q til å gå til 0 uansett inngangsverdi D.

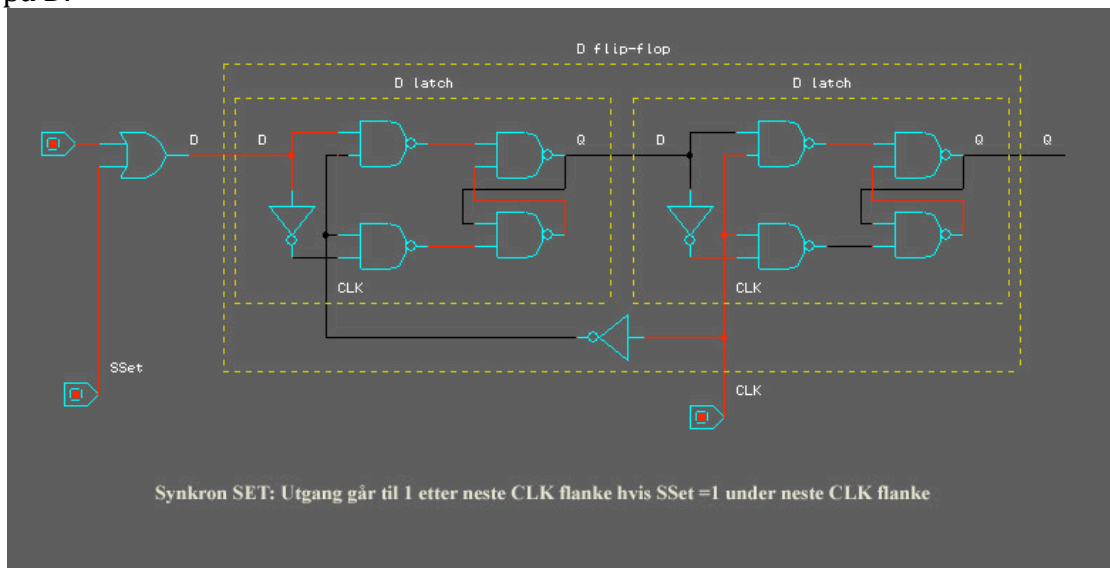


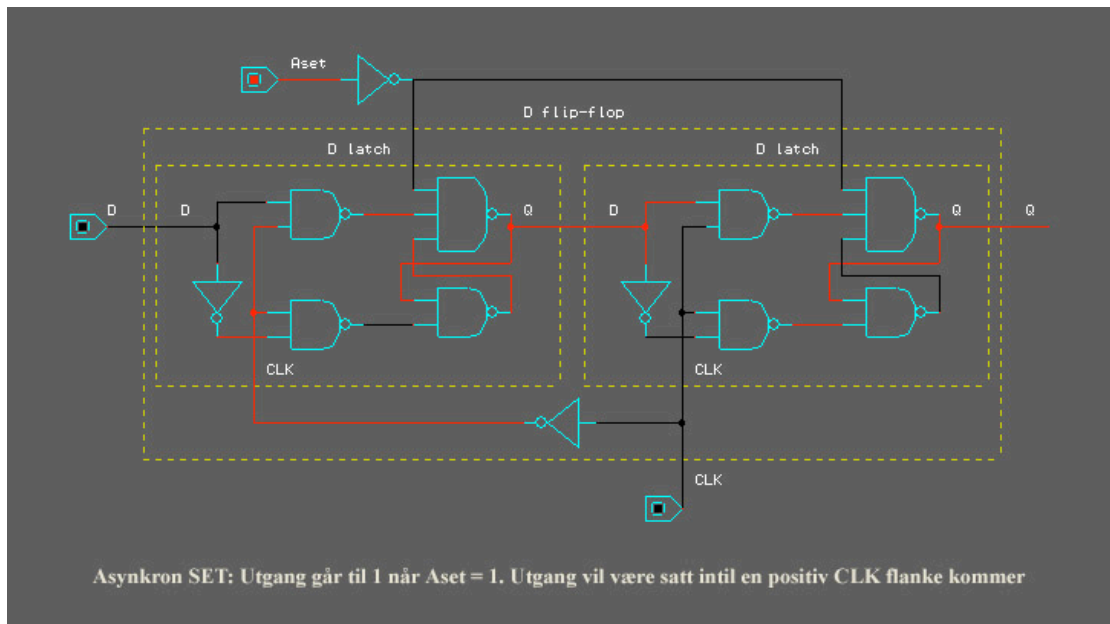
2) Modifiser en standard D flip-flop slik at den får synkron CLEAR. Dvs. flip-floppen skal ha en ekstra inngang "Clear" som, hvis den går høy

får utgangen Q til å gå til 0 i det øyeblikket neste klokke flanke kommer, uavhengig av verdi på D.



3) Modifiser en standard D flip-flop slik at den får synkron SET. Dvs. flip-floppen skal ha en ekstra inngang "Set" som, hvis den går høy får utgangen Q til å gå til 1 i det øyeblikket neste klokke flanke kommer, uavhengig av verdi på D.





4) En mye brukt modifikasjon av D flip-flop'en er å tilføre en clock enable inngang CE. Når denne er lav skal flip-flopp'en ikke reagere på klokkeflanken. Når denne er høy skal med andre ord flip-flopp'en holde på utgansverdien selv om det kommer en klokkeflanke og man har fått en ny verdi inn på D. Når CE er høy skal flip-floppen virke som vanlig. Lag en slik modifikasjon uten å røre klokkesignalet som fremdeles skal direkte inn på Clk-inngangen. Tips: (tilbakeføre Q)

