

Digital CMOS

INF1400

YNGVAR BERG

I. TRANSISTOR SOM BRYTER

Definisjon av binære verdier:

1. **Logisk 1** V_{DD} .
2. **Logisk 0** V_{SS} , GND.

A. nMOS transistor

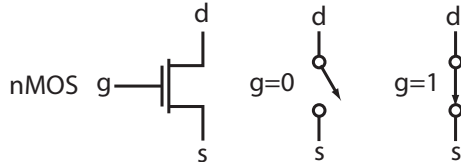


Fig. 1. nMOS transistor som bryter.

En nMOS transistor som bryter er vist i Fig. 1, transistorens tre terminaler er **gate** (inngang), **source** og **drain**. En nMOS transistor kan betraktes som en bryter; avhengig av inngang (gate) vil det kunne gå strøm mellom drain og source. Når inngangen er 0 går det ingen strøm mellom drain og source, og vi sier at transistoren er **AV**. Når inngangen er 1 kan det gå strøm mellom drain og source, og vi sier at transistoren er **På**.

Konvensjoner:

1. Den av drain og source terminalene på en nMOS transistor som har lavest spenning kalles *source*.
2. Den av drain og source terminalene på en nMOS transistor som har høyest spenning kalles *drain*.
3. En positiv strøm (strømretning) vil for en nMOS transistor alltid gå fra drain til source.

B. pMOS transistor

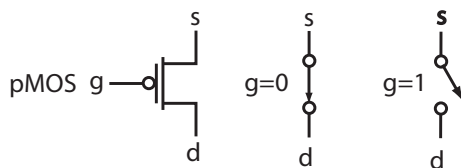


Fig. 2. pMOS transistor som bryter.

En pMOS transistor som bryter er vist i Fig. 2. Transistorens tre terminaler er **gate** (inngang), **source** og **drain**. Når inngangen er logisk 0 kan det gå strøm mellom source og drain, og vi sier at transistoren er **På**. Når inngangen er logisk 1 går det ingen strøm mellom source og drain, og vi sier at transistoren er **AV**.

Konvensjoner:

1. Den av drain og source terminalene på en pMOS transistor som har høyest spenning kalles *source*.
2. Den av drain og source terminalene på en pMOS transistor som har lavest spenning kalles *drain*.

3. En positiv strøm (strømretning) vil for en pMOS transistor alltid gå fra *source* til *drain*.

II. CMOS INVERTER

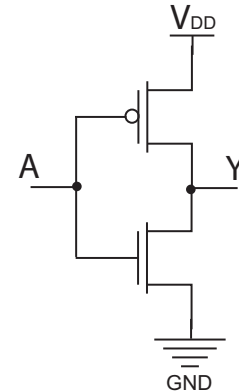


Fig. 3. Inverter skjematikk.

Dersom vi setter en pMOS- og en nMOS transistor sammen og kobler til spenningsreferansene V_{DD} og V_{SS} (GND) får vi en CMOS inverter som vist i Fig. 3. CMOS teknologi er grunnleggende inverterende, dvs. dersom man bruker pMOS transistorer mellom en utgang på en port og logisk 1 (V_{DD}), og tilsvarende nMOS transistorer mellom utgangen og logisk 0 (V_{SS}), vil utgangen danne en inverterende funksjon. Vi får typisk inverter, NAND, NOR eller generelle boolske funksjoner på formen $Y = A \cdot (B + C)$.

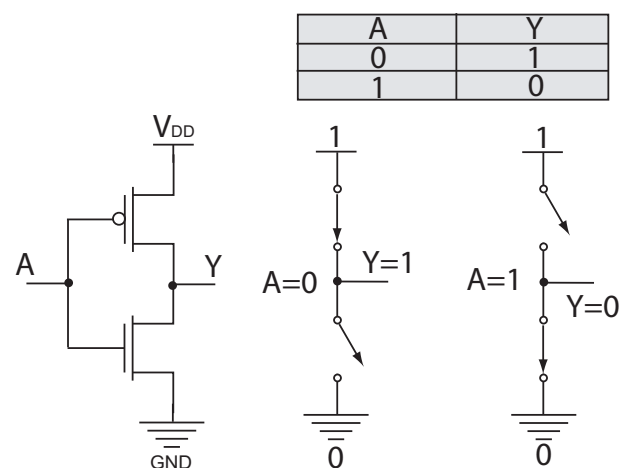


Fig. 4. Inverter skjematikk og sannhetstabell.

Som vist i Fig. 4 vil utgangen på en inverter være 1 når inngangen er 0, og utgangen vil være 0 når inngangen er 1.

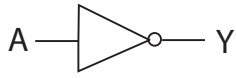


Fig. 5. Inverter symbol.

Symbolet for en CMOS inverter er vist i Fig. 5.

III. MOS TRANSISTORER

Integrerte transistorer i CMOS teknologi kalles MOSFET, som står for **M**etal **O**n **S**emiconductor **F**ield **E**ffect **T**ransistor. I moderne CMOS prosesser er det alltid polysilisium istedet for metall som former gaten.

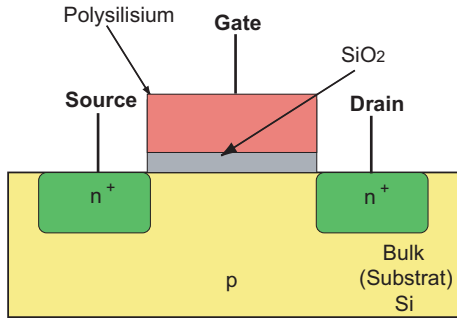


Fig. 6. Tverrsnitt av nMOS transistor.

Tverrsnitt av en nMOS transistor er vist i Fig. 6. Vi kaller transistoren nMOS fordi source og drain terminalene er koblet til n-type silisium. Disse områdene kalles for *diffusjon* og er av n^+ type, dvs. kraftig dopet med et stort antall frie elektroner. Diffusjonsområdene ligger i en svakt dopet silisium halvleder som kalles *substrat*. Mellom gaten og p-substrat er det et isolerende sjikt (SiO_2) som separerer gaten fra substrat slik at det ikke skal gå strøm mellom gate og substrat.

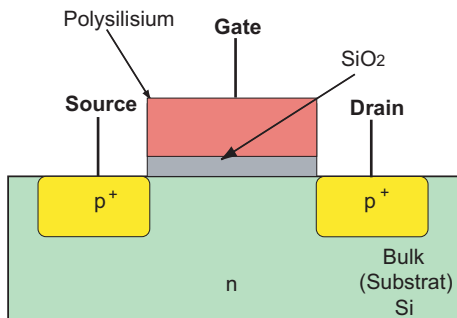


Fig. 7. Tverrsnitt av pMOS transistor.

Tverrsnitt av en pMOS transistor er vist i Fig. 7. Vi kaller transistoren pMOS fordi source og drain terminalene er koblet til p-type silisium. Disse områdene kalles for *diffusjon* og er av p^+ type, dvs. kraftig dopet med et stort antall frie hull.

Tverrsnitt av nMOS transistorer som er AV og PÅ er vist i Fig. 8. Ved å sette på en positiv spenning, dvs. logisk 1, på gate terminalen vil elektroner tiltrekkes overflaten på halvlederen og invertere p-substrat til n^+ substrat.

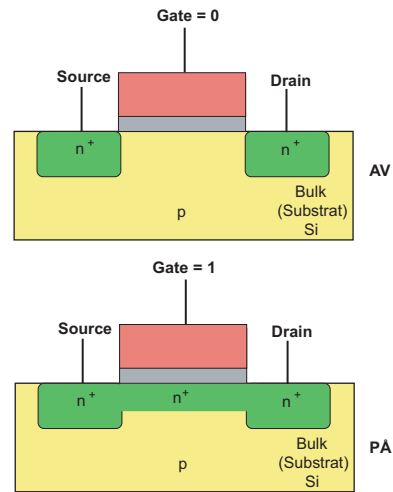


Fig. 8. Tverrsnitt av nMOS transistorer som er AV og PÅ.

IV. TVERSNITT AV CMOS INVERTER

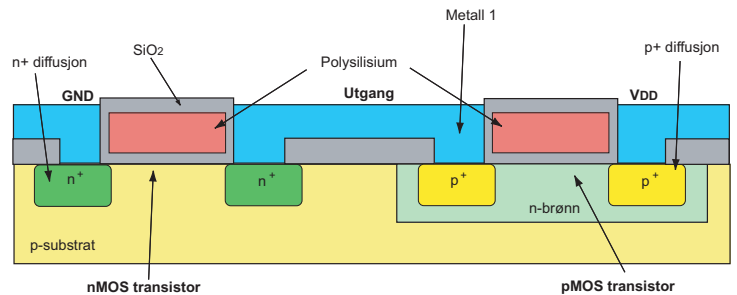


Fig. 9. Tverrsnitt av CMOS inverter.

Dersom vi setter sammen en nMOS og en pMOS transistor og kobler sammen gate terminalene og drain terminalene på de to transistorene, og kobler source på nMOS transistoren til GND og source på pMOS transistoren til V_{DD} får vi en inverter. Tverrsnittet av en inverter er vist i Fig. 9.

V. INTRODUKSJON TIL UTLEGGREGLER

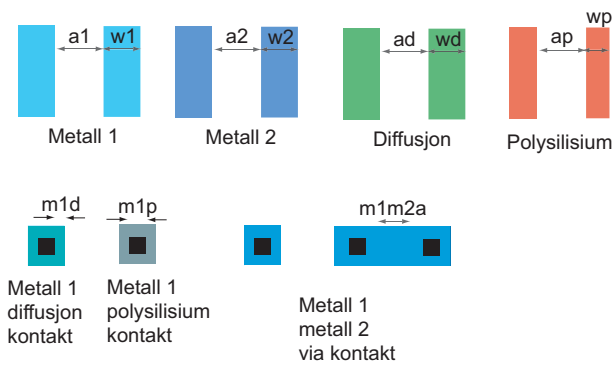


Fig. 10. Utlegsregler.

Noen sentrale minimumsavstander og størrelser er vist i Fig. 10. Ulike CMOS prosesser vil ha forskjellige utleggsregler. Det er slik at moderne prosesser tillater generelt mindre avstander og strukturer enn eldre prosesser. Dette kommer av framskritt i prosesseteknologien. Årsaken til at man krever en viss avstand mellom ulike signalførende noder, for eksempel avstand mellom metalledere, er fare for elektrisk interferens (crosstalk) mellom signaler som ikke skal påvirkes av hverandre. Det er alltid en avveining mellom avstander, dvs. areal, og elektrisk interferens.

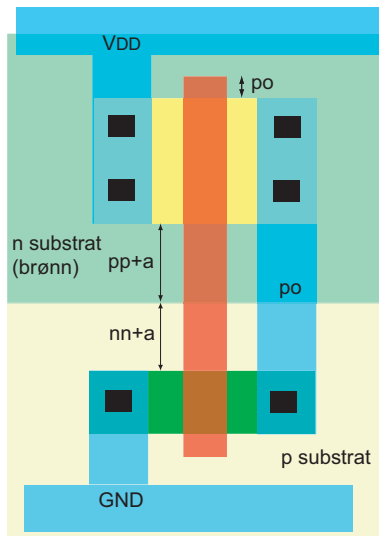


Fig. 11. Noen utleggsregler for inverter.

Noen sentrale regler for avstander og størrelser i tilknytning til en inverter er vist i Fig. 11. I dette eksemplet har vi et p-type substrat og n-type brønn. Det er vanlig i digital CMOS å benytte minimumsavstander på ulike strukturer, typisk transistorer. Dette medfører en gevinst i redusert areal, men også vil medføre at kretsene vil ha liten tidsforsinkelse. Liten tidsforsinkelse gir raske kretser som kan fungere med svært høye klokkefrekvenser.

I Fig. 12 er det vist en chip som består av 4 prosessorer. Hver prosessor har mange millioner transistorer. Størrelsen på chippen er liten som vist i Fig. 13. Ved produksjon blir det laget mange like chipper på en wafer som vist i Fig. 14. Kostnaden for en chip kan være så lav som 1 dollar.

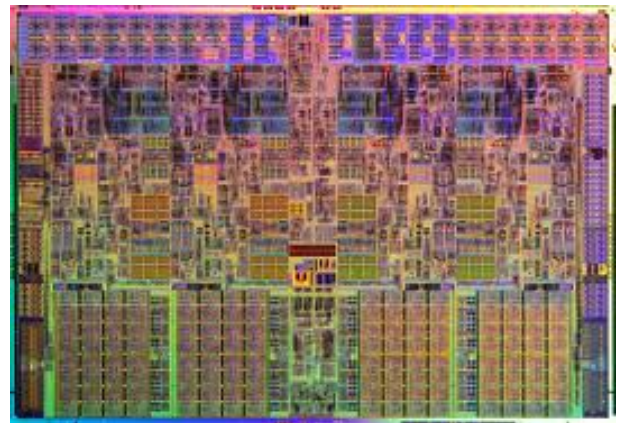


Fig. 12. Prosessorer med millioner av transistorer.

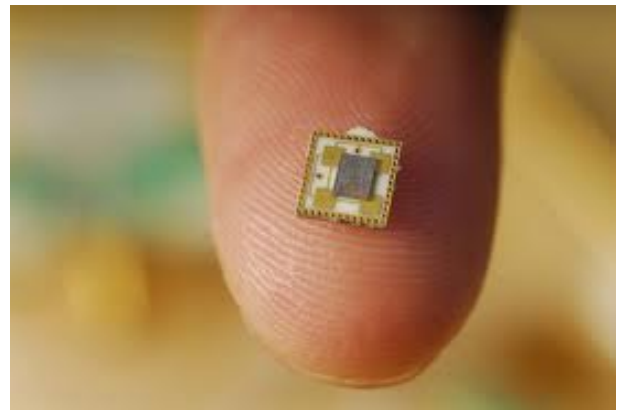


Fig. 13. Chip

VI. NAND PORT

A. Opptrekk og nedtrekk i CMOS porter

En port med **opptrekknettverk** og **nedtrekknettverk** er vist i Fig. 15. Vi definerer et opp- eller nedtrekk som $P\dot{A}$ dersom det finnes en strømvei (signalvei) mellom utgangen og en spenningsreferanse, V_{DD} (1) eller GND (0). Med andre ord et nedtrekk er $P\dot{A}$ dersom det finnes en serie (kjede) av nMOS transistorer som alle er $P\dot{A}$ og som forbinder utgangen med GND . I motsatt tilfelle er nedtrekket AV . For et opptrekk som er $P\dot{A}$ finnes det en serie (kjede) av pMOS transistorer som alle er $P\dot{A}$ og som forbinder utgangen med V_{DD} . I motsatt tilfelle er opptrekket AV . En kjede av transistorer i et nettverk kan bestå av en eller flere transistorer. I komplementær CMOS logikk (statisk CMOS) vil alltid en og bare en av opptrekk- og nedtrekknettverkene være på.

Skjematisk fremstilling av en to-inngangs CMOS NAND port (NAND2) er vist i Fig. 16. Den logiske funksjonen er $Y = \overline{A \cdot B}$. Opptrekket består av to pMOS transistorer i parallell og nedtrekket av to nMOS transistorer i serie. For at utgangen Y skal kunne trekkes til logisk 0 må begge nMOS transistorene være på, dvs. inngangene A og B må begge være logisk 1. Det er tilstrekkelig at en av inngangene er logisk 0 for å trekke utgangen Y til logisk 1. Vi sier at nedtrekket og opptrekket er komplementære, dvs. den ene utelukker den andre.

Som vist i Fig. 17 er det enkelt å utvide en to-inngangs NAND port til en tre-inngangs NAND port (NAND3) som er definert som $Y = \overline{A \cdot B \cdot C} \equiv \overline{ABC}$. Symbolet for en NAND port med to innganger er vist i Fig. 18.

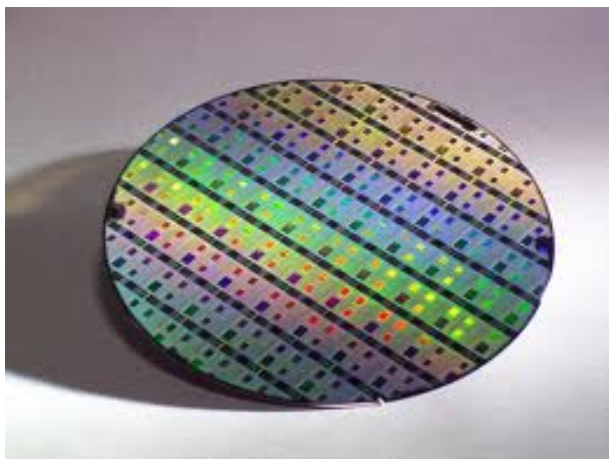


Fig. 14. Produksjon av chipper.

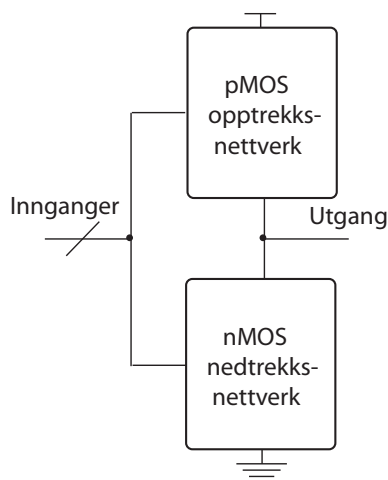


Fig. 15. Generell logisk port med opptrekk bestående av pMOS transistorer og nedtrekk bestående av nMOS transistorer.

VII. KOMBINATORISK LOGIKK

Den generelle kombinatoriske porten i Fig. 15 vil enten trekke utgangen til 1 eller 0 avhengig av inngangssignalene. Dersom opptrekket og nedtrekket ikke var komplementære kan det forekomme tilfeller der hverken opptrekket eller nedtrekket er på, eller at begge er på.

A. Serie- og parallellkobling av transistorer

Ulike tilstander for to seriekoblede nMOS transistorer er vist i Fig. 19. Begge transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler $g1 = g2 = 1$ og vil medføre at $a = b$. For øvrige inngangsverdier vil det ikke kunne gå strøm mellom a og b og nettverket er av. Vi ser at dersom $b = 0$ (GND) har vi at $a = b = 0$ når $g1 = g2 = 1$ eller $g1 \cdot g2 = 1$, som tilsvarer NAND.

Ulike tilstander for to seriekoblede pMOS transistorer er vist i Fig. 20. Begge transistorene må være å for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler $g1 = g2 = 0$ og dette vil medføre at $b = a$. For øvrige inngangsverdier vil det ikke kunne gå strøm mellom a og b og nettverket er av. Vi ser at dersom $a = 1$ (V_{DD}) har vi at $b = a = 1$ når $g1 = g2 = 0$ eller $g1 + g2 = 0$, som tilsvarer NOR.

Ulike tilstander for to parallellkoblede nMOS transistorer er

A	B	nedtrekk	opptrekk	Y
0	0	AV	PA	1
0	1	AV	PA	1
1	0	AV	PA	1
1	1	PA	AV	0

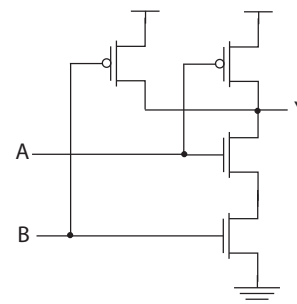


Fig. 16. To-inngangs NAND port (NAND2) skjematikk og sannhetstabell.

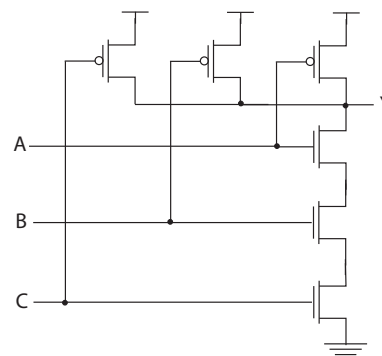


Fig. 17. Tre-inngangs NAND port (NAND3) skjematikk.

vist i Fig. 21. Minst en av transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler $g1 + g2 = 1$ og vil medføre at $a = b$. For øvrige inngangsverdier, dvs. $g1 = g2 = 0$ eller $g1 + g2 = 0$, vil det ikke kunne gå strøm mellom a og b og nettverket er av. Vi ser at dersom $b = 0$ (GND) blir $a = b = 0$ når $g1 + g2 = 1$.

Ulike tilstander for to parallellkoblede pMOS transistorer er vist i Fig. 22. Minst en av transistorene må være på for at nettverket bestående av de to transistorene skal være på. Dette tilsvarer inngangssignaler $g1 \cdot g2 = 0$ og dette vil medføre at $b = a$. For øvrige inngangsverdier, dvs. $g1 = g2 = 1$ eller $g1 \cdot g2 = 0$, vil det ikke kunne gå strøm mellom a og b og nettverket er av. Vi ser at dersom $a = 1$ (V_{DD}) har vi at $b = a = 1$ når $g1 \cdot g2 = 0$.

Komplementære opptrekk og nedtrekk bestående av henholdsvis to pMOS- og to nMOS transistorer, og inngangene A og B, vil være:

1. $A \cdot B$ som tilsvarer to parallellkoblede pMOS transistorer som er på, ved at minst en av inngangene er 0, og to seriekoblede nMOS transistorer som er på, ved at begge inngangene er 1. Vi kaller utgangen Y og inngangene A og B, og før da $\bar{Y} = A \cdot B$ eller $Y = \bar{A} \cdot \bar{B}$. Dette tilsvarer en NAND funksjon.
2. $A + B$ og som tilsvarer to seriekoblede pMOS transistorer som er på, ved at begge inngangene er 0, og to parallellkoblede nMOS transistorer som er på, ved at minst en av inngangene er 1. Vi kaller utgangen Y og inngangene A og B, og før da $\bar{Y} = A + B$ eller $Y = \bar{A} + \bar{B}$. Dette tilsvarer en NOR funksjon.

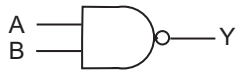


Fig. 18. Symbol for NAND port med to innganger.

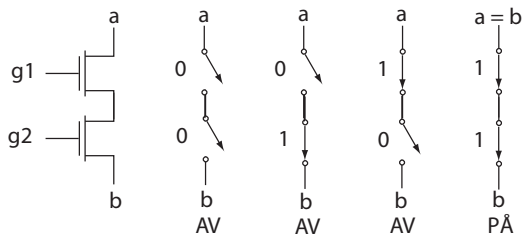


Fig. 19. Seriekobling av nMOS transistorer.

VIII. NOR PORT

Skjematikk for en CMOS NOR port er vist i Fig. 23. Den logiske funksjonen er $Y = \overline{A + B}$. Opptrekket består av to pMOS transistorer i serie og nedtrekket består av to nMOS transistorer i parallell. For at utgangen Y skal kunne trekkes til logisk 1 må begge pMOS transistorene være på, dvs. inngangene A og B må være logisk 0. Det er tilstrekkelig at en av inngangene er logisk 1 for å trekke utgangen Y til logisk 0. Vi ser at nedtrekket og opptrekket er komplementære.

Symbolet for en NOR2 port med to innganger er vist i Fig. 24.

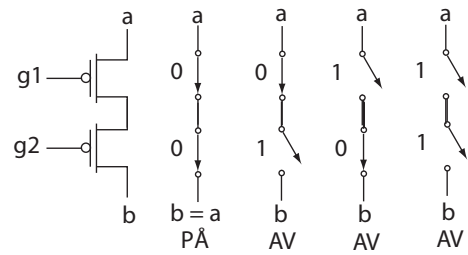


Fig. 20. Seriekobling av pMOS transistorer.

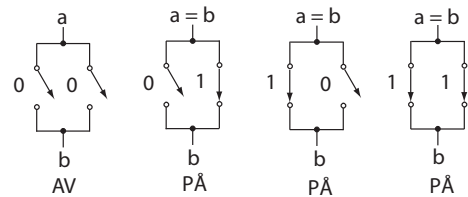
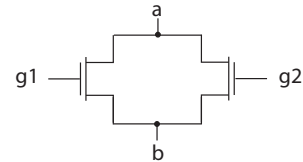


Fig. 21. Parallellkobling av nMOS transistorer.

IX. KOMPLEMENTÆR LOGIKK

Et eksempel på en boolsk funksjon implementert ved hjelp av en komplementær CMOS port kan uttrykkes på formen $Y = \overline{(A \cdot B) + (C \cdot D)}$.

Nedtrekket vil bestå av nMOS transistorer og vi har at Y bare kan bli 0 når $(A \cdot B) + (C \cdot D) = 1$. Dette forutsetter at $A \cdot B$ eller $C \cdot D$ er på. Vi ser da at nedtrekket består av to grener med seriekoblede nMOS transistorer, dvs. to transistorer med innganger henholdsvis A og B i serie, og to transistorer med innganger henholdsvis C og D i serie. I Fig. 25 er nedtrekket vist.

Opptrekket vil bestå av pMOS transistorer og vi har at Y bare kan bli 1 når $(A \cdot B) + (C \cdot D) = 0$. Dette forutsetter at A og/eller B ($A \cdot B = 0$) og C og/eller D ($C \cdot D = 0$) er 0 (på). Vi ser da at opptrekket består av to grener med parallellkoblede pMOS transistorer, dvs. to transistorer med innganger A og B i parallell, og to transistorer med innganger C og D i parallell. Til slutt må disse to parallellgrenene settes i serie slik at forutsetningen for opptrekket blir oppfylt. I Fig. 26 er opptrekket vist.

Den fullstendige komplementære CMOS kretsen som implementerer funksjonen $Y = \overline{(A \cdot B) + (C \cdot D)}$ er vist i Fig. 27.

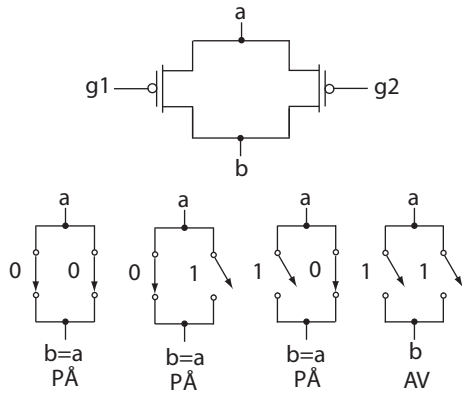


Fig. 22. Parallellkobling av pMOS transistorer.

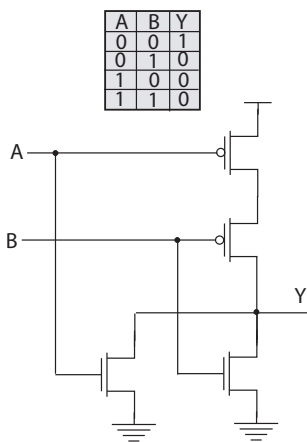


Fig. 23. To-inngangs NOR port skjematikk og sannhetstabell.

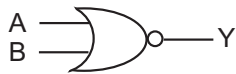


Fig. 24. Symbol for NOR2 port med to innganger.

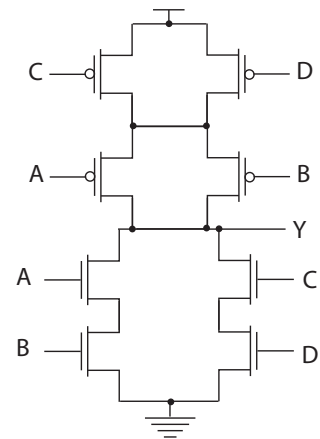


Fig. 27. Komplementær CMOS port for funksjonen $Y = \overline{(A \cdot B) + (C \cdot D)}$.

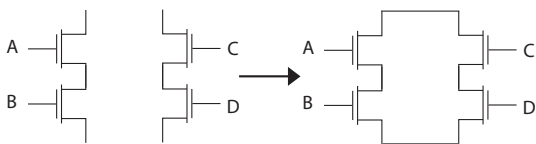


Fig. 25. Nedtrekket for funksjonen $Y = \overline{(A \cdot B) + (C \cdot D)}$.

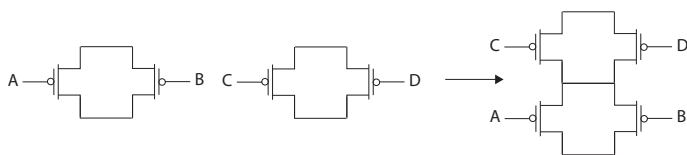


Fig. 26. Opptrekket for funksjonen $Y = \overline{(A \cdot B) + (C \cdot D)}$.

X. OPPGAVER

A. 4 input NAND

Tegn skjematikk for en 4 input NAND gate.

B. 3 input NOR

Tegn skjematikk for en 3 input NOR gate.

C. Boolsk funksjon

Tegn skjematikk for funksjonen $Y = \overline{A + (B \cdot C)}$.

D. Boolsk funksjon

Tegn skjematikk for funksjonen $Y = \overline{(A \cdot C) + (B \cdot C)}$.

E. Boolsk funksjon

Tegn skjematikk for funksjonen $Y = \overline{(A + B) + (C \cdot D)}$.

F. Boolsk funksjon

Tegn skjematikk for funksjonen $Y = \overline{(A + B) \cdot (C + D)}$.

G. Boolsk funksjon

Tegn skjematikk for funksjonen $Y = \overline{(A \cdot B) \cdot (C \cdot D) + E}$.