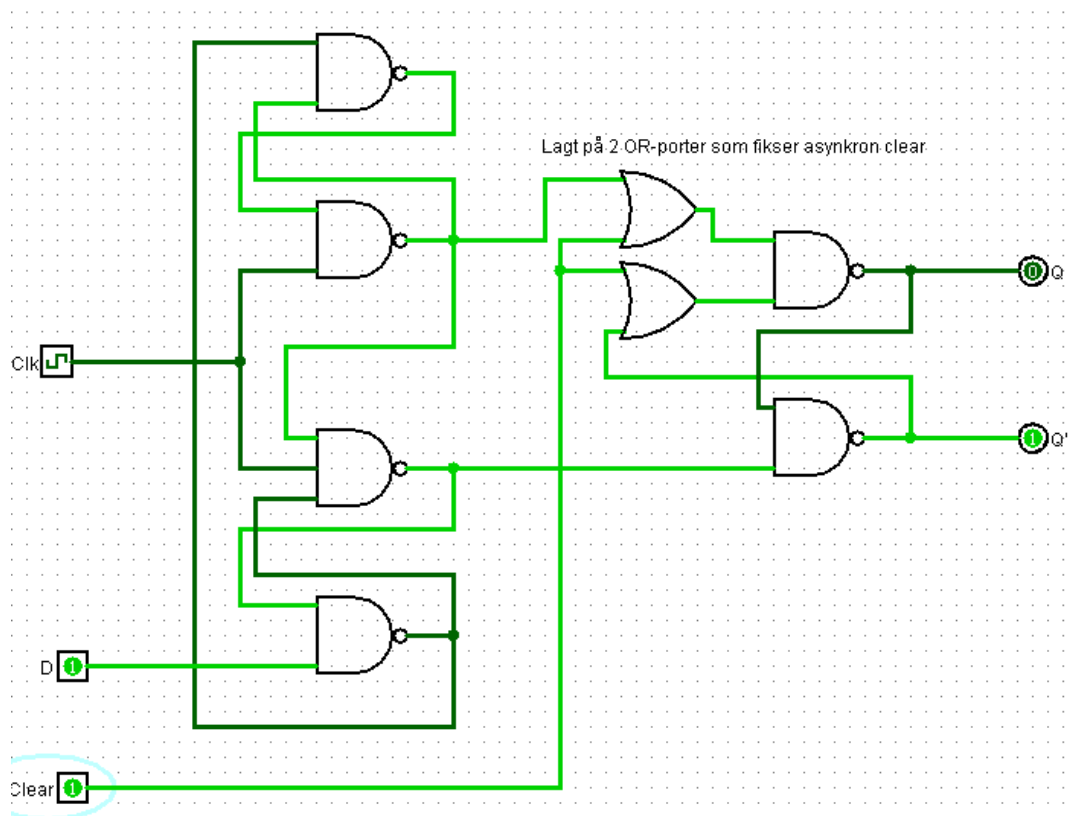


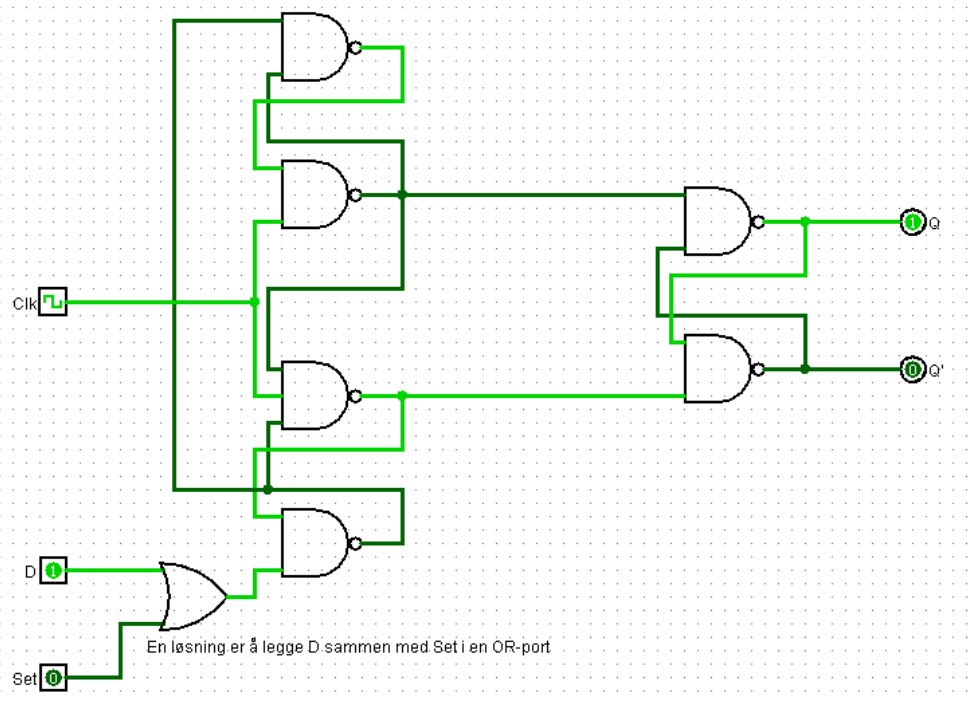
Oppgavesett 7 – sekvensiell logikk - løsning

- 1) Modifiser en standard D flip-flop (legg til ekstra logikk) slik at den får asynkron CLEAR. Dvs. at den har en ekstra inngang "clear" som, hvis den går høy, umiddelbart gjør utgangen Q til 0, uavhengig av inngangsverdi D.



(Finnes antageligvis mange mulige løsninger for å gjøre dette.)

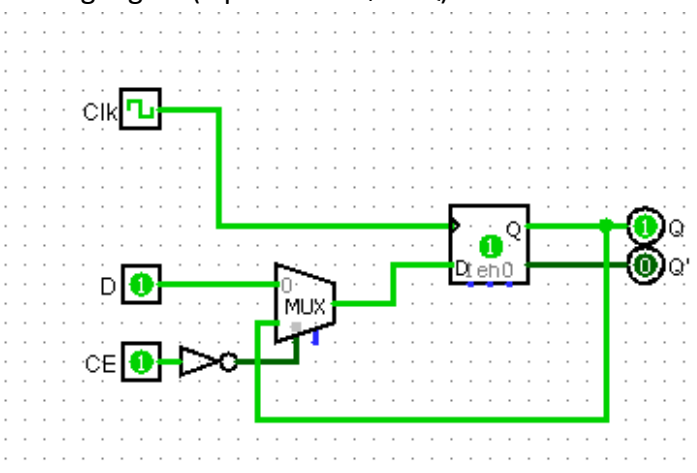
- 2) Modifiser en standard D flip-flop (legg til ekstra logikk) slik at den får synkron SET. Dvs. flip-floppen skal ha en ekstra inngang "set" som, hvis den går høy, får Q til å gå høy i det neste klokkeflanke kommer, uavhengig av inngangen D.



(Kun en løsning, finnes antageligvis mange flere muligheter)

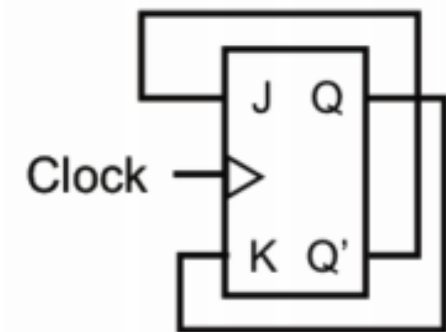
- 3) En mye brukt modifikasjon av D flip-flopper er å tilføre en clock enable inngang, CE. Når denne er lav skal ikke flip-floppen reagere på klokkeflanke, selv om det er kommet en klokkeflanke og verdien på inngangen D er endret. Når CE er høy skal flip-floppen virke som normalt.

Lag en slik modifikasjon uten å røre klokkesignalet som fremdeles skal direkte inn på Clk-inngangen. (Tips: tilbakeføre Q).



Sender CE signalet inn som select på en MUX. Når CE=0, vil select Velge Q som inngang på D, og kretsen vil bare beholde sin gamle verdi. Når CE=1 vil den fungere som normalt.

- 4) (oppg 2, x2009) Hvis følgende krets har en initiell tilstand = 1, hva er da kretsens tilstand etter to klokkepulsener?

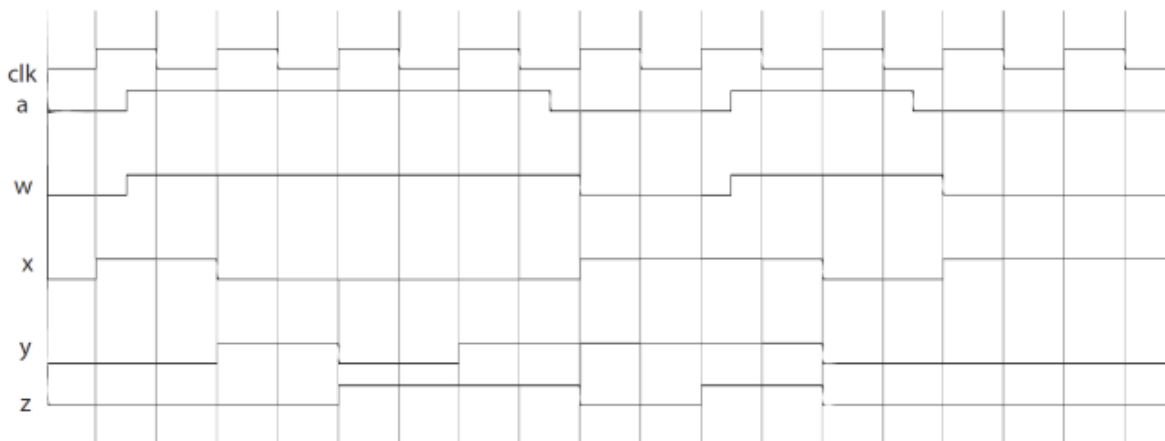
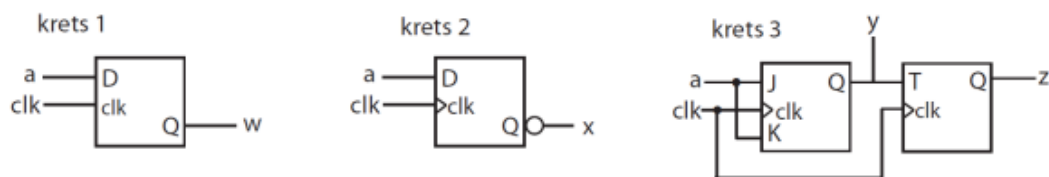


Etter 2 klokkepulsener vil Q være 1.

- 5) (oppg 2. x2008)

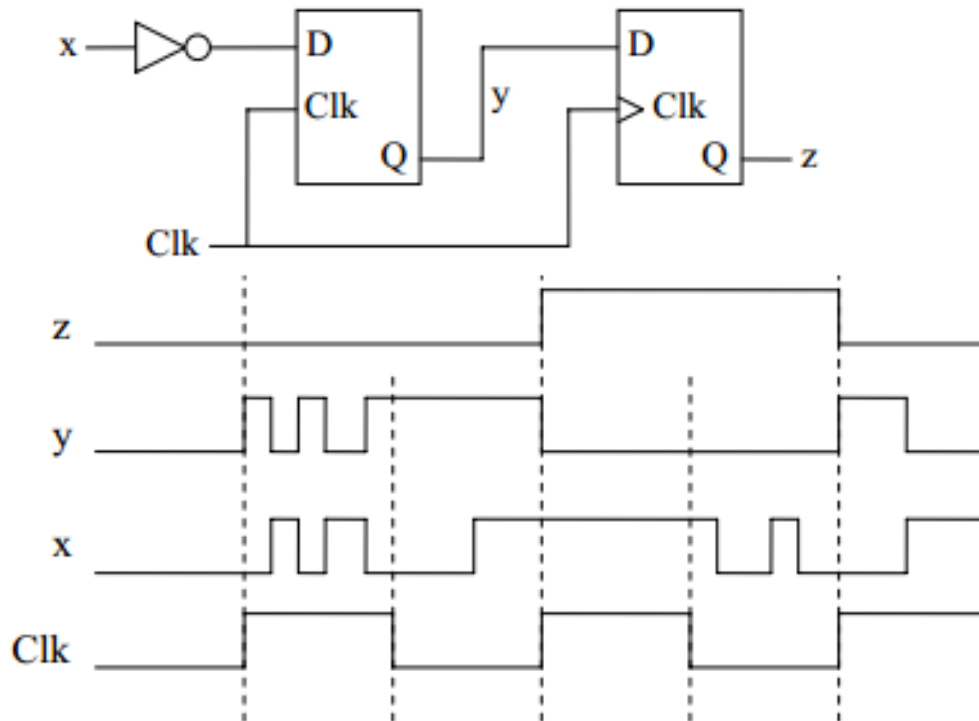
Hver av de 3 kretsene under tar inn signalene clk og a. Anta at w, x, y og z er 0 i utgangspunktet og at clk og a har verdier som vist i diagrammet under

- Tegn opp tidsforløpet til signalet w fra krets 1
- Tegn opp tidsforløpet til signalet x fra krets 2
- Tegn opp tidsforløpet til signalene y og z fra krets 3



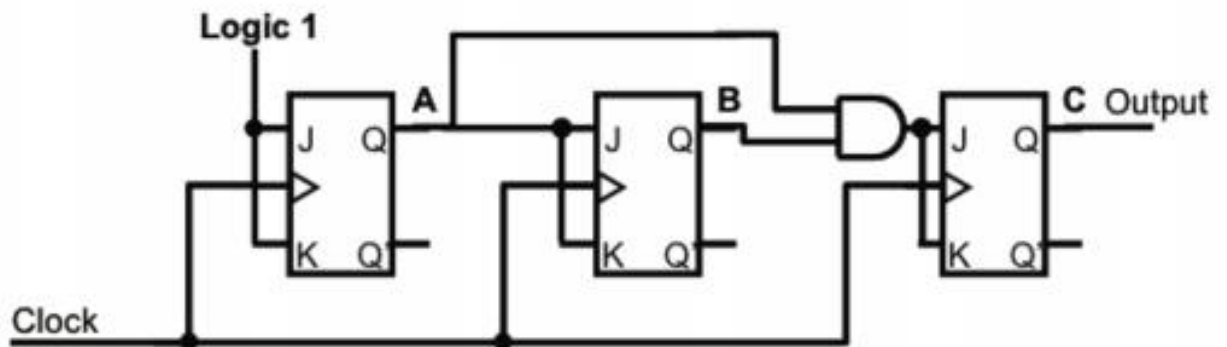
- Krets 1 er en D latch (ikke noe triangel ved klokkeinnang)
- Krets 2 er en D flip flop som toggler på stigende klokkeflanke og med utlesning av det inverterte signalet.
- Krets 3 er ekvivalent med 2 T flip floper der a bestemmer om den første skal toggle på stigende clk, og utgangen fra den første bestemmer om den andre skal toggle på stigende clk.

- 6) (oppgave 3, x2006) For kretsen i figuren under, tegn opp tidsforløpet til signalene y og z slik som påbegynt i diagrammet under. Anta at y og z begge er 0 i utgangspunktet og at Clk og x har verdier som vist i diagrammet.



Den første er en D latch, den andre er en D flip flop.

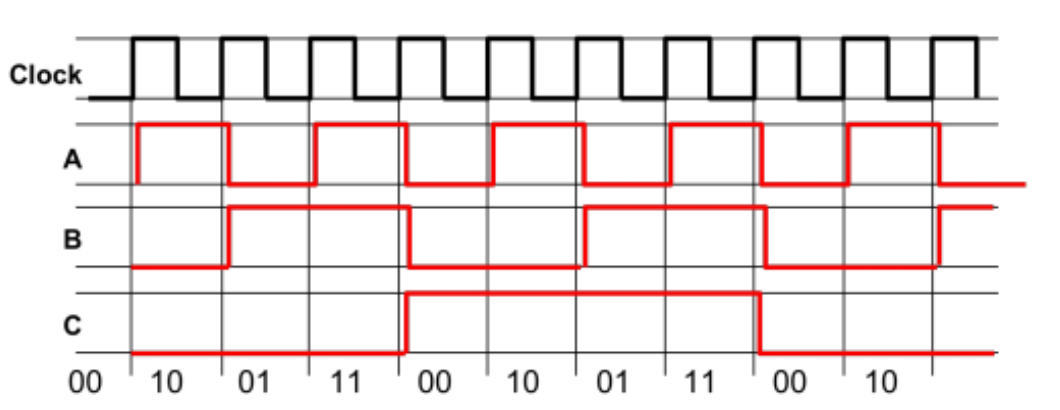
- 7) (Oppg 4. X2009) Den sekvensielle kretsen under har et klokkesignal som eneste inngang (input).



- a. Hvis systemet starter i tilstand 000, hva blir så de neste 9 tilstandene.

Clk	Tilstand	Output
0	000	0
1	100	0
2	010	0
3	110	0
4	001	1
5	101	1
6	011	1
7	111	1
8	000	0
9	100	0

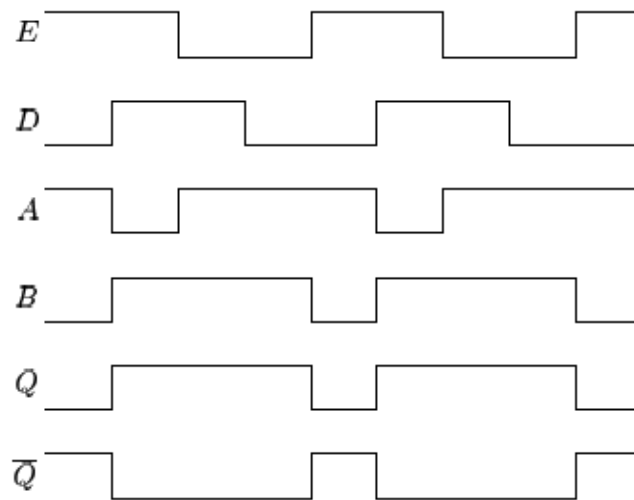
- b. Tegn opp tidslinjen for utgangene A, B og C.



- c. Hvis utgangen er C, hvilken funksjon utfører systemet.
 Dette er en krets som deler klokkefrekvensen på 8. (Rippelteller er også et riktig svar teknisk sett)

8) (Utfordring) For kretsen i figuren under:

a. Tegn et timing-diagram som illustrerer oppførselen til kretsen.



(A og B er de to mellomsignalene mellom NAND-portene.)

b. Er kretsen en "transparent latch"?

Fra timing-diagrammet ser vi at når $E=1$, følger Q direkte av D , mens når $E=0$, endrer ikke Q seg. Derfor er systemet en "transparent latch".

